(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101552482 B
(45)授权公告日 2013.05.01

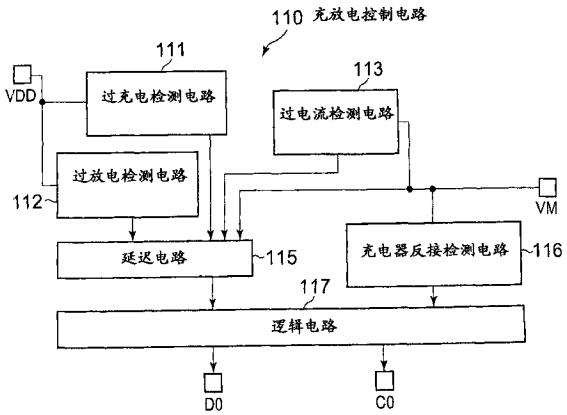
(21)申请号 200910134083.2
(22)申请日 2009.03.31
(30)优先权数据
2008-089766 2008.03.31 JP
(73)专利权人 精工电子有限公司
地址 日本千叶县千叶市
(72)发明人 樱井敦司 佐野和亮
(74)专利代理机构 中国专利代理(香港)有限公司 72001
代理人 何欣亭 徐予红
(51)Int.Cl.
H02J 7/00(2006.01)
H01L 27/06(2006.01)
(56)对比文件
CN 101174770 A,2008.05.07,
DE 19840300 A1,2000.03.16,
JP 昭61-170230 A,1986.07.31,
JP 特开2006-210026 A,2006.08.10,
审查员 韩菲
权利要求书2页 说明书7页 附图6页

(54)发明名称

充放电控制电路及电池装置

(57)摘要

本发明提供可减小电路规模的充放电控制电路及电池装置。在充电器反接检测电路(116)中，没有使用比较电路等，而使用2个NMOS晶体管，因此充电器反接检测电路(116)以及充放电控制电路(110)的电路规模变小。因而，消耗电流减少。此外，制造成本也降低。



CN 101552482 B

1. 一种用于控制电池的充放电的充放电控制电路，该充放电控制电路形成在第二导电型的基板上，并在充放电路径上设有第二导电型的第一 MOS 晶体管以及第二导电型的第二 MOS 晶体管，第一导电型是 P 型，第二导电型是 N 型，其特征在于包括：

检测端子，用于检测所述电池与充电器的相反极性的连接；以及

充电器反接检测电路，该充电器反接检测电路包括：设置在所述检测端子上的输入端子；输出端子；第一寄生双极性晶体管，该第一寄生双极性晶体管的第二导电型的基极设置在第一电源供给端子上且发射极设置在所述输入端子上；以及第二寄生双极性晶体管，该第二寄生双极性晶体管的第一导电型的基极设置在所述第一寄生双极性晶体管的集电极，发射极经由电阻成分设置在第二电源供给端子上，集电极设置在所述第一电源供给端子上，所述第一电源供给端子及第二电源供给端子供给电源电压，若所述输入端子的电压成为在电源电压加上二极管的阈值电压后的电压以上，则使所述第一 MOS 晶体管进行导通动作，该第一 MOS 晶体管在导通时使充放电电流流过而在截止时仅使所述第一寄生双极性晶体管的第一寄生二极管的放电电流流过，且使所述第二 MOS 晶体管进行截止动作，该第二 MOS 晶体管在导通时使充放电电流流过而在截止时仅使所述第二寄生双极性晶体管的第二寄生二极管的充电电流流过，从而使所述电池停止放电。

2. 如权利要求 1 所述的充放电控制电路，其特征在于：所述电阻成分是第二导电型的第三 MOS 晶体管的导通电阻。

3. 如权利要求 1 所述的充放电控制电路，其特征在于：所述电阻成分是第二导电型的第三 MOS 晶体管的导通电阻以及电阻。

4. 如权利要求 1 所述的充放电控制电路，其特征在于：所述电阻成分为电阻。

5. 如权利要求 1 所述的充放电控制电路，其特征在于：所述电阻成分为电流源。

6. 一种电池装置，其特征在于具备：

电池；

设置在所述电池的充放电路径上的第二导电型的第一 MOS 晶体管以及第二导电型的第二 MOS 晶体管；以及

与所述电池并联设置的、控制所述第一 MOS 晶体管及第二 MOS 晶体管的权利要求 1 至 5 中的任一项所述的充放电控制电路。

7. 一种用于控制电池的充放电的充放电控制电路，该充放电控制电路形成在第二导电型的基板上，并在充放电路径上设有第二导电型的第一 MOS 晶体管以及第二导电型的第二 MOS 晶体管，第一导电型是 N 型，第二导电型是 P 型，其特征在于包括：

检测端子，用于检测所述电池与充电器的相反极性的连接；以及

充电器反接检测电路，该充电器反接检测电路包括：设置在所述检测端子上的输入端子；输出端子；第一寄生双极性晶体管，该第一寄生双极性晶体管的第二导电型的基极设置在第一电源供给端子上且发射极设置在所述输入端子上；以及第二寄生双极性晶体管，该第二寄生双极性晶体管的第一导电型的基极设置在所述第一寄生双极性晶体管的集电极，发射极经由电阻成分设置在第二电源供给端子上，集电极设置在所述第一电源供给端子上，所述第一电源供给端子及第二电源供给端子供给接地电压，若所述输入端子的电压成为小于在接地电压减去二极管的阈值电压后的电压，则使所述第一 MOS 晶体管进行导通动作，该第一 MOS 晶体管在导通时使充放电电流流过而在截止时仅使所述第一寄生双极性

晶体管的第一寄生二极管的放电电流流过，且使所述第二 MOS 晶体管进行截止动作，该第二 MOS 晶体管在导通时使充放电电流流过而在截止时仅使所述第二寄生双极性晶体管的第二寄生二极管的充电电流流过，从而使所述电池停止放电。

8. 如权利要求 7 所述的充放电控制电路，其特征在于：所述电阻成分是第二导电型的第三 MOS 晶体管的导通电阻。

9. 如权利要求 7 所述的充放电控制电路，其特征在于：所述电阻成分是第二导电型的第三 MOS 晶体管的导通电阻以及电阻。

10. 如权利要求 7 所述的充放电控制电路，其特征在于：所述电阻成分为电阻。

11. 如权利要求 7 所述的充放电控制电路，其特征在于：所述电阻成分为电流源。

12. 一种电池装置，其特征在于具备：

电池；

设置在所述电池的充放电路径上的第二导电型的第一 MOS 晶体管以及第二导电型的第二 MOS 晶体管；以及

与所述电池并联设置的、控制所述第一 MOS 晶体管及第二 MOS 晶体管的权利要求 6 至 11 中的任一项所述的充放电控制电路。

充放电控制电路及电池装置

技术领域

[0001] 本发明涉及控制电池的充放电的充放电控制电路及电池装置。

背景技术

[0002] 现在，各式各样的便携式电子设备得到普及。这些便携式电子设备通常由搭载电池的电池装置来驱动。

[0003] 在使用便携式电子设备的场合，电池与便携式电子设备连接，当电池被充电时，电池与充电器连接。在此，作为电池的危险状态，有电池充电时电池与充电器以相反极性连接的充电器反接状态。

[0004] 作为该对策，提出了若电池与充电器以相反极性连接，检测端子的电压高于电源电压，且比较电路检测出该情况，则停止电池的放电的技术（例如，参照专利文献 1 ：日本特开 2006-210026 号公报）。

发明内容

[0005] 但是，由于使用比较电路，电路规模会相应地变大。因而，消耗电流会变多。此外，制造成本会变高。

[0006] 本发明鉴于上述问题构思而成，提供可减小电路规模的充放电控制电路及电池装置。

[0007] 为了解决上述课题，本发明提供一种一种用于控制电池的充放电的充放电控制电路，该充放电控制电路形成在第二导电型的基板上，并在充放电路径上设有第二导电型的第一 MOS 晶体管以及第二导电型的第二 MOS 晶体管，其特征在于包括 ：检测端子，用于检测所述电池与充电器的相反极性的连接 ；以及充电器反接检测电路，该充电器反接检测电路包括 ：设置在所述检测端子上的输入端子 ；输出端子 ； 第一寄生双极性晶体管，该第一寄生双极性晶体管的第二导电型的基极设置在第一电源供给端子上且发射极设置在所述输入端子上 ；以及第二寄生双极性晶体管，该第二寄生双极性晶体管的第一导电型的基极设置在所述第一寄生双极性晶体管的集电极，发射极经由电阻成分设置在第二电源供给端子上，集电极设置在所述第一电源供给端子上，若所述输入端子的电压成为在电源电压加上二极管的阈值电压后的电压以上，则使所述第一 MOS 晶体管进行导通动作，该第一 MOS 晶体管在导通时使充放电电流流过而在截止时仅使第一寄生二极管的放电电流流过，且使所述第二 MOS 晶体管进行截止动作，该第二 MOS 晶体管在导通时使充放电电流流过而在截止时仅使第二寄生二极管的充电电流流过，从而使所述电池停止放电。

[0008] 此外，本发明为了解决上述课题，提供一种电池装置，该电池装置具备控制电池的充放电的充放电控制电路，该充放电控制电路形成在第二导电型的基板上，并在充放电路径上设有第二导电型的第一 MOS 晶体管及第二导电型的第二 MOS 晶体管，其特征在于包括 ：检测端子，用于检测所述电池与充电器的相反极性的连接 ；以及充电器反接检测电路，该充电器反接检测电路包括 ：设置在所述检测端子上的输入端子 ；输出端子 ；第一寄生双极

性晶体管，该第一寄生双极性晶体管的第二导电型的基极设置在第一电源供给端子上且发射极设置在所述输入端子上；以及第二寄生双极性晶体管，该第二寄生双极性晶体管的第一导电型的基极设置在所述第一寄生双极性晶体管的集电极，发射极经由电阻成分设置在第二电源供给端子上，集电极设置在所述第一电源供给端子上，若所述输入端子的电压成为在电源电压加上二极管的阈值电压后的电压以上，则使所述第一 MOS 晶体管进行导通动作，该第一 MOS 晶体管在导通时使充放电电流流过而在截止时仅使第一寄生二极管的放电电流流过，且使所述第二 MOS 晶体管进行截止动作，该第二 MOS 晶体管在导通时使充放电电流流过而在截止时仅使第二寄生二极管的充电电流流过，从而使所述电池停 止放电，而且还具备所述第一 MOS 晶体管、所述第二 MOS 晶体管和所述电池。

[0009] 发明效果

[0010] 在本发明中，由于在充电器反接检测电路中没有使用比较电路等，充电器反接检测电路及充放电控制电路的电路规模变小。

附图说明

[0011] 图 1 是表示电池装置的方框图。

[0012] 图 2 是表示充放电控制电路的方框图。

[0013] 图 3 是表示充电器反接检测电路的电路图。

[0014] 图 4 是表示充电器反接检测电路的器件剖视图。

[0015] 图 5 是表示充电器反接检测电路的电路图。

[0016] 图 6 是表示充电器反接检测电路的器件剖视图。

[0017] 图 7 是表示充电器反接检测电路的电路图。

[0018] 图 8 是表示充电器反接检测电路的器件剖视图。

[0019] （符号说明）

[0020] 110..... 充放电控制电路；111..... 过充电检测电路；112..... 过放电检测电路；113..... 过电流检测电路；115..... 延迟电路；116..... 充电器反接检测电路；117..... 逻辑电路；VDD..... 电源端子；VSS..... 接地端子；DO..... 控制端子；CO..... 控制端子；VM..... 检测端子。

具体实施方式

[0021] 以下，参照附图，就本发明的实施方式进行说明。

[0022] 第一实施方式

[0023] 首先，对电池装置的结构进行说明。图 1 是表示电池装置的方框图。图 2 是表示充放电控制电路的方框图。

[0024] 电池装置向负载（未图示）供给电源电压，或者通过充电器（未 图示）被充电。保护电路 100 保护电池 200。充放电控制电路 110 通过对 NMOS 晶体管 120 及 NMOS 晶体管 130 进行导通 / 截止控制来控制电池 200 的充放电。

[0025] 电池装置具有保护电路 100 及电池 200。电池装置具有端子 EB+ 及端子 EB-。保护电路 100 具有充放电控制电路 110、NMOS 晶体管 120 和 NMOS 晶体管 130。充放电控制电路 110 具备过充电检测电路 111、过放电检测电路 112、过电流检测电路 113、延迟电路 115、

充电器反接检测电路 116 以及逻辑电路 117。充放电控制电路 110 具备电源端子 VDD、接地端子 VSS、控制端子 DO、控制端子 CO 以及检测端子 VM。

[0026] 电池 200 的正极端子与端子 EB+ 及电源端子 VDD 连接，负极端子与接地端子 VSS 连接，而且负极端子经由 NMOS 晶体管 120 及 NMOS 晶体管 130 连接到端子 EB-。即，NMOS 晶体管 120 及 NMOS 晶体管 130 设置在充放电路径上。充放电控制电路 110 的控制端子 DO 与 NMOS 晶体管 130 连接，控制端子 CO 与 NMOS 晶体管 120 连接，检测端子 VM 与端子 EB- 连接。过充电检测电路 111 的一端与电源端子 VDD 连接，另一端与延迟电路 115 的第一输入端子连接。过放电检测电路 112 的一端与电源端子 VDD 连接，另一端与延迟电路 115 的第二输入端子连接。过电流检测电路 113 的一端与检测端子 VM 连接，另一端与延迟电路 115 的第三输入端子连接。延迟电路 115 的输出端子与逻辑电路 117 的第一输入端子连接。充电器反接检测电路 116 的一端与检测端子 VM 连接，另一端与逻辑电路 117 的第二输入端子连接。逻辑电路 117 的第一输出端子与控制端子 CO 连接，第二输出端子与控制端子 DO 连接。此外，充电器或负载连接在端子 EB+ 以及端子 EB- 之间。

[0027] 在此，检测端子 VM 是用于检测电池 200 处于过电流状态的端子。此外，检测端子 VM 是用于检测电池 200 与充电器以相反极性的连接的端子。

[0028] 此外，充放电控制电路 110 形成在 N 型基板上。

[0029] 接着，对充放电控制电路 110 的动作进行说明。

[0030] ＜电池 200 处于过充电状态的场合＞

[0031] 若电池 200 的电压变高而成为规定电压以上，且电池 200 成为过充电状态，则过充电检测电路 111 通过监视电源端子 VDD，过充电检测电路 111 检测出电池 200 的过充电。然后，若以电池 200 处于过充电状态经过了延迟电路 115 设定的延迟时间（例如，1 秒），即，电池 200 的过充电状态的时间成为延迟时间以上，则逻辑电路 117 向 NMOS 晶体管 120 及 NMOS 晶体管 130 的栅极分别输出低电平信号以及高电平信号。这样，NMOS 晶体管 120 截止而仅使寄生二极管产生的放电电流流过，且 NMOS 晶体管 130 导通而使充放电电流流过，过充电检测电路 111 使电池 200 停止充电。

[0032] ＜电池 200 成为过放电状态的场合＞

[0033] 若电池 200 的电压变低而小于规定电压，电池 200 成为过放电状态，则过放电检测电路 112 通过监视电源端子 VDD，过放电检测电路 112 检测出电池 200 的过放电。然后，若以电池 200 处于过放电状态经过延迟电路 115 设定的延迟时间，即，电池 200 的过放电状态的时间成为延迟时间以上，则逻辑电路 117 向 NMOS 晶体管 120 及 NMOS 晶体管 130 的栅极分别输出高电平信号及低电平信号。这样，NMOS 晶体管 120 导通而使充放电电流流过，NMOS 晶体管 130 截止而仅使寄生二极管产生的充电电流流过，过放电检测电路 112 使电池 200 停止放电。

[0034] ＜电池 200 成为过电流状态的场合＞

[0035] 若异常电流流过负载而电池 200 成为过电流状态，则过电流检测电路 113 通过监视检测端子 VM，过电流检测电路 113 检测出电池 200 的过电流。然后，若以电池 200 处于过电流状态经过了延迟电路 115 设定的延迟时间，即，电池 200 的过电流状态的时间成为延迟时间以上，则逻辑电路 117 向 NMOS 晶体管 120 及 NMOS 晶体管 130 的栅 极分别输出高电平信号及低电平信号。这样，NMOS 晶体管 120 导通而使充放电电流流过，NMOS 晶体管 130 截

止而仅使寄生二极管产生的充电电流流过，过电流检测电路 113 使电池 200 停止放电。

[0036] ＜电池 200 与充电器以相反极性连接的场合＞

[0037] 充电器与电池 200 连接而进行对电池 200 的充电的场合，充电器的正极端子与端子 EB+ 连接，充电器的负极端子与端子 EB- 连接，但是充电器与电池 200 错误连接，使得充电器的正极端子与端子EB-连接，充电器的负极端子与端子EB+连接。即，充电器与电池200以相反极性连接。这样，通常在接地电压附近的检测端子 VM 及端子 EB- 的电压，会成为电池 200 的电压即电源电压附近。若检测端子 VM 的电压成为规定电压，则充电器反接检测电路 116 检测出该规定电压，逻辑电路 117 向 NMOS 晶体管 120 及 NMOS 晶体管 130 的栅极分别输出高电平信号及低电平信号。这时，自检测出规定电压后输出高电平信号以及低电平信号为止的期间不存在延迟时间。这样，NMOS 晶体管 120 导通而有电流流过，NMOS 晶体管 130 截止而仅使寄生二极管产生的充电电流流过，充电器反接检测电路 116 使电池 200 停止放电。还有，自检测出规定电压后输出高电平信号及低电平信号为止的期间，不存在延迟时间，但可以存在比电池 200 成为过充电状态、过放电状态或过电流状态时的延迟时间短的延迟时间。

[0038] 接着，就充电器反接检测电路 116 的结构进行说明。图 3 是表示充电器反接检测电路的电路图。图 4 是表示充电器反接检测电路的器件剖视图。

[0039] 充电器反接检测电路 116 具有 NMOS 晶体管 21 ～ 22。

[0040] 此外，充电器反接检测电路 116 具有寄生 PNP 双极性晶体管 24、寄生 NPN 双极性晶体管 25 及寄生电阻 26 ～ 27。

[0041] NMOS 晶体管 21 的栅极与电源端子 VDD 连接，源极及背栅极与 NMOS 晶体管 22 的漏极连接，漏极与输出端子 out 连接。NMOS 晶体管 22 的栅极与电源端子 VDD 连接，源极及背栅极与接地端子 VSS 连接。

[0042] 此外，寄生 PNP 双极性晶体管 24 的基极与电源端子 VDD 连接，发射极与输入端子 in（检测端子 VM）连接，集电极与寄生 NPN 双极性晶体管 25 的基极连接。寄生 NPN 双极性晶体管 25 的发射极经由寄生电阻 26 连接至 NMOS 晶体管 21 的源极，集电极与电源端子 VDD 连接。寄生电阻 27 存在于 NMOS 晶体管 22 的源极和漏极之间。

[0043] 接着，就充电器反接检测电路 116 的动作进行说明。

[0044] ＜电池 200 与充电器正常连接的场合＞

[0045] 输入端子 in（检测端子 VM）的电压成为接地电压附近。NMOS 晶体管 21 ～ 22 的栅极上被输入电源电压，因此导通。这样，输出端子 out 的电压就成为低电平信号（接地电压）。即，充电器反接检测电路 116 不检测电池 200 与充电器的相反极性的连接。

[0046] ＜电池 200 与充电器以相反极性连接的场合＞

[0047] 在此，第一寄生二极管以连接在输入端子 in（检测端子 VM）的 P 型阱为阳极，以连接在电源端子 VDD 的 N 型基板为阴极。寄生 PNP 双极性晶体管 24 以连接在电源端子 VDD 的 N 型基板为基极，以连接在输入端子 in（检测端子 VM）的 P 型阱为发射极，以连接在 NMOS 晶体管 21 的背栅极的 P 型阱为集电极。第二寄生二极管以连接在 NMOS 晶体管 21 的背栅极的 P 型阱为阳极，以经由 NMOS 晶体管 22 连接至接地端子的 N 型源极区域为阴极。寄生 NPN 双极性晶体管 25 以连接在 NMOS 晶体管 21 的背栅极的 P 型阱为基极，以经由 NMOS 晶体管 22 连接至接地端子的 N 型源极区域为发射极，以连接在电源端子 VDD 的 N 型基板为集电

极。

[0048] 输入端子 in(检测端子 VM) 的电压变高,成为在电源电压加上寄生二极管的阈值电压后的电压以上。这样,第一寄生二极管工作,有寄生电流流过。因该寄生电流而寄生 PNP 双极性晶体管 24 工作,并且有寄生电流流过。由于在第二寄生二极管中有寄生 PNP 双极性晶体管 24 产生的寄生电流流过,寄生 NPN 双极性晶体管 25 工作,使 被放大的寄生电流流过。该寄生电流流过寄生电阻 26 ～ 27 以及布线(电阻成分),在寄生电阻 26 ～ 27 以及布线上发生电压。因而,NMOS 晶体管 21 的漏极电压变高,若成为规定电压以上,则成为针对应逻辑电路 117 的高电平信号。即,充电器反接检测电路 116 检测出电池 200 与充电器以相反极性连接。

[0049] 这样,在充电器反接检测电路 116 中,不使用比较电路等而使用 2 个 NMOS 晶体管,因此充电器反接检测电路 116 及充放电控制电路 110 的电路规模变小。因而,消耗电流减少。此外,制造成本降低。

[0050] 此外,在充电器反接检测电路 116 中,不使用比较电路等,因此不会因寄生二极管以及寄生双极性晶体管工作而出现比较电路等误动作的情形。因而,充电器反接检测电路 116 的可靠性变高。

[0051] 又,可在 NMOS 晶体管 21 的源极与接地端子 VSS 之间追加电阻(未图示)。这样,充电器反接检测电路 116 的输出端子 out 的电压相应于该电阻分量而变高。

[0052] 此外,第一实施方式中,在 N 型基板上,NMOS 晶体管 21 ～ 22 设于输出端子 out 与接地端子 VSS 之间,NMOS 晶体管 21 ～ 22 的栅极与电源端子连接。这时,在端子 EB- 和电池 200 之间设有 2 个 NMOS 晶体管。此外,设置在端子 EB- 上的检测端子 VM 的电压若成为在电源电压加上寄生二极管的阈值电压后的电压以上,则充电器反接检测电路 116 检测出电池 200 与充电器以相反极性连接。但是,可在 P 型基板上,电源端子 VDD 与输出端子 out 之间设置 2 个 PMOS 晶体管,且使该 2 个 PMOS 晶体管的栅极与接地端子连接(未图示)。这时,在端子 EB+ 和电池之间设有 2 个 PMOS 晶体管。此外,设置在端子 EB+ 上的检测端子 VM 的电压若小于从接地电压减去寄生二极管的阈值电压后的电压,则充电器反接检测电路检测出电池与充电器以相反极性连接。

[0053] 第二实施方式

[0054] 接着,对充电器反接检测电路 116 的结构进行说明。图 5 是表示 充电器反接检测电路的电路图。图 6 是表示充电器反接检测电路的器件剖视图。

[0055] 与第一实施方式相比,第二实施方式的充电器反接检测电路 116 中 NMOS 晶体管 22 变更为下拉电阻 28,并除去了寄生电阻 27。下拉电阻 28 设置在 NMOS 晶体管 21 的源极与接地端子之间。

[0056] 接着,对充电器反接检测电路 116 的动作进行说明。

[0057] < 电池 200 与充电器正常连接的场合 >

[0058] 输入端子 in(检测端子 VM) 的电压成为接地电压附近。NMOS 晶体管 21 的栅极上被输入电源电压,因此导通。这样,输出端子 out 的电压成为低电平信号(接地电压)。即,充电器反接检测电路 116 不检测电池 200 与充电器的相反极性的连接。

[0059] < 电池 200 与充电器以相反极性连接的场合 >

[0060] 输入端子 in(检测端子 VM) 的电压变高,成为在电源电压加上寄生二极管的阈值

电压后的电压以上。这样，第一寄生二极管工作，使寄生电流流过。因该寄生电流而寄生PNP双极性晶体管24工作，使寄生电流流过。由寄生PNP双极性晶体管24产生的寄生电流流过第二寄生二极管，从而寄生NPN双极性晶体管25工作，使被放大的寄生电流流过。该寄生电流流过寄生电阻26和下拉电阻和布线（电阻成分），在寄生电阻26和下拉电阻和布线上发生电压。因而，NMOS晶体管21的漏极电压变高，若成为规定电压以上，则成为针对逻辑电路117的高电平信号。即，充电器反接检测电路116检测出电池200与充电器以相反极性连接。

[0061] 还有，在第二实施方式中，采用下拉电阻28，但可采用电流源（未图示）。

[0062] 此外，在第二地方式中，N型基板上，NMOS晶体管21及下拉电阻28依次设于输出端子out和接地端子VSS之间，NMOS晶体管21的栅极与电源端子连接。这时，在端子EB-和电池200之间设有2个NMOS晶体管。此外，设置在端子EB-上的检测端子VM的电 压若成为在电源电压加上寄生二极管的阈值电压后的电压以上，则充电器反接检测电路116检测出电池200与充电器以相反极性连接。但是，可在P型基板上，使上拉电阻及PMOS晶体管依次设置在电源端子VDD与输出端子out之间，PMOS晶体管的栅极与接地端子（未图示）。这时，在端子EB+与电池之间设有2个PMOS晶体管。此外，设置在端子EB+上的检测端子VM的电压若小于从接地电压减去寄生二极管的阈值电压后的电压，则充电器反接检测电路检测出电池与充电器以相反极性连接。

[0063] 第三实施方式

[0064] 接着，对充电器反接检测电路116的结构进行说明。图7是表示充电器反接检测电路的电路图。图8是表示充电器反接检测电路的器件剖视图。

[0065] 充电器反接检测电路116具有二极管29以及下拉电阻28。

[0066] 此外，充电器反接检测电路116具有寄生PNP双极性晶体管31、寄生NPN双极性晶体管32及寄生电阻33。

[0067] 二极管29的阳极与输出端子out连接，阴极经由下拉电阻28连接至接地端子。

[0068] 此外，寄生PNP双极性晶体管31的基极与电源端子VDD连接，发射极与输入端子in（检测端子VM）连接，集电极与寄生NPN双极性晶体管32的基极连接。寄生NPN双极性晶体管32的发射极经由寄生电阻33连接至下拉电阻28的一端，集电极与电源端子VDD连接。

[0069] 接着，对充电器反接检测电路116的动作进行说明。

[0070] ＜电池200与充电器正常连接的场合＞

[0071] 在此，第一寄生二极管以连接在输入端子in（检测端子VM）的P型阱为阳极，并以连接在电源端子VDD的N型基板为阴极。寄生PNP双极性晶体管31以连接在电源端子VDD的N型基板为基极，以连接在输入端子in（检测端子VM）的P型阱为发射极，以连接在输出端子out的P型阱为集电极。寄生NPN双极性晶体管32以连接在输出端子out的P型阱为基极，以经由下拉电阻28连接至接地端子的N型阴极区域为发射极，以连接在电源端子VDD的N型基板为集电极。

[0072] 输入端子in（检测端子VM）的电压成为接地电压附近。这样，第一寄生二极管不工作，且寄生PNP双极性晶体管31也不工作。这样，输出端子out下拉，输出端子out的电压成为低电平信号（在接地电压加上寄生二极管的阈值电压后的电压）。即，充电器反接检

测电路 116 不检测电池 200 与充电器的相反极性的连接。

[0073] ＜电池 200 与充电器以相反极性连接的场合＞

[0074] 输入端子 in(检测端子 VM) 的电压变高,成为在电源电压加上寄生二极管的阈值电压后的电压以上。这样,第一寄生二极管工作,使寄生电流流过。通过该寄生电流,寄生 PNP 双极性晶体管 31 工作,使寄生电流流过。由于寄生 PNP 双极性晶体管 31 产生的寄生电流流过二极管 29,寄生 NPN 双极性晶体管 32 工作,使放大后的寄生电流流过。该寄生电流流过寄生电阻 33 和下拉电阻 28 和布线(电阻成分),在寄生电阻 33 和下拉电阻 28 和布线上发生电压。因而,二极管 29 的阳极电压变高,若成为规定电压以上,则成为针对逻辑电路 117 的高电平信号。即,充电器反接检测电路 116 检测出电池 200 与充电器以相反极性连接。

[0075] 又,在第三施方式中,在 N 型基板上,二极管 29 及下拉电阻 28 依次设置在输出端子 out 和接地端子 VSS 之间。这时,在端子 EB- 和电池 200 之间设有 2 个 NMOS 晶体管。此外,设置在端子 EB- 上的检测端子 VM 的电压若成为在电源电压加上寄生二极管的阈值电压后的电压以上,则充电器反接检测电路 116 检测出电池 200 与充电器以相反极性连接。但是,可在 P 型基板上,使上拉电阻以及二极管依次设置在电源端子 VDD 与输出端子 out 之间(未图示)。这时,在端子 EB+ 和电池之间设有 2 个 PMOS 晶体管。此外,设置在端子 EB+ 上的检测端子 VM 的电压若小于从接地电压减去寄生二极管的阈值电压后的电压,则充电器反接检测电路检测出电池与充电器以相反极性连接。

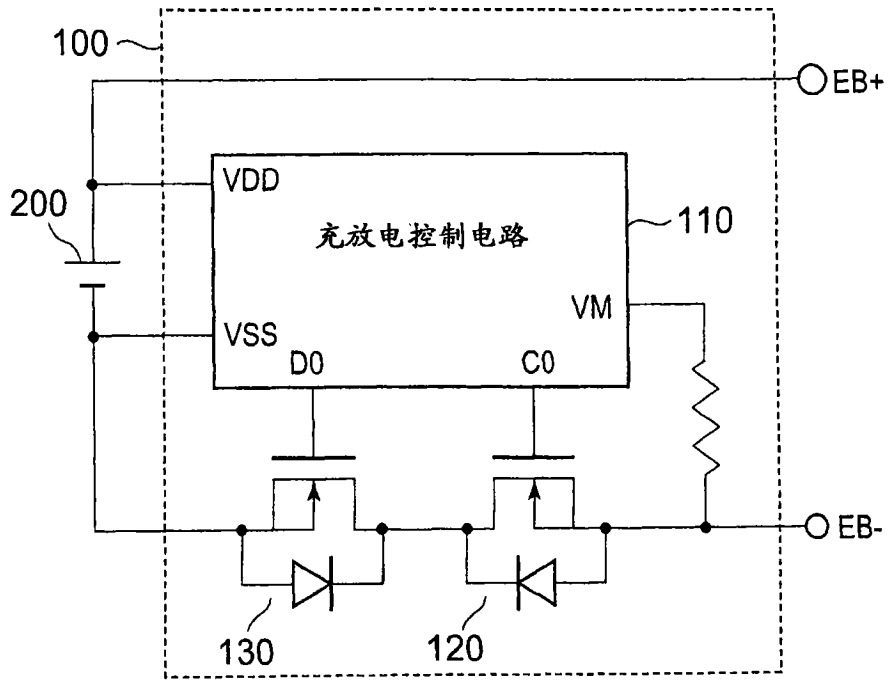

100
EB+
200
VDD
充放电控制电路
110
VM
VSS
D0
C0
EB-
130
120

图 1

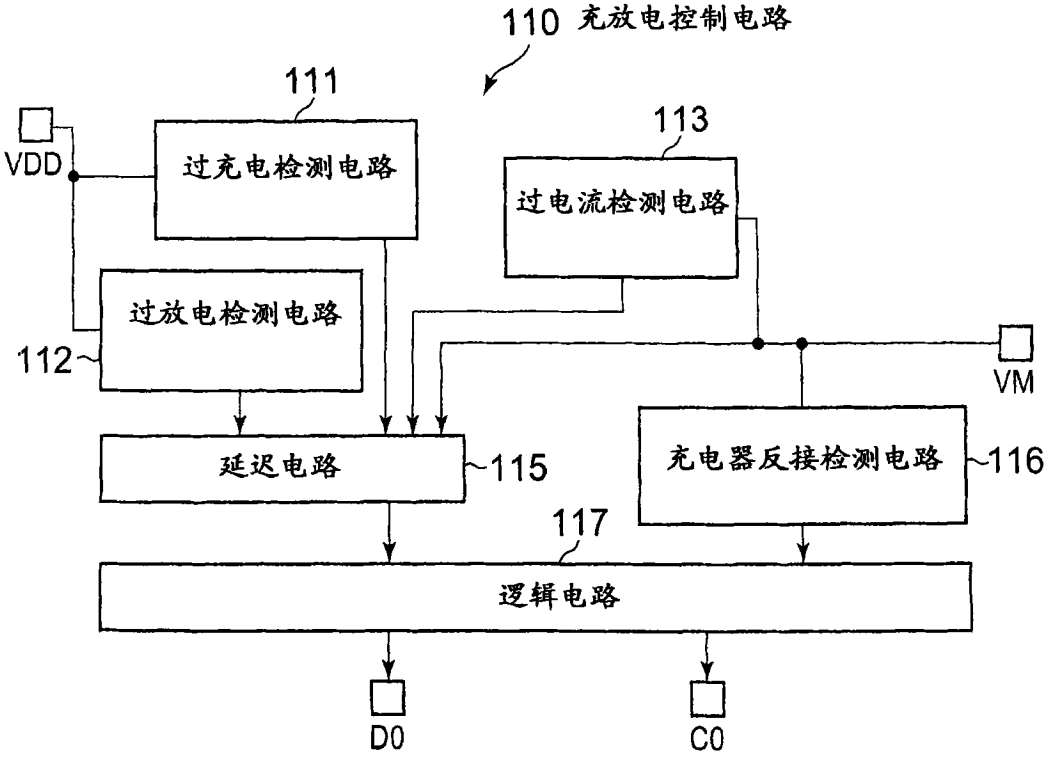

110 充放电控制电路
111
VDD
过充电检测电路
113
过电流检测电路
过放电检测电路
112
VM
延迟电路
115
充电器反接检测电路
116
117
逻辑电路
D0
C0

图 2

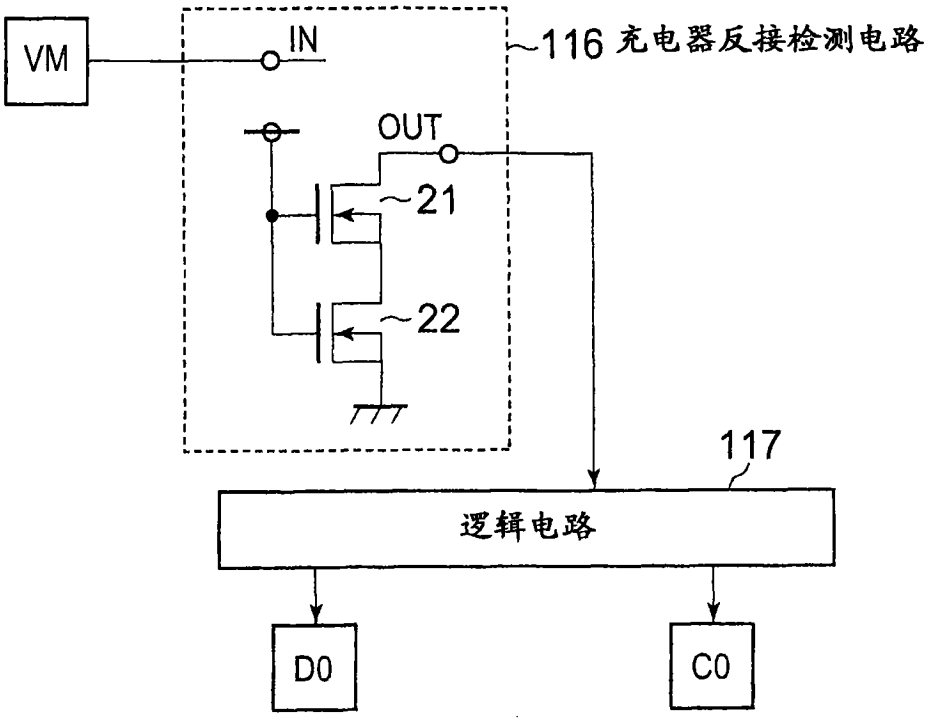


图 3

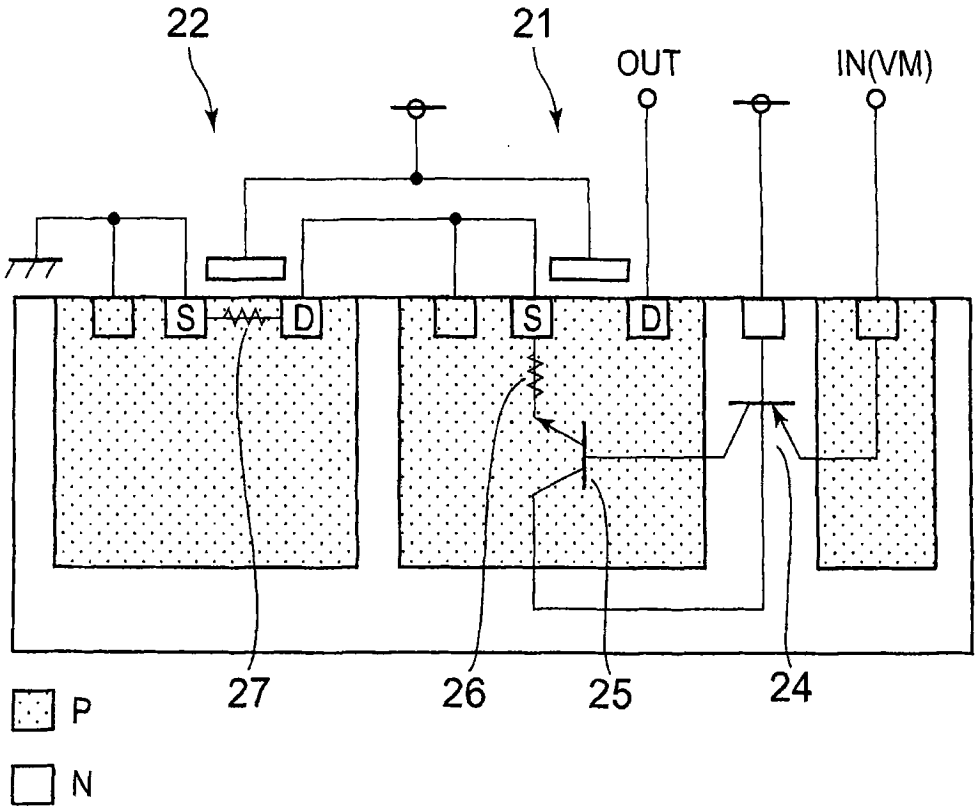


图 4

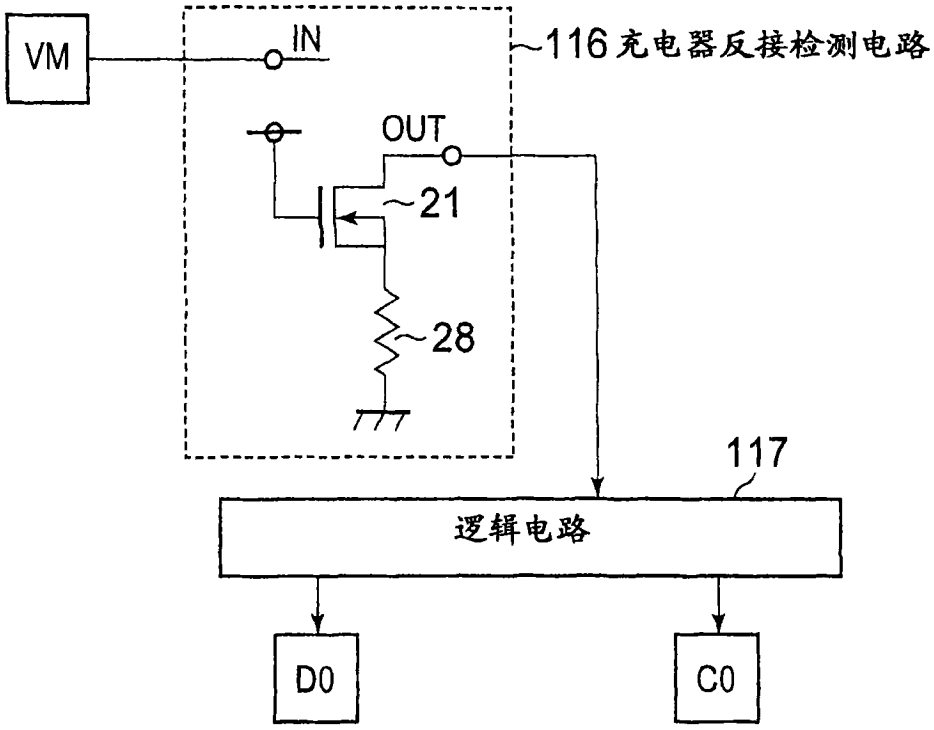


图 5

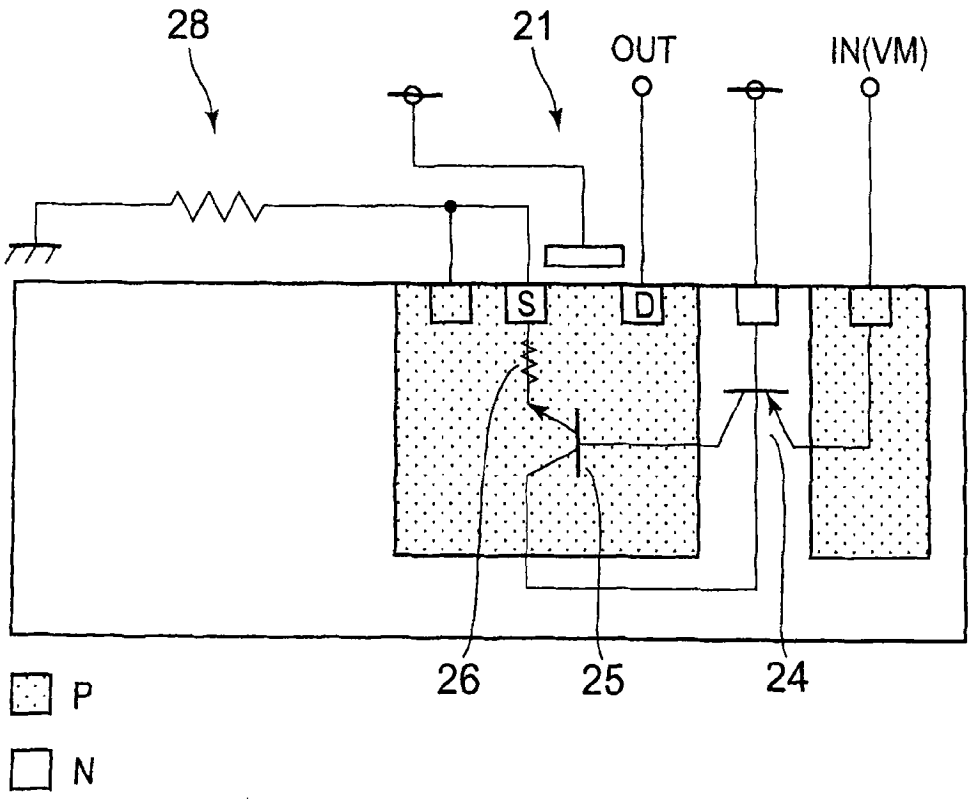

28
21
OUT
IN(VM)
S
D
26
25
24
P
N

图 6

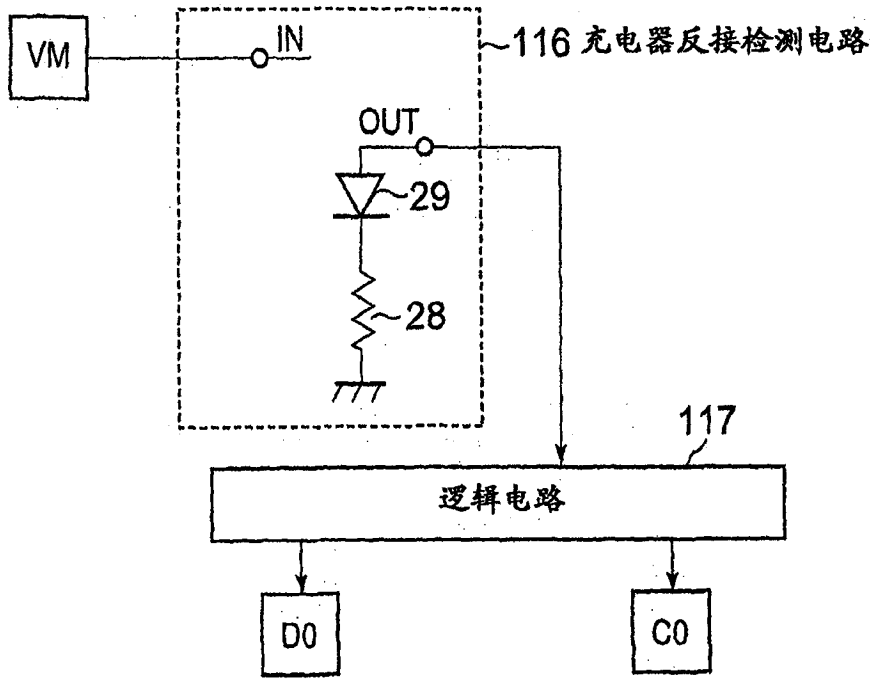

VM
IN
116 充电器反接检测电路
OUT
29
28
117
逻辑电路
D0
C0

图 7

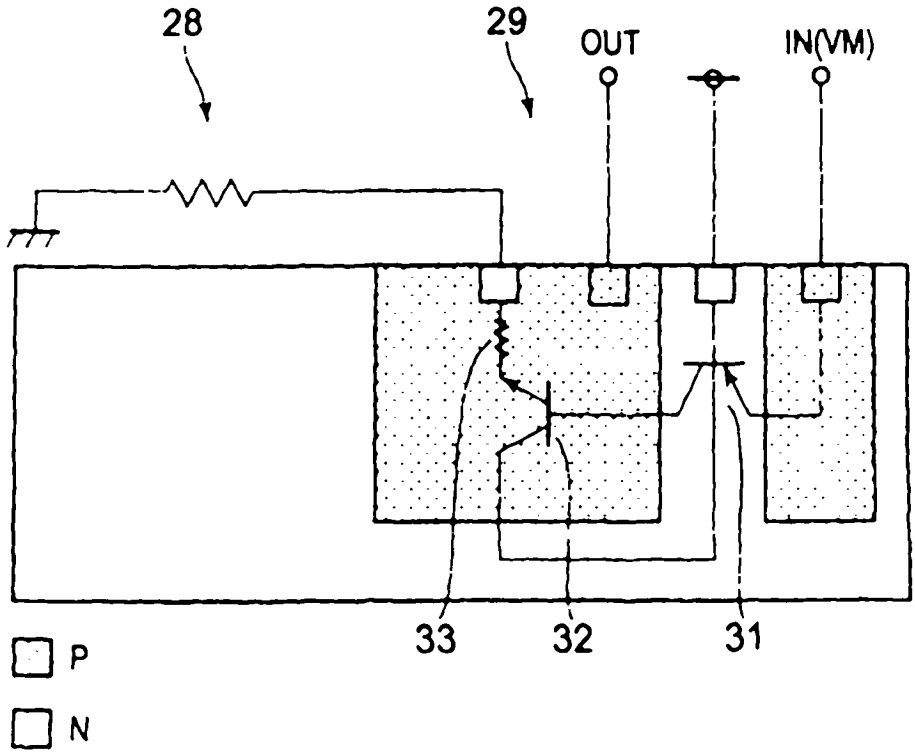


图 8