

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-219232

(P2008-219232A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 5/13 (2006.01)</b>	H03K 5/13	5B015
<b>H03K 5/135 (2006.01)</b>	H03K 5/135	5F038
<b>G11C 11/417 (2006.01)</b>	G11C 11/34 305	5J001
<b>H01L 21/822 (2006.01)</b>	H01L 27/04 F	
<b>H01L 27/04 (2006.01)</b>	H01L 27/04 A	
審査請求 未請求 請求項の数 15 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2007-51170 (P2007-51170)  
 (22) 出願日 平成19年3月1日(2007.3.1)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実  
 (74) 代理人 100115691  
 弁理士 藤田 篤史

最終頁に続く

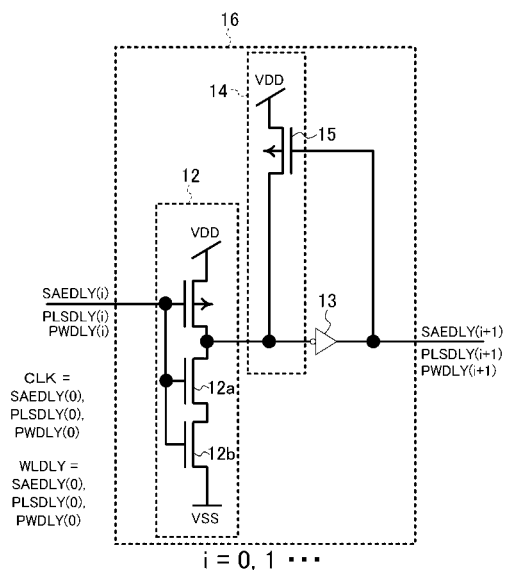
(54) 【発明の名称】 半導体集積回路

## (57) 【要約】

【課題】回路面積の増大を招くことなく、トランジスタバラツキ耐性を持った遅延クロック回路を提供する。

【解決手段】入力クロック信号を遅延させる遅延クロック回路16では、直列接続された第1および第2のインバータ12, 13を有する構成要素が、縦続接続されている。遅延クロック制御回路14は、構成要素の入力の遷移時において、第1および第2のインバータ12, 13の接続ノードに貫通電流が流れ、電荷競合が所定時間発生するように、動作する。遅延クロック制御回路14は、電源線VDDと接続ノードとの間に配置されており、ゲートに第2のインバータ13の出力を受ける第1のP型トランジスタ15を備えている。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

入力クロック信号を遅延させる遅延クロック回路を備え、  
前記遅延クロック回路は、  
第 1 および第 2 のインバータを有する構成要素が、縦続接続されたものであり、  
前記各構成要素は、  
入力の遷移時において、前記第 1 および第 2 のインバータの接続ノードに貫通電流が流れ、電荷競合が所定時間発生するように動作する遅延クロック制御回路を備えていることを特徴とする半導体集積回路。

**【請求項 2】**

請求項 1 において、  
前記所定時間は、前記入力クロック信号の立ち上がりエッジ間隔よりも短いことを特徴とする半導体集積回路。

**【請求項 3】**

請求項 1 において、  
前記遅延クロック制御回路は、  
電源線と前記接続ノードとの間に配置されており、ゲートに前記第 2 のインバータの出力を受ける第 1 の P 型トランジスタを備え、  
前記第 1 のインバータは、  
接地線と前記接続ノードとの間に配置されており、多段に直列接続された複数の N 型トランジスタを備えていることを特徴とする半導体集積回路。

**【請求項 4】**

請求項 3 において、  
前記複数の N 型トランジスタのゲート幅の和は、前記第 1 の P 型トランジスタのゲート幅の 2 倍以上 40 倍以下であることを特徴とする半導体集積回路。

**【請求項 5】**

請求項 3 において、  
前記遅延クロック制御回路は、  
電源線と前記接続ノードとの間に配置されており、ゲートに第 1 の外部信号を受ける第 2 の P 型トランジスタを備えていることを特徴とする半導体集積回路。

**【請求項 6】**

請求項 5 において、  
前記複数の N 型トランジスタのゲート幅の和は、前記第 1 および第 2 の P 型トランジスタのゲート幅の和の 2 倍以上 40 倍以下であることを特徴とする半導体集積回路。

**【請求項 7】**

請求項 5 において、  
前記第 1 の外部信号は、通常動作とテスト動作とを切り替える信号であり、テスト動作時に、前記第 2 の P 型トランジスタをオンさせるものであることを特徴とする半導体集積回路。

**【請求項 8】**

請求項 3 において、  
第 2 の外部信号に応じて、前記第 1 の P 型トランジスタおよび前記複数の N 型トランジスタの基板電位を制御する基板制御回路をさらに備えていることを特徴とする半導体集積回路。

**【請求項 9】**

請求項 8 において、

10

20

30

40

50

前記第 2 の外部信号は、通常動作とテスト動作とを切り替える信号であり、  
前記基板制御回路は、

テスト動作時に、前記第 1 の P 型トランジスタの基板に順バイアスを印加するとともに、  
前記複数の N 型トランジスタの基板に逆バイアスを印加する  
ことを特徴とする半導体集積回路。

【請求項 10】

請求項 1 において、

複数のメモリセルが行列状に配列されたメモリセルアレイと、

前記メモリセルの行に対してそれぞれ設けられた複数のワード線と、

前記メモリセルの列に対してそれぞれ設けられた複数のビット線対と、

前記ビット線対の微小電位差を増幅するセンスアンプと、

アドレス信号によって選択されたとき、前記ワード線にパルス信号を出力するロウデコードとを備え、

前記センスアンプは、前記遅延クロック回路から出力された遅延クロック信号を、センスアンプイネーブル信号として受けるものであり、

前記ロウデコードは、前記遅延クロック回路から出力された遅延クロック信号を、前記パルス信号のパルスエッジを生成するワード線パルス生成信号として受けるものである  
ことを特徴とする半導体集積回路。

【請求項 11】

請求項 10 において、

前記ロウデコードと同一構成からなり、アドレス信号を受けないで、選択された前記ロウデコードと同一タイミングでパルス信号を出力するロウデコードレプリカを備え、

前記ロウデコードレプリカから出力された前記パルス信号が、前記遅延クロック回路に、前記入力クロック信号として入力される  
ことを特徴とする半導体集積回路。

【請求項 12】

請求項 5 において、

複数のメモリセルが行列状に配列されたメモリセルアレイと、

前記メモリセルの行に対してそれぞれ設けられた複数のワード線と、

前記メモリセルの列に対してそれぞれ設けられた複数のビット線対と、

前記ビット線対の微小電位差を増幅するセンスアンプと、

前記メモリセルと同一構成からなるメモリセルレプリカが複数個、列状に配列されたメモリセルレプリカアレイと、

前記メモリセルレプリカの列に対して設けられたレプリカビット線対とを備え、

前記センスアンプは、前記遅延クロック回路から出力された遅延クロック信号を、センスアンプイネーブル信号として受けるものであり、

前記遅延クロック回路は、前記レプリカビット線対に所定の電位差が生じたか否かを示す信号を、前記第 1 の外部信号の代わりに、前記遅延クロック制御回路における前記第 2 の P 型トランジスタのゲートに受けるものである  
ことを特徴とする半導体集積回路。

【請求項 13】

請求項 1 において、

複数のメモリセルが行列状に配列されたメモリセルアレイと、

前記メモリセルの列に対して設けられており、書き込み補助パルス信号がパルスを出力している期間、前記メモリセルの電源ソースの電位を下げる書き込み補助回路とを備え、

前記書き込み補助パルス信号のパルスエッジは、前記遅延クロック回路から出力された遅延クロック信号によって生成されている  
ことを特徴とする半導体集積回路。

【請求項 14】

請求項 3 において、

10

20

30

40

50

前記遅延クロック回路は、

前記第 1 のインバータの P 型トランジスタのソース及びドレインと、前記第 2 のインバータの P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされており、かつ、

前記第 2 のインバータの P 型トランジスタのソース及びドレインと、前記遅延クロック制御回路が有する前記第 1 の P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされている

ことを特徴とする半導体集積回路。

【請求項 15】

請求項 3 において、

前記遅延クロック回路は、

前記第 1 のインバータの P 型トランジスタのソース及びドレインと、前記第 2 のインバータの P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされており、かつ、

前記第 1 のインバータの P 型トランジスタのソース及びドレインと、前記遅延クロック制御回路が有する前記第 1 の P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされている

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力クロック信号を遅延させる遅延クロック回路を備え、遅延クロック信号を、例えばセンスアンプのイネーブル信号等として用いる半導体集積回路に関する。

【背景技術】

【0002】

半導体記憶装置などに用いられるラッチ型センスアンプは、そのイネーブル信号を生成するために、タイミング生成回路を必要とする。タイミング生成回路は、最も簡易な構成としては、縦続接続された複数のインバータによって構成される。インバータのゲート段数を調整することにより、センスアンプのイネーブル信号を最適なタイミングで動作させることができる。

【0003】

ある従来技術によれば、入力クロック信号の周波数変化に合わせて、遅延クロック信号の遅延時間を調整する。具体的には、入力クロック信号の立下りエッジを基準としたパルス信号をインバータ及び NAND、NOR 回路を組み合わせ生成し、遅延クロック信号を生成するインバータチェーンの各インバータの駆動能力を、このパルス信号によって変化させる（特許文献 1 参照）。

【特許文献 1】特開 2001-344972 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述した従来技術では、入力クロック信号の周波数変化に応じて、最適なタイミングを生成することができる。ところが、インバータの駆動能力を変化させるためのパルス信号を生成するために、規模が大きな回路が必要となる。また、パルス信号の生成回路及び、インバータチェーンに用いられるインバータには、トランジスタのバラツキに対する遅延時間調整の施策がなされていない。

【0005】

前記の問題に鑑み、本発明は、回路面積の増大を招くことなく、トランジスタバラツキ耐性を持った遅延クロック回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本発明は、半導体集積回路として、入力クロック信号を遅延させる遅延クロック回路を備え、前記遅延クロック回路は、直列接続された第1および第2のインバータを有する構成要素が縦続接続されたものであり、前記各構成要素は、入力の変移時において、前記第1および第2のインバータの接続ノードに貫通電流が流れ、電荷競合が所定時間発生するように動作する遅延クロック制御回路を備えているものである。

【0007】

本発明によると、遅延クロック回路の各構成要素において、遅延クロック制御回路によって、入力の変移時において、第1および第2のインバータの接続ノードに、貫通電流による電荷競合を所定時間発生させることができる。これにより、遅延クロック信号を、さらに遅延させることが可能となる。したがって、例えばセンスアンプイネーブル信号の活性化を、従来よりもさらに遅延させることができる。したがって、ビット線対の微小電位差の大きさを増大することができ、誤動作する確率を抑え、半導体集積回路の歩留まりを向上させることができる。

【発明の効果】

【0008】

本発明によると、遅延クロック制御回路によって、入力の変移時において、第1および第2のインバータの接続ノードに、貫通電流による電荷競合を所定時間発生させることができるので、遅延クロック信号をさらに遅延させることが可能となる。

【発明を実施するための最良の形態】

【0009】

以下、図面を参照しながら、本発明の実施の形態について詳細に説明する。

【0010】

図1は本発明に係る半導体集積回路の1つとしてのSRAM (Static Random Access Memory) 100の構成例を示している。図1のSRAM 100は、遅延クロック回路10、16、19、22と、メモリセルアレイ30と、ロウデコーダアレイ40と、書き込み補助回路50と、リード/ライト回路アレイ70とを備えている。リード/ライト回路アレイ70はセンスアンプ20およびデータ入力回路60を含むアレイ構成になっている。

【0011】

詳細に説明すると、遅延クロック回路10、16、19、22は、入力クロック信号CLKに応じて、センスアンプイネーブル(Sense Amp. Enable)信号SAE、ワード線WLをパルス制御するためのワード線パルス生成信号PLSDLY、および書き込み補助回路50をパルス制御するための書き込みパルス生成信号PWDLYを出力する。これらの信号SAE、PLSDLY、PWDLYが遅延クロック信号に相当する。センスアンプ20は、センスアンプイネーブル信号SAEに応じて動作し、動作時にビット線対BL、NBLの微小電位差を検出し、出力する。メモリセルアレイ30は、行列状に配列された複数のメモリセル8を備えている。複数のワード線WLがメモリセルアレイ30の行に対してそれぞれ設けられており、複数のビット線対BL、NBLがメモリセルアレイ30の列に対してそれぞれ設けられている。

【0012】

ロウデコーダアレイ40は、メモリセルアレイ40の行に対してそれぞれ設けられた複数のロウデコーダ9を備えている。ロウデコーダ9は、入力クロック信号CLKおよびワード線パルス生成信号PLSDLYに応じて、ワード線WLにパルス信号を出力する。書き込み補助回路50は、メモリセルアレイ40の列に対して設けられており、メモリセル8の電源ソース51と接続されている。そして、書き込みパルス生成信号PWDLYに応じて、電源ソース51にパルス信号を出力する。データ入力回路60は、入力データ信号DIに応じて、ビット線対BL、NBLに電位差を出力する。

【0013】

図2は図1のSRAM 100における従来技術に係る遅延クロック回路10の概略構成例を示す図である。図2において、12Aは第1のインバータ、13は第2のインバータであり、第1のインバータ12Aの出力と第2のインバータ13の入力とが接続されてい

10

20

30

40

50

る。図 2 に示すように、遅延クロック回路 10 は、第 1 のインバータ 12 A および第 2 のインバータ 13 を 1 構成要素としたアレイ構造である。すなわち、遅延クロック回路 10 は、直列接続された第 1 および第 2 のインバータ 12 A , 13 を有する構成要素が、縦続接続されたものである。

【 0 0 1 4 】

図 3 は図 1 の S R A M 100 における本発明の実施形態に係る遅延クロック回路 16 の概略構成例を示す図である。図 3 では、図 2 に示す従来技術の構成に加えて、遅延クロック制御回路 14 が付された構成になっている。すなわち遅延クロック回路 16 は、直列接続された第 1 および第 2 のインバータ 12 , 13 と、遅延クロック制御回路 14 とを有する構成要素が縦続接続されたものである。遅延クロック制御回路 14 は、第 1 および第 2 のインバータ 12 , 13 の接続ノードと、第 2 のインバータ 13 の出力ノードとに接続されている。そして、後述するように、構成要素の入力の遷移時において、第 1 および第 2 のインバータ 12 , 13 の接続ノードに貫通電流が流れ、電荷競合が所定時間発生するように動作する。

【 0 0 1 5 】

そして図 3 の構成では、遅延クロック制御回路 14 は、電源線 V D D と第 1 および第 2 のインバータ 12 , 13 の接続ノードとの間に配置されており、ゲートに第 2 のインバータ 13 の出力を受ける第 1 の P 型トランジスタ 15 を備えている。なお、第 1 の P 型トランジスタ 15 に代えて、多段に直列接続された複数の P 型トランジスタを設けてもよい。また、第 1 の P 型トランジスタ 15 に代えて、インバータを設けてもよい。

【 0 0 1 6 】

また図 3 の構成では、第 1 のインバータ 12 は、接地線 V S S と第 1 および第 2 のインバータ 12 , 13 の接続ノードとの間に配置されており、多段（図では 2 段）に直列接続された複数の N 型トランジスタ 12 a , 12 b を備えている。なお、第 1 および第 2 のインバータ 12 , 13 における P 型および N 型トランジスタは、1 個であってもよいし、多段に直列接続された複数個であってもよい。

【 0 0 1 7 】

図 4 は図 1 の構成において、図 2 の遅延クロック回路 10 および図 3 の遅延クロック回路 16 を採用した場合の動作を説明するためのタイミング図である。ここでは、リード動作の場合を取り上げており、図 2 の従来技術と図 3 の本実施形態とを比較して示している。

【 0 0 1 8 】

入力クロック信号 C L K がロウデコーダ 9 に入力され、ロウデコーダ 9 の出力すなわちワード線 W L が活性化する。メモリセル 8 はワード線 W L の活性化に応じて、ビット線対 B L , N B L に微小電位差を発生させる。一方で、入力クロック信号 C L K は遅延クロック回路 10 , 16 に入力される。

【 0 0 1 9 】

図 2 の従来技術では、入力クロック信号 C L K が H i g h（以降、“H”）になると、第 1 のインバータ 12 は P 型トランジスタがオフ、N 型トランジスタがオンすることになり、L o w（以降、“L”）を出力する。このため、次段の第 2 のインバータ 13 の入力に“L”が印加される。そのため、第 2 のインバータ 13 は P 型トランジスタがオン、N 型トランジスタがオフすることになり、“H”を出力する。ゲート段数を変えることにより、センスアンプイネーブル信号 S A E の活性化タイミングを調整することができる。センスアンプ 20 はセンスアンプイネーブル信号 S A E の活性化に応じて、ビット線対 B L , N B L の微小電位差を検出し、出力する。

【 0 0 2 0 】

一方、図 3 の本実施形態では、入力クロック信号 C L K が“L”のとき、第 1 のインバータ 12 は P 型トランジスタがオン、N 型トランジスタがオフしており、“H”を出力する。このため、次段の第 2 のインバータ 13 の入力に“H”が印加される。そのため、第 2 のインバータ 13 は P 型トランジスタがオフ、N 型トランジスタがオンすることになり

、“L”を出力する。第2のインバータ13の出力“L”が、遅延クロック制御回路14の第1のP型トランジスタ15のゲートに入力される。この結果、第1のP型トランジスタ15はオンする。

【0021】

入力クロック信号CLKが“H”になると、第1のインバータ12はP型トランジスタがオフ、N型トランジスタがオンすることになり、“L”を出力する。この時点では、遅延クロック制御回路14の第1のP型トランジスタ15はオンしており、この結果、第1のインバータ12のN型トランジスタによる電荷放電と、第1のP型トランジスタ15による電荷充電との貫通電流による電荷競合が一定時間、発生する。その後、次段の第2のインバータ13の入力に“L”が印加される。そのため、第2のインバータ13はP型トランジスタがオン、N型トランジスタがオフすることになり、“H”を出力する。ゲート段数を変えるだけでなく、遅延クロック制御回路14の第1のP型トランジスタ15を加えることにより、貫通電流による電荷競合を一定時間発生させることができ、センスアンプイネーブル信号SAEの活性化タイミングを調整することができる。センスアンプ20はセンスアンプイネーブル信号SAEの活性化に応じて、ビット線対BL, NBLの微小電位差を検出し、出力する。

【0022】

以上の通り、本実施形態に係る図3の遅延クロック回路16を採用することによって、遅延クロック制御回路14の第1のP型トランジスタ15と第1のインバータ12のN型トランジスタとによって、貫通電流による電荷競合を一定時間発生させることができる。これにより、センスアンプイネーブル信号SAEの活性化を従来技術よりもさらに遅延させることができる。つまり、トランジスタ素子を1つ追加するだけで、大幅な面積増大を招くことなく、トランジスタバラツキ、特にSRAM100においてP型トランジスタの駆動能力が大きくN型トランジスタの駆動能力が小さい場合において、センスアンプイネーブル信号SAEの活性化を従来技術よりもさらに遅延させることができる。したがって、ビット線対BL, NBLの微小電位差の大きさを増大することができ、誤動作する確率を抑え、SRAMおよびSRAMを搭載する半導体集積回路の歩留まりを向上させることができる。

【0023】

なお、貫通電流による電荷競合が発生する所定時間は、入力クロック信号CLKの立ち上がりエッジ間隔よりも短いことが望ましい。

【0024】

また、図3の遅延クロック回路16において、第1のインバータ12が有する多段に直列接続された複数のN型トランジスタのゲート幅の和は、遅延クロック制御回路14の第1のP型トランジスタ15のゲート幅の2倍以上40倍以下であることが望ましい。このゲート幅の比率が2倍未満の場合、第1のインバータ12のN型トランジスタによる電荷を放電する駆動能力が、遅延クロック制御回路14の第1のP型トランジスタ15による電荷を充電する駆動能力に劣ることとなり、遅延クロック回路16が誤動作してしまう。一方、このゲート幅の比率が40倍を超えた場合、貫通電流による電荷競合を発生させて遅延時間を増大させる効果がほとんどなくなる。したがって、上述のゲート幅の制限内で設計を行うことにより、センスアンプイネーブル信号SAEの活性化タイミングを最適とすることができる。

【0025】

図5は図1のSRAM100における本発明の実施形態に係る遅延クロック回路19の概略構成例を示す図である。図5では、図2に示す従来技術の構成に加えて、遅延クロック制御回路17が付された構成になっている。すなわち遅延クロック回路19は、直列接続された第1および第2のインバータ12, 13と、遅延クロック制御回路17とを有する構成要素が縦続接続されたものである。遅延クロック制御回路17は、第1および第2のインバータ12, 13の接続ノードと、第2のインバータ13の出力ノードとに接続されている。また遅延クロック制御回路17は、図3の遅延クロック制御回路14と対比す

10

20

30

40

50

ると、第 1 の P 型トランジスタ 15 に加えて、第 2 の P 型トランジスタ 18 を備えている。第 2 の P 型トランジスタ 18 は、電源線 VDD と第 1 および第 2 のインバータ 12, 13 の接続ノードとの間に、第 1 の P 型トランジスタ 15 と並列に配置されており、ゲートに第 1 の外部信号 TE を受ける。すなわち第 2 の P 型トランジスタ 18 は第 1 の外部信号 TE に応じてそのオンオフが制御される。

【0026】

図 6 は図 1 の構成において、図 5 の遅延クロック回路 19 を採用した場合の動作を説明するためのタイミング図である。ここでは、リード動作の場合を取り上げている。また第 1 の外部信号 TE は通常動作とテスト動作とを切り替える信号として説明する。また、SRAM 100 の基本的な動作は図 4 と同様であるため、説明を省略する。

10

【0027】

通常動作では、第 1 の外部信号 TE は “H” になり、第 2 の P 型トランジスタ 18 をオフにする。このとき、遅延クロック制御回路 17 において遅延クロック信号をさらに遅延させるトランジスタは第 1 の P 型トランジスタ 15 のみとなり、図 3 の構成と同様の効果が得られる。

【0028】

テスト動作では、第 1 の外部信号 TE は “L” になり、第 2 の P 型トランジスタ 18 をオンにする。このとき、遅延クロック制御回路 17 において、第 1 の P 型トランジスタ 15 に加えて第 2 の P 型トランジスタ 18 が、遅延クロック信号をさらに遅延させるトランジスタとして動作する。これにより、図 3 の構成よりもさらに遅延時間が増大する。

20

【0029】

以上の通り、本実施形態に係る図 5 の遅延クロック回路 19 を採用した場合、テスト動作のとき、遅延クロック制御回路 17 の第 1 および第 2 の P 型トランジスタ 15, 18 と第 1 のインバータ 12 の N 型トランジスタとによって、貫通電流による電荷競合を一定時間発生させることができる。これにより、センスアンビネーブル信号 SAE の活性化をさらに遅延させることができる。つまり、トランジスタ素子をさらに 1 つ追加するだけで、大幅な面積増大を招くことなく、テスト動作時におけるセンスアンビネーブル信号 SAE の活性化をさらに遅延させることができる。したがって、ビット線対 BL, NBL の微小電位差の大きさを増大することができ、誤動作する確率を抑え、SRAM および SRAM を搭載する半導体集積回路の故障検出箇所の特定および故障検出率の向上を促進することができる。歩留まりを向上させることができる。

30

【0030】

なお、第 1 の外部信号 TE は通常動作とテスト動作とを切り替える信号だけに限定されない。例えば、第 1 の外部信号 TE を定常的に “L” とすることにより、センスアンビネーブル信号 SAE の活性化をさらに遅延させることができる。したがって、ビット線対 BL, NBL の微小電位差の大きさを増大することができ、誤動作する確率を抑えることも可能である。

【0031】

また図 5 の構成において、第 1 の P 型トランジスタ 15 を省略しても良い。

【0032】

40

また、図 5 の遅延クロック回路 19 において、第 1 のインバータ 12 が有する多段に直列接続された複数の N 型トランジスタのゲート幅の和は、遅延クロック制御回路 17 の第 1 および第 2 の P 型トランジスタ 15, 18 のゲート幅の和の 2 倍以上 40 倍以下であることが望ましい。このゲート幅の比率が 2 倍未満の場合、第 1 のインバータ 12 の N 型トランジスタによる電荷を放電する駆動能力が、遅延クロック制御回路 17 の第 1 および第 2 の P 型トランジスタ 15, 18 による電荷を充電する駆動能力に劣ることとなり、遅延クロック回路 19 が誤動作してしまう。一方、このゲート幅の比率が 40 倍を超えた場合、貫通電流による電荷競合を発生させて遅延時間を増大させる効果がほとんどなくなる。したがって、上述のゲート幅の制限内で設計を行うことにより、センスアンビネーブル信号 SAE の活性化タイミングを最適とすることができる。

50



## 【 0 0 3 3 】

図 7 は図 1 の S R A M 1 0 0 における本発明の実施形態に係る遅延クロック回路 2 2 の概略構成例を示す図である。図 7 では、図 3 の遅延クロック回路 1 6 に加えて、P 型トランジスタ用基板制御回路 2 3 および N 型トランジスタ用基板制御回路 2 4 が付された構成になっている。P 型トランジスタ用基板制御回路 2 3 は第 2 の外部信号 B E に応じて、信号 V D D B B によって、遅延クロック制御回路 1 4 における第 1 の P 型トランジスタ 1 5 の基板電位を制御する。N 型トランジスタ用基板制御回路 2 4 は同じく第 2 の外部信号 B E に応じて、信号 V S S B B によって、第 1 のインバータ 1 2 における複数の N 型トランジスタ 1 2 a , 1 2 b の基板電位を制御する。

## 【 0 0 3 4 】

図 8 は図 1 の構成において、図 7 の遅延クロック回路 2 2 を採用した場合の動作を説明するためのタイミング図である。ここでは、リード動作の場合を取り上げている。また第 2 の外部信号 B E は通常動作とテスト動作とを切り替える信号として説明する。また、S R A M 1 0 0 の基本的な動作は図 4 と同様であるため、説明を省略する。

## 【 0 0 3 5 】

通常動作では、第 2 の外部信号 B E に応じて、P 型トランジスタ用基板制御回路 2 3 は出力信号 V D D B B によって第 1 の P 型トランジスタ 1 5 の基板にバイアスを印加せず、また N 型トランジスタ用基板制御回路 2 4 は出力信号 V S S B B によって第 1 のインバータ 1 2 の N 型トランジスタの基板にバイアスを印加しない。これにより、第 1 の P 型トランジスタ 1 5 および第 1 のインバータ 1 2 の N 型トランジスタ 1 2 a , 1 2 b の閾値電圧に変化はなく、図 3 と同様の効果が得られる。

## 【 0 0 3 6 】

テスト動作では、第 2 の外部信号 B E 2 5 に応じて、P 型トランジスタ用基板制御回路 2 3 は出力信号 V D D B B によって第 1 の P 型トランジスタ 1 5 の基板に順バイアスを印加し、N 型トランジスタ用基板制御回路 2 4 は出力信号 V S S B B によって第 1 のインバータ 1 2 の N 型トランジスタ 1 2 a , 1 2 b の基板に逆バイアスを印加する。これにより、第 1 の P 型トランジスタ 1 5 は、閾値電圧の絶対値が減少するため電流駆動能力が増大し、第 1 のインバータ 1 2 の N 型トランジスタ 1 2 a , 1 2 b は、閾値電圧の絶対値が増加するため電流駆動能力が減少することから、接続ノードにおいて電荷競合が発生し、図 3 よりもさらに遅延時間が増大する。

## 【 0 0 3 7 】

以上の通り、本実施形態に係る図 7 の遅延クロック回路 2 2 を採用した場合、テスト動作のとき、遅延クロック制御回路 1 4 における第 1 の P 型トランジスタ 1 5 の閾値電圧の絶対値を減少させるとともに、第 1 のインバータ 1 2 における N 型トランジスタ 1 2 a , 1 2 b の閾値電圧の絶対値を増加させることができる。このため、第 1 の P 型トランジスタ 1 5 の駆動能力が増大するとともに、第 1 のインバータ 1 2 の N 型トランジスタ 1 2 a , 1 2 b の駆動能力が減少するので、貫通電流による電荷競合を一定時間発生させることができる。これにより、テスト動作時のセンスアンブイネーブル信号 S A E の活性化をさらに遅延させることができる。したがって、ビット線対 B L , N B L の微小電位差の大きさを増大させることができ、誤動作する確率を抑え、S R A M 及び S R A M を搭載する半導体集積回路の故障検出箇所の特定および故障検出率の向上を促進することができる。また、歩留まりを向上させることができる。

## 【 0 0 3 8 】

なお、第 2 の外部信号 B E は通常動作とテスト動作とを切り替える信号だけに限定されない。例えば、第 2 の外部信号 B E 2 5 によって、定常的に、第 1 の P 型トランジスタ 1 5 の基板に順バイアスを印加し、第 1 のインバータ 1 2 の N 型トランジスタ 1 2 a , 1 2 b の基板に逆バイアスを印加するようにしてもよい。これにより、センスアンブイネーブル信号 S A E の活性化をさらに遅延させることができ、ビット線対 B L , N B L の微小電位差の大きさを増大させることができ、誤動作する確率を抑えることも可能である。また図 7 において、P 型トランジスタ用基板制御回路 2 3 または N 型トランジスタ制御回路 2 4

のいずれか一方のみを設けるようにしてもかまわない。

【 0 0 3 9 】

図 9 は図 1 の S R A M 1 0 0 におけるロウデコーダ 9 の概略構成例を示す図である。図 9 において、ロウデコーダ 9 は、アドレス信号 A D によって選択されたとき、ワード線 W L にパルス信号を出力する。入力クロック信号 C L K はワード線 W L に出力するパルス信号の立ち上がり側のパルスエッジを生成する。ワード線パルス生成信号 P L S D L Y はワード線 W L に出力するパルス信号の立ち下がり側のパルスエッジを生成する。そしてロウデコーダ 9 は、遅延クロック回路 1 6 , 1 9 , 2 2 から出力された遅延クロック信号を、ワード線パルス生成信号 P L S D L Y として受ける。

【 0 0 4 0 】

図 1 0 は図 9 のロウデコーダ 9 を含む図 1 の S R A M 1 0 0 の動作を説明するためのタイミング図である。ここではリード動作の場合を取り上げている。また図 1 0 では、通常動作とセンスアンプイネーブル信号 S A E が遅延した場合の動作とを示している。ここでは、通常動作は設計時に設定した動作タイミングであり、これに対してプロセス、電圧、温度、周波数など様々な条件がばらついた場合に、センスアンプイネーブル信号 S A E が遅延したものとする。

【 0 0 4 1 】

図 1 0 において、入力クロック信号 C L K がロウデコーダ 9 に入力され、ロウデコーダ 9 の出力すなわちワード線 W L が活性化する。メモリセル 8 はワード線 W L の活性化に応じてビット線対 B L , N B L に微小電位差を発生させる。一方で、入力クロック信号 C L K は遅延クロック回路 1 6 , 1 9 , 2 2 に入力される。センスアンプ 2 0 は遅延クロック回路 1 6 , 1 9 , 2 2 の出力であるセンスアンプイネーブル信号 S A E の活性化に応じて、ビット線対 B L , N B L の微小電位差を検出し、出力する。

【 0 0 4 2 】

ロウデコーダ 9 の出力すなわちワード線 W L は、遅延クロック回路 1 6 , 1 9 , 2 2 の出力であるワード線パルス生成信号 P L S D L Y に応じて不活性化する。様々な条件がばらついたとしても、センスアンプイネーブル信号 S A E とワード線パルス生成信号 P L S D L Y とは同一の遅延クロック回路 1 6 , 1 9 , 2 2 から出力されているため、それぞれのタイミングは条件のバラツキに対して同様の傾向を示す。したがって、センスアンプイネーブル信号 S A E が遅延した場合、ワード線パルス生成信号 P L S D L Y も同様に遅延する。これにより、ワード線 W L のパルス幅が広がることになる。

【 0 0 4 3 】

以上の通り、図 1 および図 9 の構成によると、ワード線パルス生成信号 P L S D L Y とセンスアンプイネーブル信号 S A E とは、そのタイミングが条件バラツキに対して同様の傾向を示す。したがって、センスアンプイネーブル信号 S A E が遅延した場合、ワード線パルス生成信号 P L S D L Y も同様に遅延し、ワード線 W L のパルス幅が広がることになる。よって、ビット線対 B L , N B L の微小電位差も増大し、誤動作する確率を抑え、S R A M および S R A M を搭載する半導体集積回路の歩留まりを向上させることができる。

【 0 0 4 4 】

なお、センスアンプイネーブル信号 S A E とワード線パルス生成信号 P L S D L Y は、同じ遅延クロック回路 1 6 , 1 9 , 2 2 からの出力ではあるが、必ずしも同じゲート段数から出力されていなくとも良い。

【 0 0 4 5 】

図 1 1 は図 1 の S R A M 1 0 0 におけるロウデコーダレプリカ ( R D R ) 2 9 の概略構成例を示す図である。図 1 1 において、ロウデコードレプリカ 2 9 は、ロウデコーダ 9 と同一構成からなり、アドレス信号 A D を受ける代わりに、常に選択される様に、電源電圧 V D D または電源電圧 V D D に準ずる信号を受ける。すなわち、アドレス信号 A D によって選択されたロウデコーダ 9 と同一タイミングで、パルス信号をワード線遅延信号 W L D L Y として出力する。ロウデコーダレプリカ 2 9 から出力されたワード線遅延信号 W L D L Y は、遅延クロック回路 1 6 , 1 9 , 2 2 に入力クロック信号として入力される。

## 【 0 0 4 6 】

以上の通り、図 1 1 の構成によると、ロウデコーダ 9 と同一構成からなるロウデコーダレプリカ 2 9 から送られるワード線遅延信号 W L D L Y は、ワード線 W L とほぼ同じタイミングで活性化される。このため、遅延クロック回路 1 6 , 1 9 , 2 2 に入力されるタイミングのバラツキを抑えることが可能である。なお、ワード線パルス生成信号 P L S D L Y は省略されても良い。

## 【 0 0 4 7 】

図 1 2 は図 1 の S R A M 1 0 0 において、メモリセルレプリカ 3 2 を用いた場合の動作を示すタイミング図である。図 1 において、メモリセルレプリカアレイ 3 6 は、メモリセル 8 と同一構成からなるメモリセルレプリカ 3 2 が複数個、行状に配置されたものである。そして、メモリセルレプリカ 3 2 の列に対してレプリカビット線対 R B L , R N B L が設けられている。またメモリセルレプリカ遅延信号 M E M D L Y は、レプリカビット線対 R B L , R N B L に所定の電位差が生じたか否かを示す信号であり、ここではレプリカビット線対 R B L , R N B L に所定の電位差が生じたとき “ H ” になるものとする。そして、遅延クロック回路 1 9 は、メモリセルレプリカ遅延信号 M E M D L Y 3 5 を、第 2 の外部信号 T E の代わりに、遅延クロック制御回路 1 7 における第 2 の P 型トランジスタ 1 8 のゲートに受ける。

## 【 0 0 4 8 】

図 1 の構成によれば、メモリセル 8 のバラツキをメモリセルレプリカ 3 2 が反映することになる。このため、図 1 2 に示すように、メモリセル 8 およびメモリセルレプリカ 3 2 の電荷引き抜きが早い場合、遅延クロック回路 1 9 内の第 2 の P 型トランジスタ 1 8 をオフするタイミングが早いため、センスアンプイネーブル信号 S A E によってセンスアンプ 2 0 が起動するタイミングも早くなる。一方、メモリセル 8 およびメモリセルレプリカ 3 2 の電荷引き抜きが遅い場合、遅延クロック回路 1 9 内の第 2 の P 型トランジスタ 1 8 がオンしている期間が長くなり、オフするタイミングが遅くなるため、センスアンプイネーブル信号 S A E によってセンスアンプ 2 0 が起動するタイミングも遅くなる。

## 【 0 0 4 9 】

このように、メモリセル 8 のバラツキによらず、ビット線対 B L , N B L の微小電位差が十分に確保された状態で、センスアンプ 2 0 が起動することになり、したがって、歩留まりを向上させることができる。

## 【 0 0 5 0 】

図 1 3 は図 1 の S R A M 1 0 0 における書き込み補助回路 5 0 の構成例を示す図である。図 1 3 の構成では、電源ソース 5 1 が電圧降下し過ぎないように、P 型トランジスタを用いて、電荷を引き抜いている。図 1 において、書き込み補助回路 5 0 はメモリセル 8 の列に対して設けられており、書き込み補助パルス信号 P W P L S がパルスを出力している期間、メモリセルの電源ソース 5 1 の電位を下げる。書き込み補助パルス信号 P W P L S は、書き込みイネーブル信号 W E および、遅延クロック回路 1 6 , 1 9 , 2 2 から出力された遅延クロック信号としての書き込みパルス生成信号 P W D L Y から生成される。書き込みパルス生成信号 P W D L Y は書き込み補助パルス信号 P W P L S のパルスエッジを生成する。

## 【 0 0 5 1 】

図 1 4 は図 1 の S R A M 1 0 0 において、書き込み補助回路 5 0 を用いた場合の動作を示すタイミング図である。上述したように、書き込み補助回路 5 0 の入力信号である書き込み補助パルス信号 P W P L S は、そのパルスエッジが、書き込みパルス生成信号 P W D L Y 5 から生成されている。ここで、最も書き込みが行いにくいプロセスバラツキ、つまり P 型トランジスタの駆動能力が大きく N 型トランジスタの駆動能力が小さい場合、遅延回路 1 6 , 1 9 , 2 2 は、従来の遅延回路 1 0 と比較し、活性化するタイミングを遅延することができる。したがって、書き込みパルス生成信号 P W D L Y の活性化が遅延されることから、書き込み補助パルス信号 P W P L S のパルス幅が大きくなる。これにより、書き込み補助回路 5 0 の出力である電源ソース 5 1 の電位を下げ、書き込みが行いやすいよ

10

20

30

40

50

うにすることができる。

【 0 0 5 2 】

図 1 5 は図 1 の S R A M 1 0 0 のレイアウトの概略構成例を示す図である。図 1 5 において、1 6 , 1 9 , 2 1 は遅延クロック回路、3 0 はメモリセルアレイ、4 0 はロウデコーダアレイ、7 0 は複数のリード/ライト回路が列状に配列されたリード/ライト回路アレイ、8 0 は信号制御回路である。遅延クロック制御回路 1 4 , 1 7 は、遅延クロック回路 1 6 , 1 9 , 2 1 との距離に対し、メモリセルアレイ 3 0 、ロウデコーダアレイ 4 0 およびリード/ライト回路アレイ 7 0 との距離の方が長くなる位置に配置されている。

【 0 0 5 3 】

図 1 5 の構成のように、信号制御回路 8 0 内に遅延クロック制御回路 1 4 , 1 7 を配置することによって、レイアウト面積の増大を抑え、ロウデコーダアレイ 4 0 およびリード/ライト回路アレイ 7 0 への配線リソースを確保することができる。

10

【 0 0 5 4 】

図 1 6 および図 1 7 は図 3 および図 7 の遅延クロック回路 1 6 , 2 2 のレイアウトの概略構成例を示す図である。図 1 6 および図 1 7 において、ゲート電極が延びる方向をゲート幅方向、ゲート幅方向の垂直方向をゲート長方向と定義すると、遅延クロック回路 1 6 , 2 2 は、第 1 のインバータ 1 2 の P 型トランジスタのソース及びドレインと、第 2 のインバータ 1 3 の P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされている。また、第 2 のインバータ 1 3 の P 型トランジスタのソース及びドレインと、遅延クロック制御回路 1 4 , 1 7 が有する第 1 の P 型トランジスタ 1 5 のソース及びドレインとが、ほぼ一直線にレイアウトされている。

20

【 0 0 5 5 】

以上の通り、図 1 6 および図 1 7 の構成によれば、拡散領域が、ゲート長方向にほぼ一直線にレイアウトされている。これにより、トランジスタの特性バラツキを低減することができる。このため、遅延クロック回路 1 6 , 2 2 から出力される信号のタイミングバラツキを抑えることが可能となる。

【 0 0 5 6 】

図 1 8 は図 3 および図 7 の遅延クロック回路 1 6 , 2 2 のレイアウトの概略構成例を示す図である。図 1 8 において、ゲート電極が延びる方向をゲート幅方向、ゲート幅方向の垂直方向をゲート長方向と定義すると、遅延クロック回路 1 6 , 2 2 は、第 1 のインバータ 1 2 の P 型トランジスタのソース及びドレインと、第 2 のインバータ 1 3 の P 型トランジスタのソース及びドレインとが、ほぼ一直線にレイアウトされている。また、第 1 のインバータ 1 2 の P 型トランジスタのソース及びドレインと、遅延クロック制御回路 1 4 , 1 7 が有する第 1 の P 型トランジスタ 1 5 のソース及びドレインとが、ほぼ一直線にレイアウトされている。

30

【 0 0 5 7 】

以上の通り、図 1 8 の構成によれば、拡散領域が、ゲート長方向にほぼ一直線にレイアウトされている。これにより、トランジスタの特性バラツキを低減することができる。このため、遅延クロック回路 1 6 , 2 2 から出力される信号のタイミングバラツキを抑えることが可能となる。

40

【 0 0 5 8 】

なお、本発明は上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。例えば、ここでは、S R A M を用いて説明を行ったが、D R A M やその他の半導体記憶装置でも変形して実施することができる。

【産業上の利用可能性】

【 0 0 5 9 】

本発明によると、回路面積の増大を招くことなく、半導体集積回路にトランジスタバラツキ耐性を持たせることができる。したがって例えば、センスアンプを含む半導体記憶装置、特に S R A M 、詳しくは、マイクロプロセッサ用のキャッシュメモリ等として有用である。

50

## 【図面の簡単な説明】

【0060】

【図1】本発明に係る半導体集積回路の1つとしてのSRAMの構成例を示すブロック図である。

【図2】図1のSRAMにおける従来技術の遅延クロック回路の概略構成例を示す回路図である。

【図3】図1のSRAMにおける本発明の実施形態に係る遅延クロック回路の概略構成例を示す回路図である。

【図4】図1の構成において、図2および図3の遅延クロック回路を採用した場合の動作を説明するためのタイミング図である。

10

【図5】図1のSRAMにおける本発明の実施形態に係る遅延クロック回路の概略構成例を示す回路図である。

【図6】図1の構成において、図5の遅延クロック回路を採用した場合の動作を説明するためのタイミング図である。

【図7】図1のSRAMにおける本発明の実施形態に係る遅延クロック回路の概略構成例を示す回路図である。

【図8】図1の構成において、図7の遅延クロック回路を採用した場合の動作を説明するためのタイミング図である。

【図9】図1のSRAMにおけるロウデコーダの概略構成例を示す回路図である。

【図10】図9のロウデコーダを含む図1のSRAMの動作を説明するためのタイミング図である。

20

【図11】図1のSRAMにおけるロウデコーダレプリカの概略構成例を示す回路図である。

【図12】図1のSRAMにおいて、メモリセルレプリカを用いた場合の動作を示すタイミング図である。

【図13】図1のSRAMにおける書き込み補助回路の概略構成例を示す回路図である。

【図14】図1のSRAMにおいて、書き込み補助回路を用いた場合の動作を示すタイミング図である。

【図15】図1のSRAMのレイアウトの概略構成例を示す図である。

【図16】本実施形態に係る遅延クロック回路のレイアウトの概略構成例を示す図である。

30

【図17】本実施形態に係る遅延クロック回路のレイアウトの概略構成例を示す図である。

【図18】本実施形態に係る遅延クロック回路のレイアウトの概略構成例を示す図である。

## 【符号の説明】

【0061】

16, 19, 22 遅延クロック回路

12 第1のインバータ

12a, 12b N型トランジスタ

40

13 第2のインバータ

14, 17 遅延クロック制御回路

15 第1のP型トランジスタ

18 第2のP型トランジスタ

23 P型トランジスタ用基板制御回路

24 N型トランジスタ用基板制御回路

8 メモリセル

30 メモリセルアレイ

20 センスアンプ

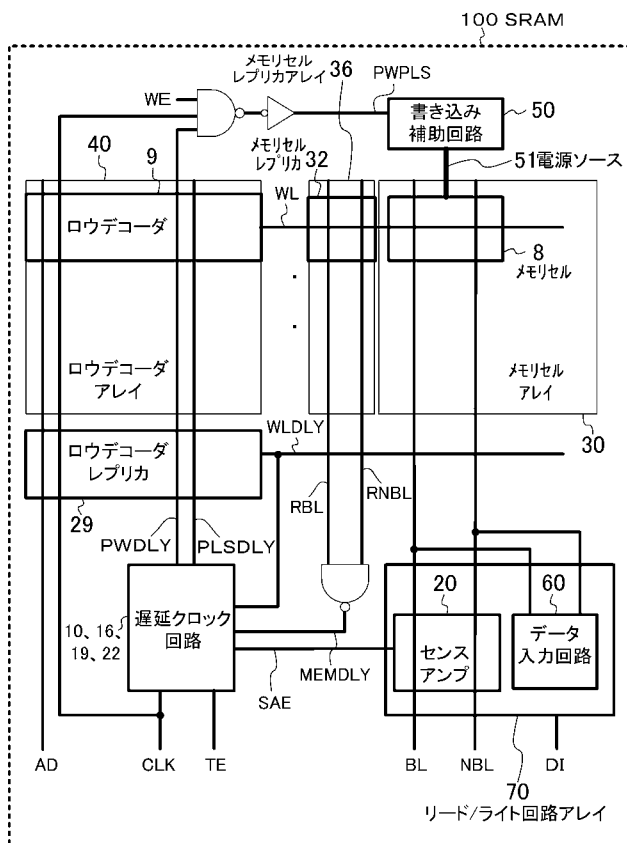
9 ロウデコーダ

50

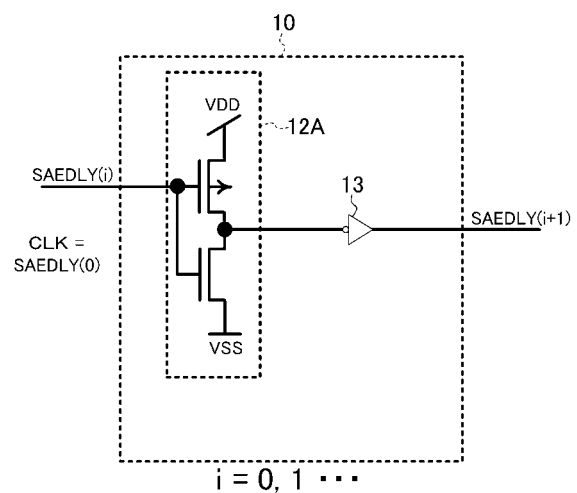
29    ロウデコーダレプリカ  
 32    メモリセルレプリカ  
 36    メモリセルレプリカアレイ  
 50    書き込み補助回路  
 51    電源ソース  
 CLK    入力クロック信号  
 TE    第1の外部信号  
 BE    第2の外部信号  
 WL    ワード線  
 BL, NBL    ビット線対  
 AD    アドレス信号  
 SAE    センスアンプイネーブル信号  
 PLSDLY    ワード線パルス生成信号  
 WLDLY    ワード線遅延信号  
 RBL, RNBL    レプリカビット線対  
 MEMDLY    メモリセルレプリカ遅延信号  
 PWPLS    書き込み補助パルス信号  
 PWDLY    書き込みパルス生成信号

10

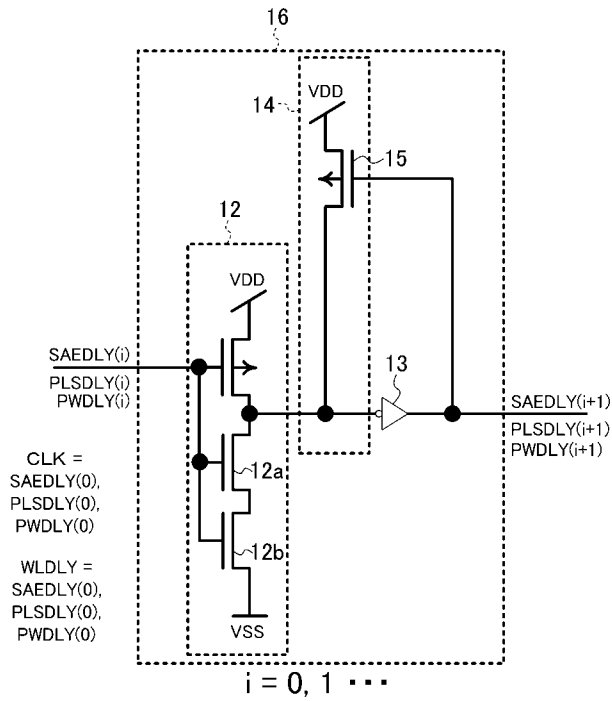
【図1】



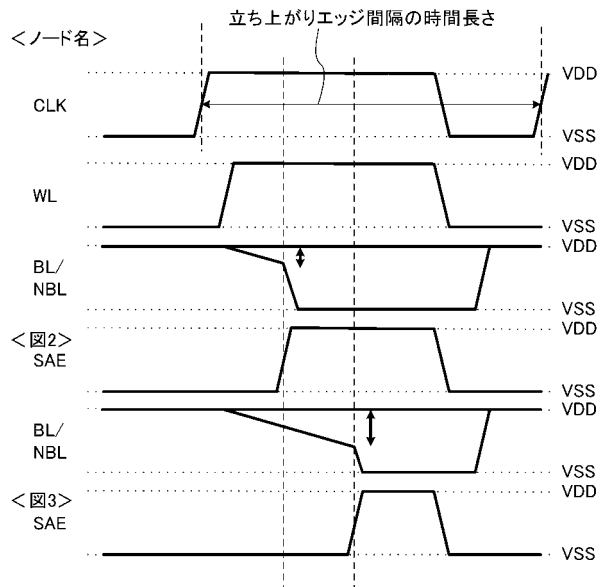
【図2】



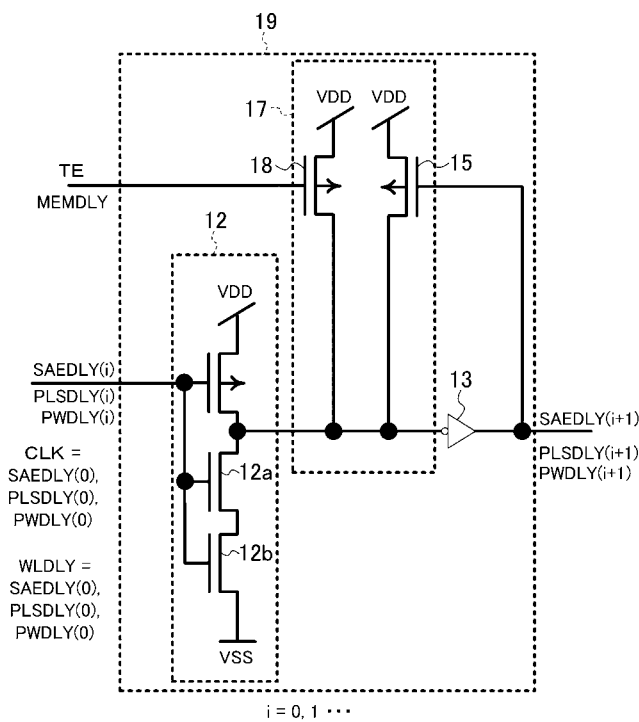
【図 3】



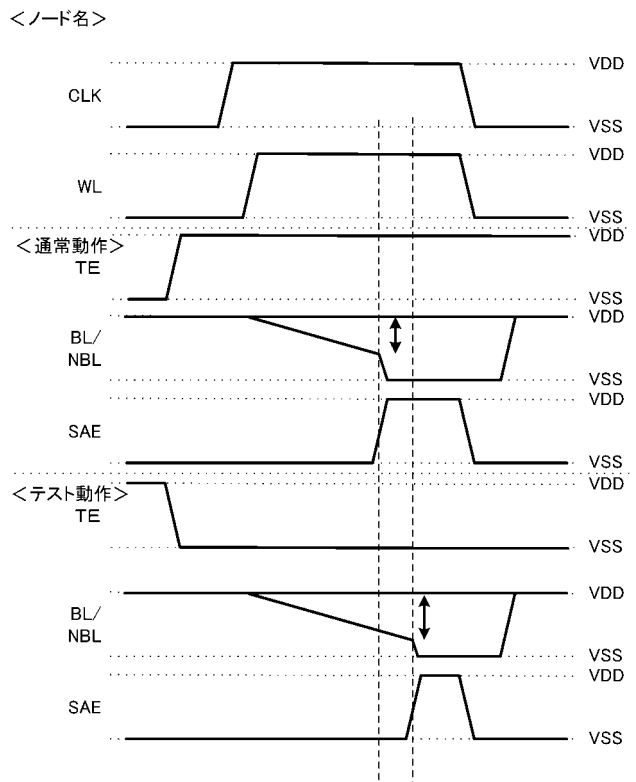
【図 4】



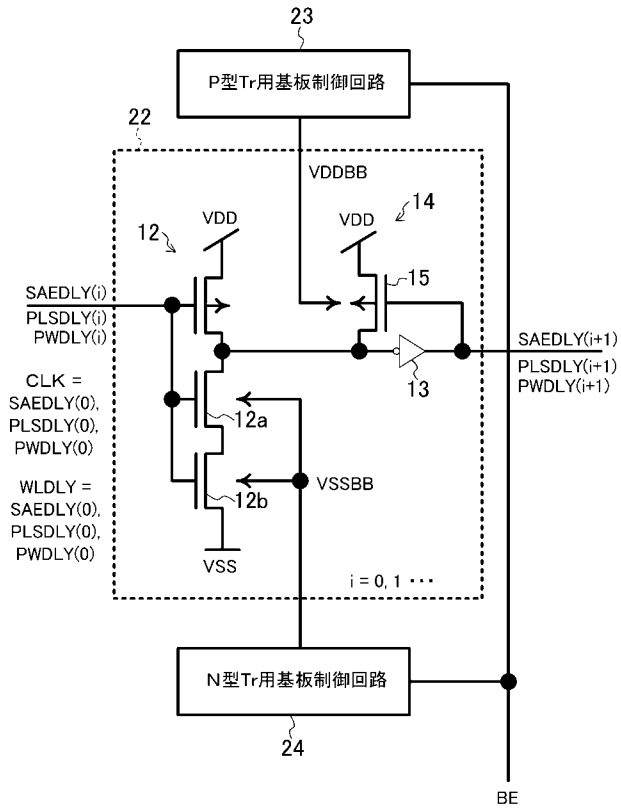
【図 5】



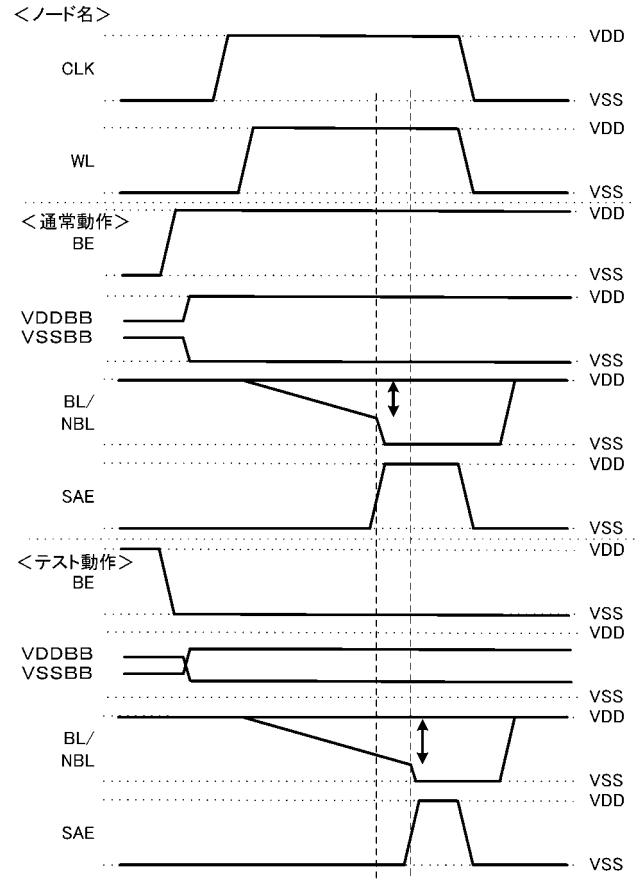
【図 6】



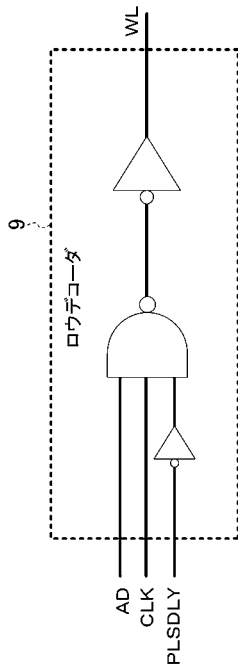
【図 7】



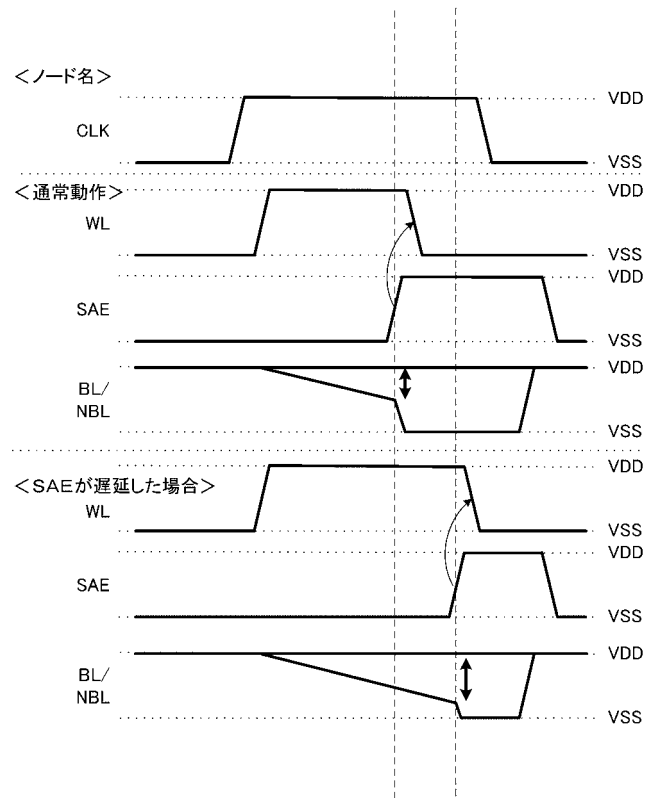
【図 8】



【図 9】

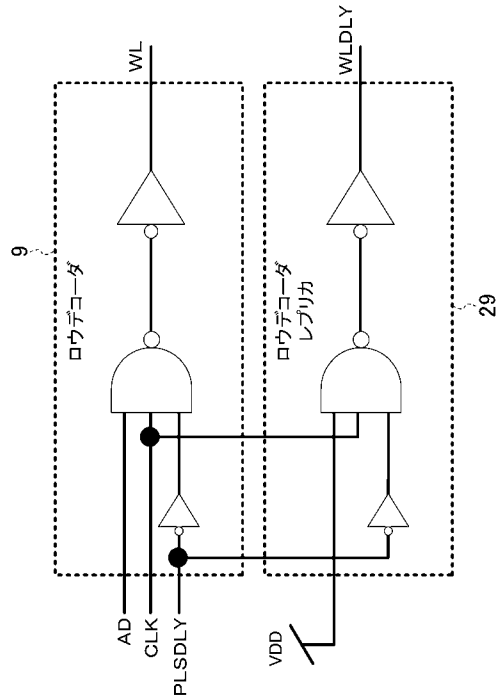


【図 10】

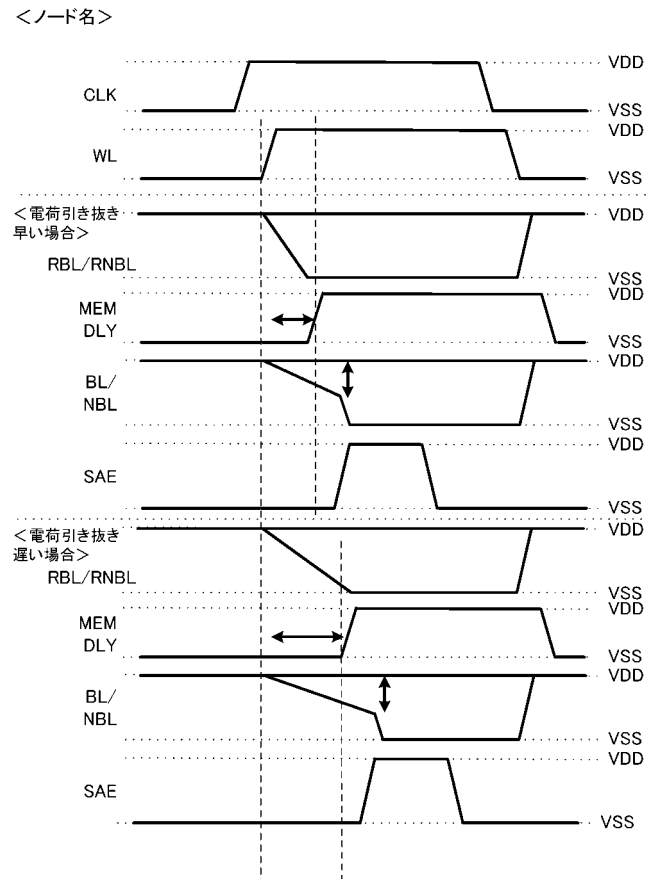




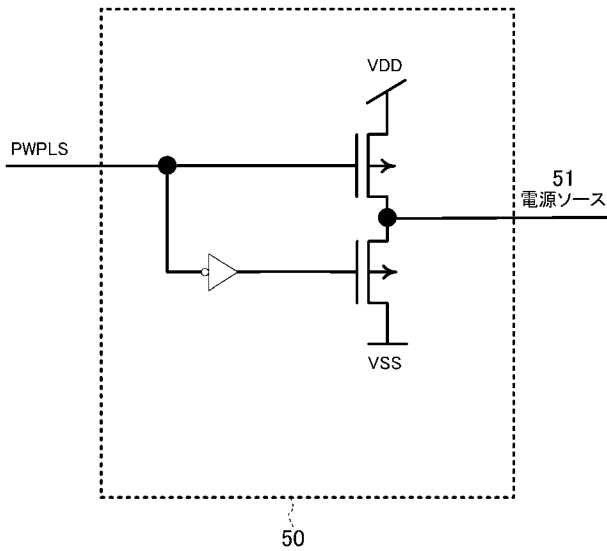
【図 1 1】



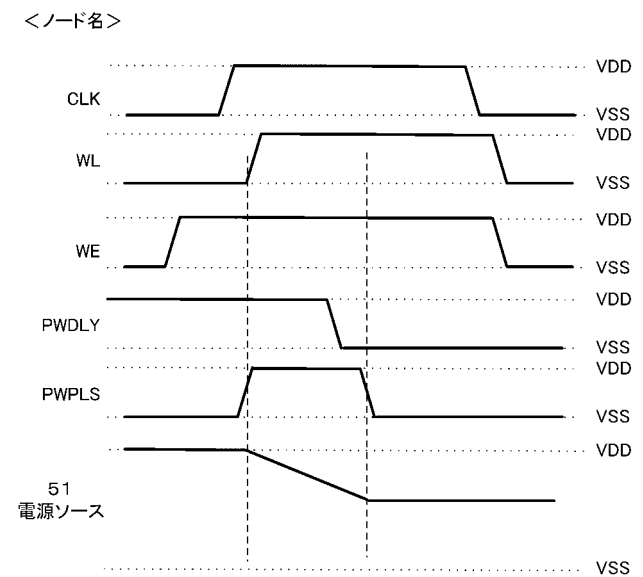
【図 1 2】



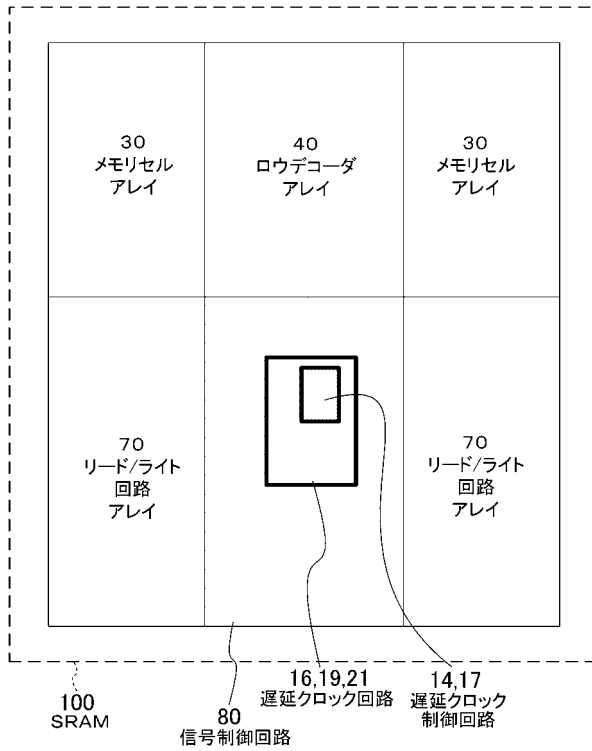
【図 1 3】



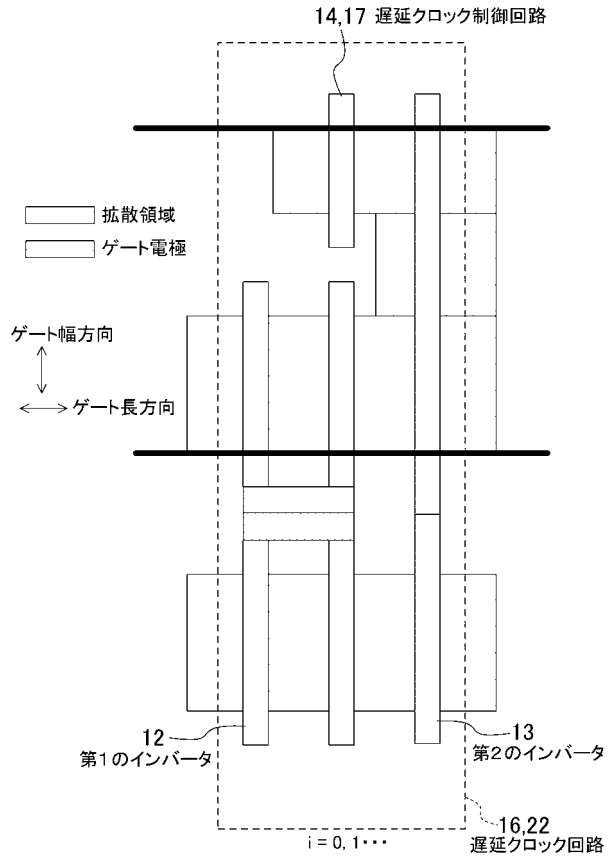
【図 1 4】



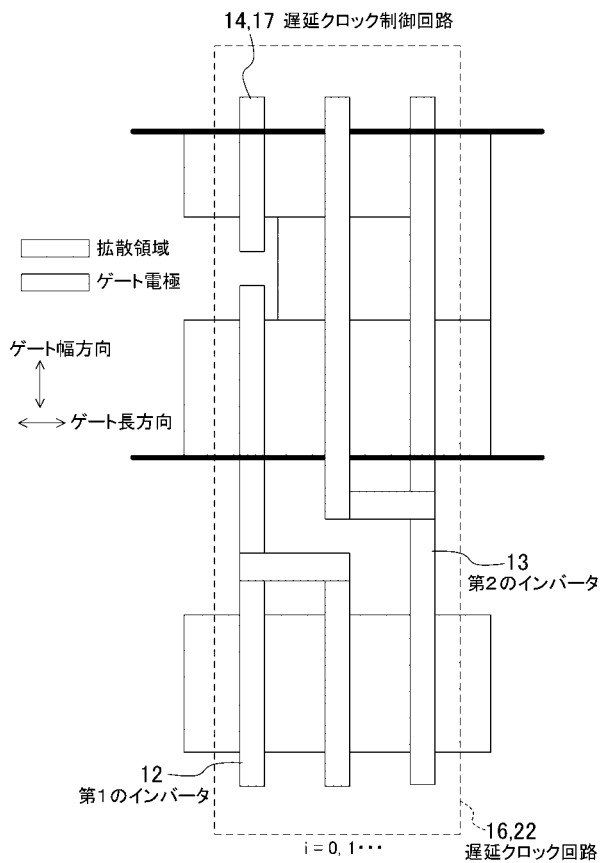
【図 15】



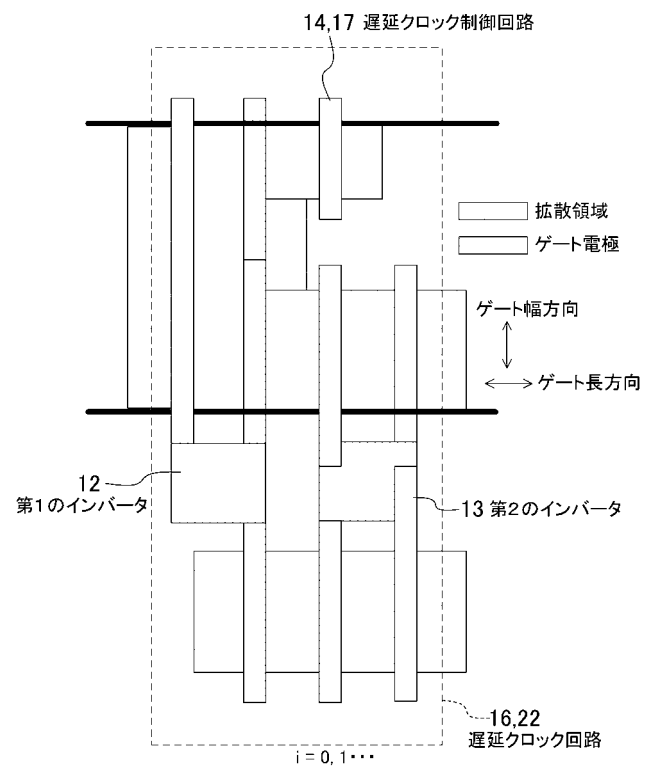
【図 16】



【図 17】



【図 18】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 27/04 T

(74)代理人 100117581  
弁理士 二宮 克也

(74)代理人 100117710  
弁理士 原田 智雄

(74)代理人 100121728  
弁理士 井関 勝守

(74)代理人 100124671  
弁理士 関 啓

(74)代理人 100131060  
弁理士 杉浦 靖也

(72)発明者 増尾 昭  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5B015 HH01 JJ37 JJ45 KB22 KB82 NN03  
5F038 BG09 CA02 CA03 CD06 DF05 DT02 DT15 EZ20  
5J001 AA04 AA14 BB00 BB12 DD09