



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 11 03 81

(21) (PV 1776-81)

(40) Zveřejněno 15 09 81

(45) Vydáno 30 03 84

214584

(11)

(B1)

(51) Int. Cl.³

H 03 K 5/24

(75)

Autor vynálezu

MELICHAR JOSEF ing., PRAHA

(54) Zapojení obvodu pro porovnávání dvou množin logických proměnných

Předmětem vynálezu je obvod, který porovnává dvě množiny logických proměnných z hlediska počtu logických úrovní H . Obvod lze s výhodou použít v pevně drátovaných logikách, kde se ve zpětné vazbě porovnává počet požadovaných signálů s počtem odezev.

Dosavadní známá zapojení porovnávacích obvodů tohoto typu v pevně drátovaných logikách využívají logických kombinačních obvodů. Kombinační obvody lze s úspěchem použít pro porovnávání takových dvou množin logických proměnných, které obsahují maximálně tři prvky.

Se stoupajícím počtem prvků značně narůstá složitost kombinačních logických obvodů, kterými se porovnávání provádí. To má za následek použití velkého počtu součástek jimiž jsou obvody realizovány, čímž prudce stoupá i cena. Zároveň se zvětšuje využitá plocha a tím i počet desek plošných spojů, kterých je zapotřebí. K tomu je nutno přičíst obtíže při syntéze a minimalizaci, k čemuž je třeba pro větší počet prvků v porovnávaných množinách použít výpočetní techniku.

Uvedené nevýhody odstraňuje zapojení obvodu pro porovnávání dvou množin logických proměnných o n prvcích podle vynálezu, jehož podstatou je, že výstup zdroje hodinových impulsů je zapojen na řídicí obvod a na vzorkovací obvod, přičemž výstupy řídicího obvodu jsou zapojeny na vzorko-

vací obvod, čítač množiny X , čítač množiny Y a vyhodnocovací obvod, výstupy vzorkovacího obvodu jsou zavedeny do čítače množiny X a do čítače množiny Y , výstupy čítače množiny X a čítače množiny Y jsou dále zavedeny do komparátoru shodnosti a relativní velikosti binárních čísel, jehož výstupy jsou zavedeny do vyhodnocovacího obvodu a výstupy vyhodnocovacího obvodu jsou zároveň výstupy celého porovnávacího obvodu.

Obvod pracuje v dynamickém režimu a to umožňuje, že při zvětšování počtu prvků porovnávaných množin se počet součástek, cena i využitá plocha zvětšuje značně pomaleji než u kombinačního porovnávacího obvodu.

Příklad provedení obvodu pro porovnávání dvou množin logických proměnných o n prvcích je znázorněn na připojených výkresech, kde obr. 1 je blokové schéma porovnávacího obvodu a obr. 2 představuje průběh impulsů v různých částech obvodu.

Porovnávací obvod je tvořen zdrojem 1 hodinových impulsů, jehož výstup je zapojen na řídicí obvod 2 a na vzorkovací obvod 3, přičemž výstupy řídicího obvodu 2 jsou zapojeny na vzorkovací obvod 3, čítač 4 množiny X , čítač 5 množiny Y a vyhodnocovací obvod 7. Výstupy vzorkovacího obvodu 3 jsou zavedeny do čítače 4 množiny X a do čítače 5 množiny Y , výstupy čítače 4 množiny

X a čítače 5 množiny Y jsou dále zavedeny do komparátoru 6 shodnosti a relativní velikosti binárních čísel, jehož výstupy jsou zavedeny do vyhodnocovacího obvodu 7 a výstupy vyhodnocovacího obvodu 7 jsou zároveň výstupy celého porovnávacího obvodu.

Dvě porovnávané množiny logických proměnných a to:

$$X = x_1, x_2, \dots, x_n$$

$$Y = y_1, y_2, \dots, y_n$$

vstupují do vzorkovacího obvodu 3. V určitém okamžiku nabývá $i \leq n$ prvků množiny X a $j \leq n$ prvků množiny Y logické úrovně H . Úkolem porovnávacího obvodu je vyhodnotit, která ze základních relačních operací $i > j$; $i = j$; $i < j$ v daném okamžiku platí. Popisovaný obvod je schopen vyhodnotit uvedené relační operace pro množiny o libovolném počtu prvků. Z praktických důvodů však budeme uvažovat dvě množiny maximálně o 15 prvech, tj.

$$n = 1, 2, 3, \dots, 15$$

Dynamika srovnávání je řízena řídicím obvodem 2. Řídicí obvod je možno realizovat jako kruhový registr o $n + 2$ bitech, nebo jako binární čítač s pracovním cyklem $n + 2$, na jehož výstup je připojen dekodér z binárního kódu na kód $1 z n + 2$. Na výstupech $Q_1, Q_2, \dots, Q_n, Q_{n+1}, Q_{n+2}$ řídicího obvodu 2 se v rytmu hodinových impulsů T objevují impulsy tak, jak je znázorněno na obr. 2. Hodinové impulsy jsou generovány zdrojem 1 hodinových impulsů. Výstupy $Q_1, Q_2, \dots, Q_n$ včetně hodinových impulsů T a obě porovnávané množiny logických proměnných X a Y vstupují do vzorkovacího obvodu 3. Vzorkovací obvod je obvodem kombinačním a splňuje logické rovnice

$$C_x = T \cdot (Q_1 \cdot x_1 + Q_2 \cdot x_2 + \dots + Q_n \cdot x_n)$$

$$C_y = T \cdot (Q_1 \cdot y_1 + Q_2 \cdot y_2 + \dots + Q_n \cdot y_n)$$

To znamená, že v jednom pracovním cyklu řídicího obvodu 2 o $n + 2$ bitech se na výstupu C_x resp. C_y vzorkovacího obvodu objeví i resp. j impulsů. Výstupy C_x a C_y jsou zavedeny do vstupů dvou čítačů. C_x do čítače 4 množiny X a C_y do čítače 5 množiny Y . Oba čítače jsou nulovány log. součinem hodinových impulsů T a výstupu Q_{n+2} řídicího obvodu 2, což má za následek, že v kroku $n + 1$ pracovního cyklu se na výstupu čítače 4 množiny X resp. čítače 5 množiny Y objeví číslo i resp. j v binárním kódu. Binární čísla i o vahách

i_0, i_1, i_2, i_3 resp. j_0, j_1, j_2, j_3 na výstupu čítače množiny X resp. Y jsou dále zavedena do komparátoru 6 shodnosti a relativní velikosti binárních čísel. Tento obvod je kombinační a pracuje podle následující pravdivostní tabulky:

	V	Z
$i = j$	L	libovolné
$i > j$	H	H
$i < j$	H	L

kde V a Z jsou výstupy uvedeného obvodu.

Logické proměnné V a Z spolu s výstupem Q_{n+1} řídicího obvodu 2 vstupují do vyhodnocovacího obvodu 7. Tento obvod sestává ze dvou bistabilních klopných obvodů, dále jen BKO, typu RS, pro jehož vstupy platí logické rovnice:

$$S_1 = V \cdot Z \cdot Q_{n+1} \quad S_2 = V \cdot \bar{Z} \cdot Q_{n+1}$$

$$R_1 = (\bar{V} + V \cdot \bar{Z}) \cdot Q_{n+1} \quad R_2 = (\bar{V} + V \cdot Z) \cdot Q_{n+1}$$

Jak je patrné z logických rovnic pro vstupy obou BKO, v kroku $n + 1$ jsou výstupem Q_{n+1} řídicího obvodu 2 oba BKO odblokovávány. Na výstupu BKO příslušného vstupům S_1, R_1 resp. S_2, R_2 je výstupní logická proměnná A resp. B . Tyto proměnné nabývají logických úrovní podle následující tabulky:

	A	B
$i = j$	L	L
$i > j$	H	L
$i < j$	L	H

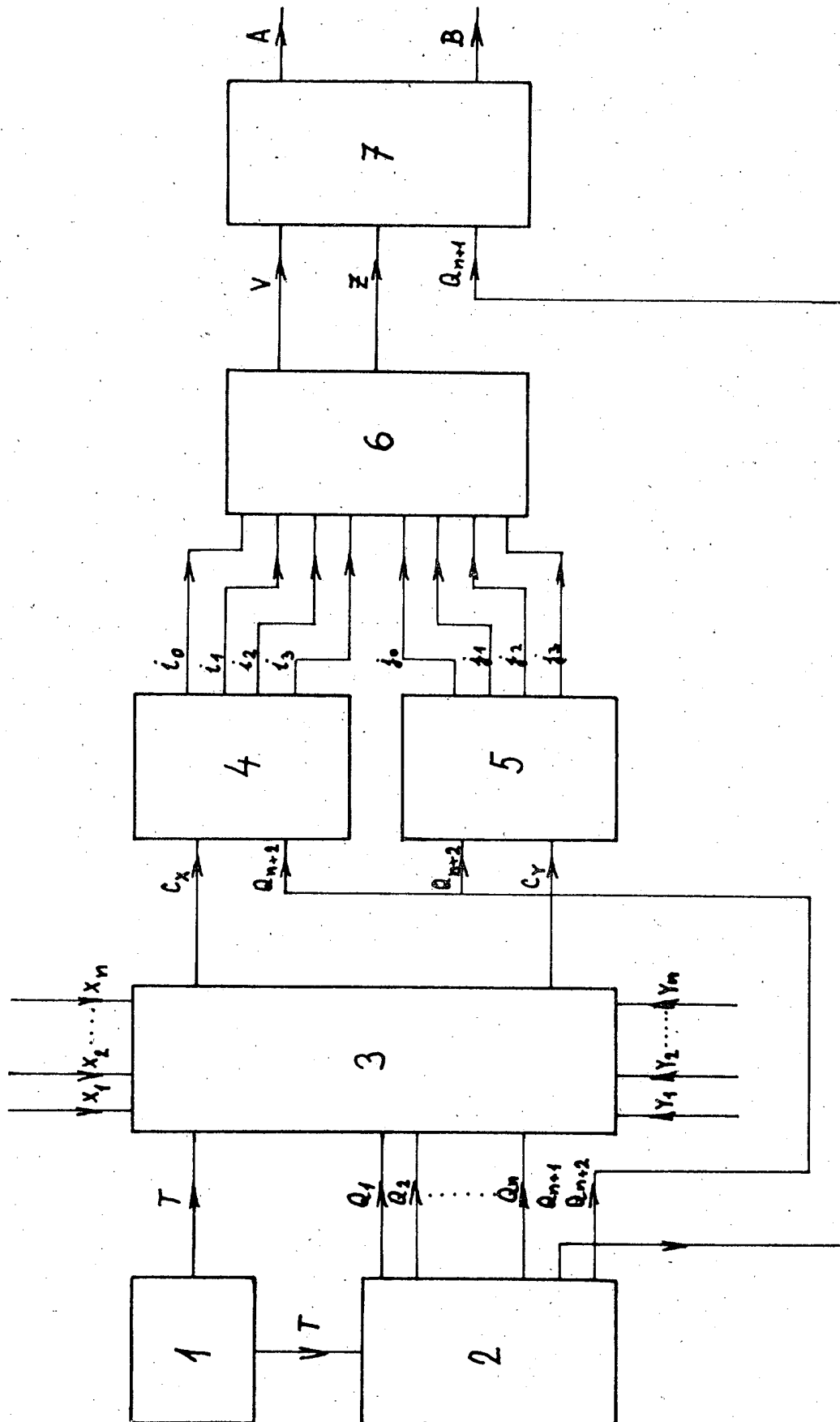
Protože i resp. j udává v daném okamžiku kolik logických proměnných z množiny X resp. Y dosáhlo logické úrovně H , jsou výstupní funkce A, B vyhodnocovacího obvodu zároveň výstupními funkcemi celého popisovaného obvodu, který je předmětem vynálezu.

Z popisu je zřejmé, že srdcem porovnávacího obvodu je řídicí obvod 2, který v prvních n krocích pracovního cyklu vzorkuje porovnávané množiny logických proměnných, v kroku $n + 1$ odblokuje vyhodnocovací obvod a v kroku $n + 2$, což je poslední krok pracovního cyklu, vynuluje čítače. Doba jednoho pracovního cyklu je závislá na frekvenci hodinových impulsů, která se volí podle účelu použití porovnávacího obvodu.

PŘEDMĚT VYNÁLEZU

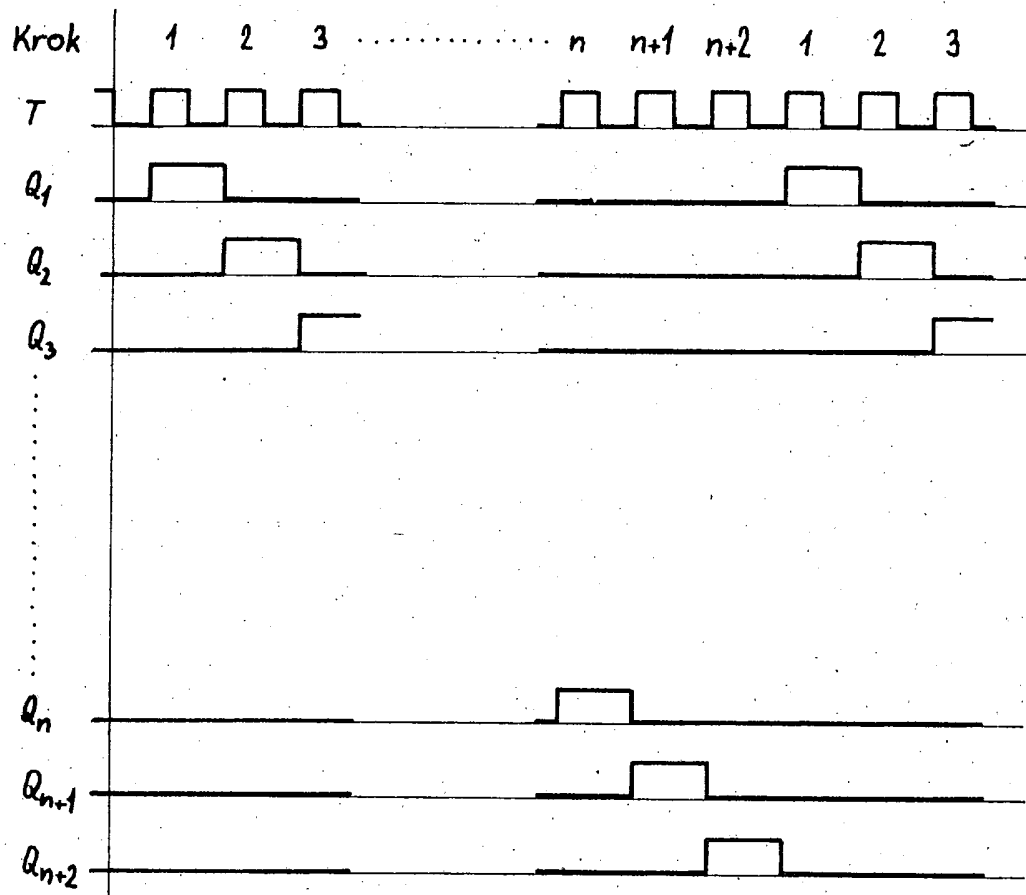
Zapojení obvodu pro porovnávání dvou množin logických proměnných o n prvech, vyznačující se tím, že výstup zdroje (1) hodinových impulsů je zapojen na řídicí obvod (2) a na vzorkovací obvod (3), přičemž výstupy řídicího obvodu (2) jsou zapojeny na vzorkovací obvod (3), čítač (4) množiny X , čítač (5) množiny Y a vyhodnocovací obvod (7), výstupy vzorkovacího obvodu (3) jsou zavedeny

do čítače (4) množiny X a do čítače (5) množiny Y , výstupy čítače (4) množiny X a čítače (5) množiny Y jsou dále zavedeny do komparátoru (6) shodnosti a relativní velikosti binárních čísel, jehož výstupy jsou zavedeny do vyhodnocovacího obvodu (7) a výstupy vyhodnocovacího obvodu (7) jsou zároveň výstupy celého porovnávacího obvodu.



Obr. 1

214584



Obr. 2