

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-267015

(P2007-267015A)

(43) 公開日 平成19年10月11日(2007.10.11)

(51) Int. Cl.  
H04L 25/06 (2006.01)

F I  
H04L 25/06

テーマコード(参考)  
5K029

審査請求 有 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2006-89410(P2006-89410)  
(22) 出願日 平成18年3月28日(2006.3.28)

(71) 出願人 000000572  
アンリツ株式会社  
神奈川県厚木市恩名五丁目1番1号  
(74) 代理人 100079337  
弁理士 早川 誠志  
(72) 発明者 青葉 亘  
神奈川県厚木市恩名五丁目1番1号 アン  
リツ株式会社内  
(72) 発明者 白土 悟  
神奈川県厚木市恩名五丁目1番1号 アン  
リツ株式会社内  
(72) 発明者 藤沼 一弘  
神奈川県厚木市恩名五丁目1番1号 アン  
リツ株式会社内

最終頁に続く

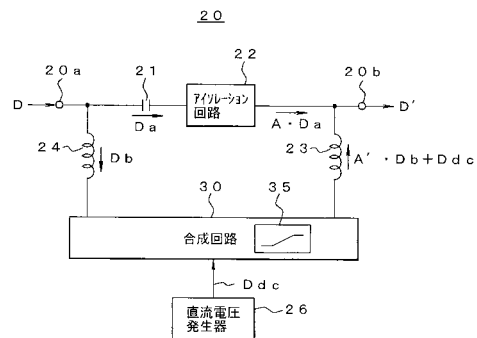
(54) 【発明の名称】 デジタル信号オフセット調整装置およびパルスパターン発生装置

(57) 【要約】

【課題】 広帯域なデジタル信号の波形を歪みなく伝達できるようにする。

【解決手段】 入力端子20aに入力されたデジタル信号のうち、コンデンサ21を通過する信号成分についてはアイソレーション回路22を介して出力端子20bに供給し、直流を含む低周波成分については低周波抽出用コイル24を介して合成回路30へ出力し、直流電圧発生器26から出力された直流信号と合成し、その合成により得られた信号を、バイアス印加用コイル23を介して出力端子20bに供給して、入力端子20aに入力されたデジタル信号を歪みなく出力端子20bに伝達させるとともに、直流電圧発生器26から出力された直流信号の電圧に対応したバイアス電圧をデジタル信号に付与する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

入力端子(20a)および出力端子(20b)と、  
前記入力端子と前記出力端子との間に設けられ、前記入力端子に入力されたデジタル信号の交流成分を前記出力端子へ伝達するためのコンデンサ(21)と、  
前記入力端子と前記出力端子との間で、前記コンデンサと直列に接続され、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するアイソレーション回路(22)と、  
前記出力端子に一端側が接続されたバイアス印加用コイル(23)と、  
前記入力端子に一端側が接続され、該入力端子に入力されたデジタル信号の直流成分および低周波成分を通過させる低周波抽出用コイル(24)と、  
任意の電圧の直流信号を出力する直流電圧発生器(26)と、  
前記低周波抽出用コイルの他端から出力される信号に対して、前記直流電圧発生器から出力された直流信号を合成し、該合成により得られた信号を前記バイアス印加用コイルの他端側に供給する合成回路(30)とを備え、  
前記入力端子に入力されたデジタル信号の各周波数成分をほぼ一様に前記出力端子に伝達するとともに、前記直流電圧発生器から出力された直流信号の電圧に対応したバイアス電圧を前記デジタル信号に付与することを特徴とするデジタル信号オフセット調整装置。

**【請求項 2】**

前記アイソレーション回路は広帯域増幅器または広帯域バッファによって構成されていることを特徴とする請求項1記載のデジタル信号オフセット調整装置。

**【請求項 3】**

前記合成回路は、前記低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程高い利得を示す周波数補償回路(35)を有していることを特徴とする請求項1または請求項2記載のデジタル信号オフセット調整装置。

**【請求項 4】**

前記アイソレーション回路および前記合成回路は、それぞれ利得可変型増幅器を含んでおり、

指定された振幅値のデジタル信号が前記出力端子から出力されるように、前記アイソレーション回路および前記合成回路の前記利得可変型増幅器を制御する振幅制御手段(41)を設けたことを特徴とする請求項1～3のいずれかに記載のデジタル信号オフセット調整装置。

**【請求項 5】**

任意のパターンのデジタル信号を生成するパターン信号発生部(51)と、  
前記パターン信号発生部から出力されたパターン信号に、所望の直流オフセットを与えて出力する請求項1～4のいずれかに記載のデジタル信号オフセット調整装置(20、20)とを備えたパルスパターン発生装置。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、デジタル信号に任意のバイアス電圧を付与して出力するデジタル信号オフセット調整装置において、広帯域なデジタル信号に対応できるようにするための技術に関する。

**【背景技術】****【0002】**

デジタル信号を用いた通信は年々高速化され、近年ではGHz帯まで延びており、その通信システムに用いる各種装置の試験などを行う場合、従来のMHz帯の低速なデジタル信号からGHz帯の高速なデジタル信号までを、試験対象の入力インタフェースに応じたバイアス電圧で供給する必要がある。

**【0003】**

10

20

30

40

50

図10はこのような目的で用いられる従来のデジタル信号オフセット調整装置10の構成を示している。

【0004】

この装置は一般的に「バイアスT」と呼ばれ、入力端子10aから入力されるデジタル信号Dの交流成分Dacを、コンデンサ11を介して出力端子10bに伝達する。

【0005】

また、コンデンサ11の出力端子10b側の端子には、バイアス印加用コイル12の一端側が設けられ、このバイアス印加用コイル12の他端側から任意のバイアス電圧Vbを与えて、コンデンサ11を通過した交流成分Dacとバイアス電圧Vbとが重畳されたデジタル信号Dを出力端子10bから出力させている。

10

【0006】

上記のようなバイアスTは、例えば次の特許文献1、2に記載されている。

【0007】

【特許文献1】特開2004-193275号公報

【特許文献2】特開2004-193866号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来装置において、低い周波数帯のデジタル信号の波形を正しく伝達させるためには、入力端子10aと出力端子10bの間に接続されているコンデンサ11の容量を大きくする必要があり、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

20

【0009】

特に、一般的に使用されているランダムパターンのデジタル信号の場合、同一ビットデータが連続するようなデータパターンが存在し、そのデータパターンに含まれる周波数はビットレートよりも低くなる。

【0010】

このため、ビットレートが数Mbps程度のデジタル信号であっても、それより格段に低い例えば数100Hzまでの周波数成分を損失なく伝達する必要がある。

【0011】

このように低い周波数成分を損失なく伝達するためには、大容量のコンデンサを用い、それに合わせてバイアス印加用コイル12のインダクタンスも大きくしなければならない。

30

【0012】

しかし、上記のように大容量のコンデンサと大きなインダクタンスのバイアス印加用コイルは必然的に大型となり、高周波伝送路におけるインピーダンス整合が困難となり、GHz帯の信号成分を正しく伝達できなくなってしまう。

【0013】

この問題を解決する技術として、入力信号をコンデンサとコイルにより、高周波数成分と直流を含む低周波数成分とに分け、コイル側を通過した低周波成分に任意の直流電圧を加算し、その加算結果と、コンデンサを通過した高周波成分とを出力端側で加え合わせて出力する構成が考えられる。このように入力信号を高周波成分と低周波成分に分けてから合成処理する構成の場合、その境界の周波数を高くすることで、コンデンサの容量やコイルのインダクタンスを少なくすることができ、回路を格段小型化でき、高い周波数帯まで信号伝達ができる。

40

【0014】

ただし、この場合、2つの信号経路の周波数帯域を完全に分離することはできないので、コイルを通過した低周波成分の一部がコンデンサを介して入力端側へ逆流し、波形歪みを生じさせるといった新たな問題が生じる。

【0015】

50

また、前記したデジタル信号オフセット調整装置は、パルスパターン発生器（PPG）の出力部に用いられる場合があり、パルスパターン発生器では、種々の測定を行うために、出力するデジタル信号の直流バイアス電圧だけでなく、デジタル信号の振幅を例えば数mV～数Vの範囲で可変できることが要求される。

【0016】

これに対し、上記した従来のバイアスT回路では、デジタル信号の振幅を可変する機能を有していないので、その前段でデジタル信号の振幅を可変する回路を設ける必要があり、回路規模がどうしても大きくなってしまおうという問題があった。

【0017】

本発明は、これらの事情に鑑みてなされたもので、広帯域なデジタル信号の波形を歪みなく伝達でき、また、出力するデジタル信号の直流バイアス電圧だけでなく、振幅も任意に可変できるデジタル信号オフセット調整装置およびそれを用いたパルスパターン発生装置を提供することを目的としている。

【課題を解決するための手段】

【0018】

前記目的を達成するために、本発明の請求項1のデジタル信号オフセット調整装置は、入力端子（20a）および出力端子（20b）と、

前記入力端子と前記出力端子との間に設けられ、前記入力端子に入力されたデジタル信号の交流成分を前記出力端子へ伝達するためのコンデンサ（21）と、

前記入力端子と前記出力端子との間で、前記コンデンサと直列に接続され、前記入力端子側から前記出力端子側へ信号を伝達させ、且つ前記出力端子から前記入力端子側への信号の伝達を阻止するアイソレーション回路（22）と、

前記出力端子に一端側が接続されたバイアス印加用コイル（23）と、

前記入力端子に一端側が接続され、該入力端子に入力されたデジタル信号の直流成分および低周波成分を通過させる低周波抽出用コイル（24）と、

任意の電圧の直流信号を出力する直流電圧発生器（26）と、

前記低周波抽出用コイルの他端から出力される信号に対して、前記直流電圧発生器から出力された直流信号を合成し、該合成により得られた信号を前記バイアス印加用コイルの他端側に供給する合成回路（30）とを備え、

前記入力端子に入力されたデジタル信号の各周波数成分をほぼ一様に前記出力端子に伝達するとともに、前記直流電圧発生器から出力された直流信号の電圧に対応したバイアス電圧を前記デジタル信号に付与することを特徴としている。

【0019】

また、本発明の請求項2のデジタル信号オフセット調整装置は、請求項1記載のデジタル信号オフセット調整装置において、

前記アイソレーション回路は広帯域増幅器または広帯域バッファによって構成されていることを特徴としている。

【0020】

また、本発明の請求項3のデジタル信号オフセット調整装置は、請求項1または請求項2記載のデジタル信号オフセット調整装置において、

前記合成回路は、前記低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程高い利得を示す周波数補償回路（35）を有していることを特徴としている。

【0021】

また、本発明の請求項4のデジタル信号オフセット調整装置は、請求項1～3のいずれかに記載のデジタル信号オフセット調整装置において、

前記アイソレーション回路および前記合成回路は、それぞれ利得可変型増幅器を含んでおり、

指定された振幅値のデジタル信号が前記出力端子から出力されるように、前記アイソレーション回路および前記合成回路の前記利得可変型増幅器を制御する振幅制御手段（41

10

20

30

40

50

)を設けたことを特徴としている。

【0022】

また、本発明の請求項5のパルスパターン発生装置は、  
任意のパターンのデジタル信号を生成するパターン信号発生部(51)と、  
前記パターン信号発生部から出力されたパターン信号に、所望の直流オフセットを与えて出力する請求項1~4のいずれかに記載のデジタル信号オフセット調整装置(20、20)とを備えている。

【発明の効果】

【0023】

このように、本発明のデジタル信号オフセット調整装置では、入力端子に入力されたデジタル信号の交流成分をコンデンサおよびアイソレーション回路を介して出力端子へ伝達するとともに、直流成分と低周波成分を低周波抽出用コイルにより抽出してバイアス用の直流信号と合成してバイアス印加用コイルを介して出力端子に供給しており、しかも、低周波成分の入力端子側への逆流をアイソレーション回路で阻止しているため、出力側に接続される回路の影響、例えば mismatch による反射等が入力側に返ることがないため、歪みの少ない広帯域な波形伝達が可能となる。

【0024】

また、合成回路が、低周波抽出用コイルの他端から出力される信号の交流成分に対して、その周波数が高くなる程高い利得を示す特性を有する周波数補償回路を有しているため、入力端子と出力端子の間に、低周波抽出用コイル、合成回路およびバイアス印加用コイルが接続されたことにより生じる特定周波数領域における利得低下を補償することができ、より平坦な伝達特性を与えることができ、さらに、歪みの少ない広帯域な波形伝達が可能となる。

【0025】

また、アイソレーション回路および合成回路が、それぞれ利得可変型増幅器を含むようにし、指定された振幅値のデジタル信号が出力端子から出力されるように、アイソレーション回路および合成回路の利得可変型増幅器を制御する振幅制御手段を設けたものでは、出力するデジタル信号に任意の直流オフセットを与えるだけでなく、その振幅を任意に設定することができる。

【発明を実施するための最良の形態】

【0026】

以下、図面に基づいて本発明の実施の形態を説明する。

図1は、本発明の実施形態のデジタル信号オフセット調整装置20の構成を示している。

【0027】

図1に示しているように、デジタル信号オフセット調整装置20の入力端子20aと出力端子20bとの間には、入力端子20aに入力されるデジタル信号Dに含まれる所定周波数以上の交流成分(以下、高周波成分という)Daを通過させるためのコンデンサ21と、入力端子20a側から出力端子20b側へは信号を損失なく伝達し、出力端子20b側から入力端子20a側への信号の伝達を阻止するアイソレーション回路22とが直列に接続され、出力端子20bには、バイアス印加用コイル23の一端側が接続されている。

【0028】

アイソレーション回路22は、直流に近い周波数から数10GHzまでの広帯域にわたって入出力間の高いアイソレーションが得られる回路であり、例えば広帯域増幅器や広帯域バッファが使用される。このアイソレーション回路22の利得をAとすると、その出力信号Daは $A \cdot D_a$ となる。

【0029】

図2は、アイソレーション回路22の具体例を示すものであり、図2の(a)では、利得Aの広帯域増幅器(バッファの場合もある)22a、電源供給用と低周波終端用とを兼ねた抵抗22bとコイル22cとの直列回路および直流カット用のコンデンサ22dによ

10

20

30

40

50

り構成されている。

【0030】

ここで、広帯域増幅器22aの入出力インピーダンスは例えば50Ωに設定され、抵抗22bの値も50Ωに設定され、コイル22cのインダクタンスは直流および低周波信号を抵抗22bで終端させ、コンデンサ22dは、コイル22cを通過できない高い周波数成分を出力させる。なお、この回路の場合、入出力の位相が等しい同相型増幅器が必要である。

【0031】

図2の(b)は、図2の(a)の回路の後段に、広帯域増幅器22e、抵抗22f、コイル22g、コンデンサ22hを設けて、2段構成にしたものであり、図2の(a)の1段構成のものよりさらに高いアイソレーションが得られる。この2段構成の回路の場合は、2つの増幅器は同相型、逆相型のいずれでもよい。

10

【0032】

また、入力端子20aには、入力されるデジタル信号Dの直流分と所定周波数以下の成分(以下、低周波成分という)Dbを抽出するための低周波抽出用コイル24の一端が接続されている。この低周波抽出用コイル24のインダクタンスは、バイアス印加用コイル23のインダクタンスと異なってもよいが、ここでは等しいものとする。

【0033】

低周波抽出用コイル24により抽出された低周波成分Dbは、直流電圧発生器26から出力される任意電圧の直流信号Ddcとともに合成回路30に入力される。

20

【0034】

合成回路30は、低周波抽出用コイル24から出力される信号Dbに対して、直流信号Ddcを合成(加算合成または減算合成)し、その合成により得られた信号をバイアス印加用コイル23の他端側に供給するためのものであり、例えば、信号Dbに対する利得をAとすれば、次式で表される信号V0を出力する。

【0035】

$$V0 = A \cdot Db + Ddc$$

【0036】

この信号V0はバイアス印加用コイル23を介して出力端子20bに出力され、アイソレーション回路22から出力された高周波成分Daと加え合わされる。

30

【0037】

よって、 $A = A$  であれば、出力端子20bから出力される信号Dは、

$$\begin{aligned} D &= A(Da + Db) + Ddc \\ &= A \cdot D + Ddc \end{aligned}$$

となる。

【0038】

つまり、出力信号Dは、入力されたデジタル信号DをA倍に増幅したものに任意の直流電圧Ddcを加えた信号となり、 $A = A = 1$ であれば、入力したデジタル信号Dに任意の直流電圧Ddcを加えた信号が得られる。また、コンデンサ21の容量、各コイル23、24のインダクタンスを適正に設定することで、入力端子20aと出力端子20bの間の周波数特性を直流からアイソレーション回路22の帯域等で決まる50GHz程度までの範囲でほぼ一樣にすることができる。

40

【0039】

この合成回路30は、演算増幅器を用いて構成することができる。図3は、その一例を示すものであり、入力する低周波信号Dbを50Ωの抵抗31bで終端し、その終端電圧を演算増幅器31a、入力抵抗31f、帰還抵抗31gからなる反転増幅回路で増幅(利得1の場合も含む)し、その出力信号を演算増幅器31h、入力抵抗31i、帰還抵抗31jからなる反転増幅回路に入力し、その増幅回路の出力V0を整合用の50Ωの出力抵抗31dを介して出力している。また、直流電圧Ddcを抵抗31iと等しい抵抗値の抵抗31eを介して演算増幅器31hに入力している。

50

## 【0040】

この回路で、出力端子20bが50に終端されているものとし、抵抗31f、31gの抵抗値を等しくし、また、抵抗31jの抵抗値を抵抗31i、31eの2倍に設定すると、信号Dbに対する回路全体の利得Aは1となり、出力端子20bに現れる出力信号V0は、

$$V0 = Db + Ddc / 2$$

となる。

## 【0041】

したがって、この回路の場合、所望の直流バイアスの2倍の直流電圧を与えることで、出力端子20bに現れるデジタル信号の直流バイアスを所望値にすることができる。

10

## 【0042】

次に、上記実施形態の実際の信号波形について説明する。

図4は、アイソレーション回路22が無く、コンデンサ21の両端が入力端子20aと出力端子に20bに接続され、且つ合成回路30として図3の構成のものを用いた場合の信号波形を示すものであり、図4の(a)に示すデジタル信号を与えたとき、入力端子20aにおける信号波形と出力端子20bにおける信号波形が、それぞれ図4の(b)、(c)のようになることが確認されており、図4の(b)に示した入力端子20aの信号波形は図4の(a)の本来の波形に対して大きく歪んでいる。この歪みは出力端子20b側からの信号の逆流に起因している。

20

## 【0043】

これに対し、前記図2の(b)の2段構成のアイソレーション回路22を設けた場合は、図5の(a)に示すデジタル信号を与えたとき、入力端子20aにおける信号波形と出力端子20bにおける信号波形はそれぞれ図5の(b)、(c)のように得られており、入力信号の波形に大きな歪みが生じていないことが判る。この歪みの減少はアイソレーション回路22によるアイソレーション効果である。なお、この歪みの減少はアイソレーション回路22を図2の(a)の1段構成にした場合でもほぼ同等に得られている。

## 【0044】

ただし、図5の(c)に示しているように、出力信号波形の立ち上がり部分は、積分波形の影響が強く出て、立ち上がり振幅が不十分であることが判る。

## 【0045】

この状態における入出力間の周波数特性を測定すると、図6の特性Gのように、特定周波数faの近傍で利得が低下する現象が現れている。この現象は、入力端子20aと出力端子20bの間にあるコンデンサ21と各コイル23、24の共振作用等の影響によるものと推察される。

30

## 【0046】

そこで、このデジタル信号オフセット調整装置20では、図1に示しているように、合成回路30の内部に、低周波抽出用コイル24から出力された信号の交流成分に対して、特定周波数faの近傍で周波数が高くなる程利得が大きくなる周波数特性を与える周波数補償回路35を設けて、その高域利得の増加によって、図6のGのような平坦な特性を得ている。

40

## 【0047】

この周波数補償回路35の構成は種々考えられるが、例えば図3に示しているように、抵抗RcとコンデンサCcの直列回路を入力抵抗31iと並列に接続することで実現できる。

## 【0048】

この場合、周波数faより十分低い周波数ではコンデンサCcのインピーダンスが入力抵抗31iに対して無視できる程度に大きくなり、実際の入力抵抗値は抵抗31iの抵抗値とほぼ等しい。また、周波数faより十分高い周波数ではコンデンサCcのインピーダンスがほぼゼロとなり、実際の入力抵抗値は抵抗31iと抵抗Rcの並列抵抗値となる。したがって、周波数faの近傍では、回路利得が単調増加することになり、上記した利得

50

低下を補償することができる。

【0049】

図7は、上記周波数補償回路35による補償作用を含めた信号波形図であり、図7の(a)に示すデジタル信号を与えたとき、入力端子20aにおける信号波形と出力端子20bにおける信号波形はそれぞれ図7の(b)、(c)のように得られており、入力信号の波形に大きな歪みが生じていないだけでなく、出力信号波形の立ち上がり振幅も十分大きくなっている。

【0050】

また、上記したアイソレーション回路22や合成回路30に利得可変型の増幅器を用いることで、出力デジタル信号の振幅を任意に可変することができる。その場合、例えば前記したアイソレーション回路22の増幅器22a、22eの少なくとも一方と、合成回路30の演算増幅器31a、31hの少なくとも一方とを利得可変型として、図8に示すデジタル信号オフセット調整装置20のように、振幅制御手段41が、指定された振幅値に応じて双方の利得A、Aを可変制御する構成とする。

10

【0051】

上記実施形態のデジタル信号オフセット調整装置20、20は、他の機器と独立した形態の他に、図9に示すように、任意のパターンのデジタル信号を生成するパターン信号発生部51と、そのパターン信号発生部51から出力されたパターン信号に、所望の直流オフセットを与えて出力するデジタル信号オフセット調整装置52とを備えたパルスパターン発生装置50のデジタル信号オフセット調整装置52に適用することができる。

20

【0052】

ここで、デジタル信号オフセット調整装置52を前記デジタル信号オフセット調整装置20と同様に振幅設定が任意に行えるようにすれば、減衰器を用いることなく、出力するデジタル信号の振幅を大幅に可変でき、装置全体を小型化できる。

【図面の簡単な説明】

【0053】

【図1】本発明の実施形態の構成を示す図

【図2】実施形態の要部の回路例を示す図

【図3】実施形態の要部の回路例を示す図

【図4】アイソレーション回路無しの場合の入出力信号波形図

30

【図5】アイソレーション回路ありで周波数補償無しの場合の入出力信号波形図

【図6】周波数特性の一例を示す図

【図7】アイソレーション回路および周波数補償ありの場合の入出力信号波形図

【図8】振幅可変機能を設けた例を示す図

【図9】本発明のデジタル信号オフセット調整装置を用いたパルスパターン発生装置の構成例を示す図

【図10】従来装置の構成を示す図

【符号の説明】

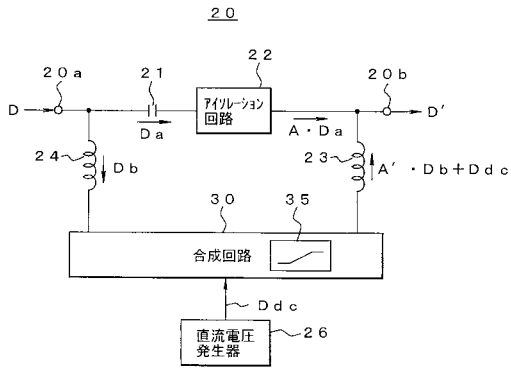
【0054】

20、20 ... デジタル信号オフセット調整装置、20a ... 入力端子、20b ... 出力端子、21 ... コンデンサ、22 ... アイソレーション回路、23 ... バイアス印加用コイル、24 ... 低周波抽出用コイル、26 ... 直流電圧発生器、30 ... 合成回路、35 ... 周波数補償回路、41 ... 振幅制御手段、50 ... パルスパターン発生装置、51 ... パターン信号発生部、52 ... デジタル信号オフセット調整装置

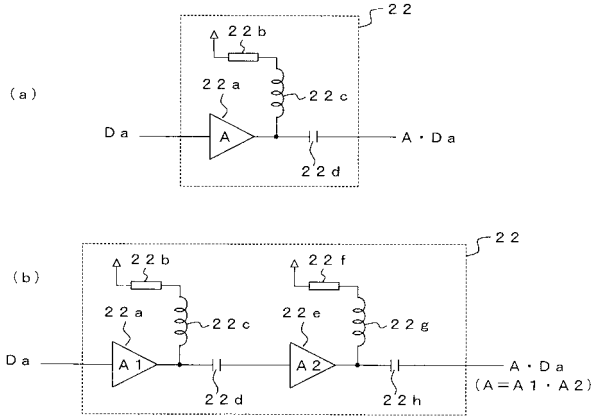
40



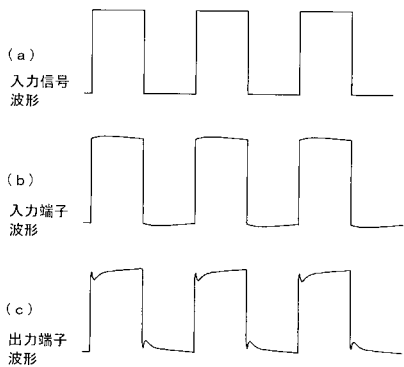
【図1】



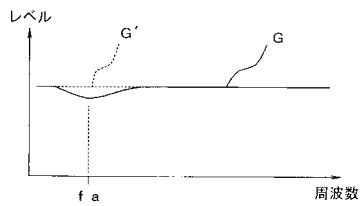
【図2】



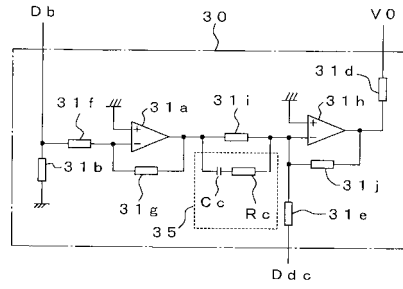
【図5】



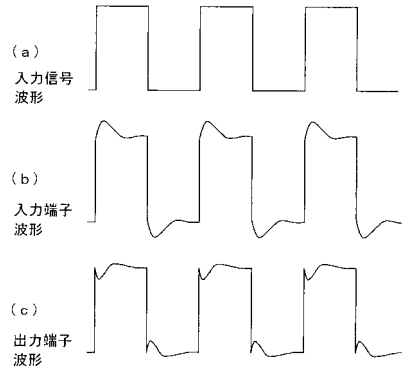
【図6】



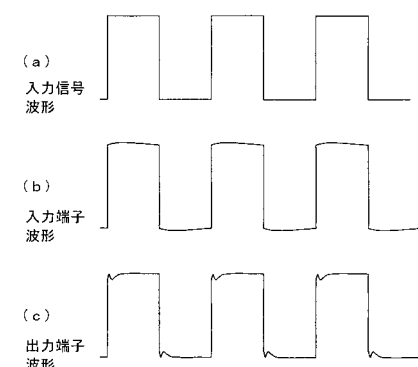
【図3】



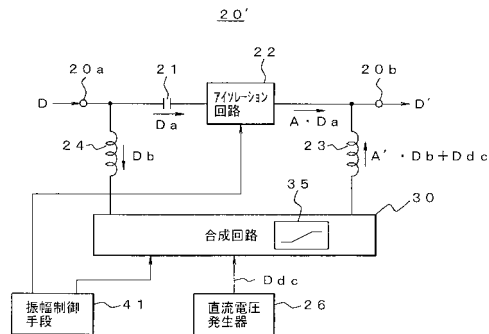
【図4】



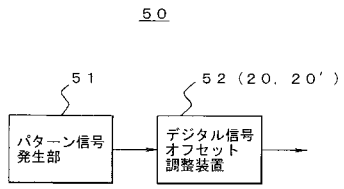
【図7】



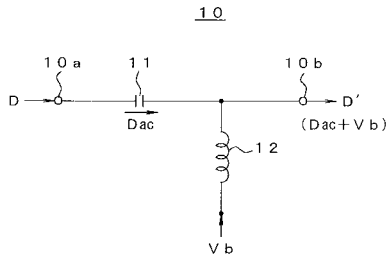
【図8】



【 図 9 】



【 図 10 】



フロントページの続き

(72)発明者 斉藤 澄夫

神奈川県厚木市恩名五丁目1番1号 アンリツ株式会社内

Fターム(参考) 5K029 AA04 BB03 HH08