

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-19429

(P2006-19429A)

(43) 公開日 平成18年1月19日(2006.1.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 25/18 (2006.01)	HO 1 L 25/08 Z	
HO 1 L 25/07 (2006.01)	HO 1 L 21/02 B	
HO 1 L 25/065 (2006.01)	HO 1 L 27/00 3 O 1 B	
HO 1 L 21/02 (2006.01)		
HO 1 L 27/00 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号	特願2004-194667 (P2004-194667)	(71) 出願人	302062931 NECエレクトロニクス株式会社
(22) 出願日	平成16年6月30日(2004.6.30)	(74) 代理人	100110928 弁理士 速水 進治
		(72) 発明者	栗田 洋一郎 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

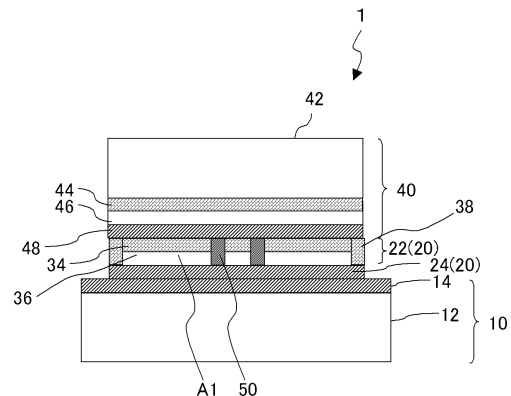
(54) 【発明の名称】 半導体装置および半導体ウエハならびにそれらの製造方法

(57) 【要約】

【課題】 高歩留まり化および低背化に適した構造の半導体装置および半導体ウエハならびにそれらの製造方法を提供する。

【解決手段】 半導体装置1は、半導体チップ10(第1半導体チップ)および半導体チップ20(第2半導体チップ)を備えている。半導体チップ10上には、半導体チップ20が積層されている。半導体チップ20は、半導体基板22を有して構成されている。半導体基板22は、SOI基板であり、絶縁層34と、絶縁層34上に設けられ、回路形成領域A1を含むシリコン層36とを有して構成されている。絶縁層34は、回路形成領域A1の下面(半導体チップ10と反対側の面)を覆う保護膜(第1保護膜)として機能する。半導体基板22には、保護膜38(第2保護膜)が設けられている。保護膜38は、回路形成領域A1の側面を覆っている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 半導体チップと、
回路形成領域を含む半導体基板を有し、前記第 1 半導体チップ上に積層された第 2 半導体チップと、を備え、

前記第 2 半導体チップは、前記回路形成領域における前記第 1 半導体チップと反対側の面を覆う第 1 保護膜と、前記回路形成領域の側面を覆う第 2 保護膜とを有することを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記第 1 半導体チップの面積は、前記第 2 半導体チップの面積よりも大きい半導体装置

10

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、

前記半導体基板は、前記第 1 保護膜として機能する絶縁層と、前記絶縁層上に設けられ、前記回路形成領域を含むシリコン層とを有して構成されており、

前記第 2 半導体チップにおける前記第 1 半導体チップと反対側の面には、前記絶縁層が露出している半導体装置。

【請求項 4】

ベースウエハと、

回路形成領域を含む半導体基板を有し、前記ベースウエハ上に積層された半導体チップと、を備え、

前記半導体チップは、前記回路形成領域における前記ベースウエハと反対側の面を覆う第 1 保護膜と、前記回路形成領域の側面を覆う第 2 保護膜とを有することを特徴とする半導体ウエハ。

20

【請求項 5】

請求項 4 に記載の半導体ウエハにおいて、

前記ベースウエハ上には、前記半導体チップが所定の間隔を置いて複数設けられている半導体ウエハ。

【請求項 6】

第 1 半導体チップ上に、回路形成領域を含む S O I 基板を有する第 2 半導体チップが積層された半導体装置を製造する方法であって、

前記第 1 半導体チップを含むベースウエハを準備するベースウエハ準備工程と、

支持基板と、前記支持基板上に設けられ、前記回路形成領域における前記第 1 半導体チップと反対側となる面を覆う第 1 保護膜として機能する絶縁層と、前記絶縁層上に設けられ、前記回路形成領域を含むシリコン層とを有して構成される前記 S O I 基板を備えるとともに、前記回路形成領域の側面を覆う第 2 保護膜を有する前記第 2 半導体チップを準備する半導体チップ準備工程と、

前記第 2 半導体チップを、前記シリコン層側が前記ベースウエハに対向するように、前記ベースウエハ上の前記第 1 半導体チップに対応する部分に積層する積層工程と、

前記ベースウエハ上に積層された前記第 2 半導体チップの前記支持基板をエッチングにより除去する除去工程と、

前記除去工程よりも後に、前記第 1 半導体チップが個片化されるように前記ベースウエハをダイシングするダイシング工程と、

を含むことを特徴とする半導体装置の製造方法。

30

40

【請求項 7】

ベースウエハ上に、回路形成領域を含む S O I 基板を有する半導体チップが積層された半導体ウエハを製造する方法であって、

前記ベースウエハを準備するベースウエハ準備工程と、

支持基板と、前記支持基板上に設けられ、前記回路形成領域における前記ベースウエハ

50

と反対側となる面を覆う第1保護膜として機能する絶縁層と、前記絶縁層上に設けられ、前記回路形成領域を含むシリコン層とを有して構成される前記SOI基板を備えるとともに、前記回路形成領域の側面を覆う第2保護膜を有する前記半導体チップを準備する半導体チップ準備工程と、

前記半導体チップを、前記シリコン層側が前記ベースウエハに対向するように、前記ベースウエハ上に積層する積層工程と、

前記ベースウエハ上に積層された前記半導体チップの前記支持基板をエッチングにより除去する除去工程と、

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置および半導体ウエハならびにそれらの製造方法に関する。

【背景技術】

【0002】

従来半導体装置としては、例えば特許文献1, 2に記載されたものがある。特許文献1に記載の半導体装置の製造工程においては、まず、シリコン基板(支持基板)上に絶縁層を介してシリコン層が形成されたSOI(Silicon On Insulator)ウエハを2枚準備している。続いて、ベースウエハとなる一方のウエハ(第1ウエハ)上に、両者のシリコン層同士が対向するように他方のウエハ(第2ウエハ)を積層した後、第2ウエハの支持基板を除去している。

20

【0003】

また、特許文献2に記載の半導体装置の製造工程においては、まず、共にSOI基板を備える第1および第2のLSIを準備している。続いて、第2LSIにおけるSOI基板の支持基板を除去した後、当該第2LSIを第1LSI上に積層している。

【特許文献1】特開2000-208702号公報

【特許文献2】特開平8-125120号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

30

しかしながら、特許文献1に記載のように、ウエハ同士を積層するプロセス(ウエハオンウエハプロセス)を用いる場合、ダイシング後の半導体装置が良品となるためには、2枚のウエハにおいて互いに対向する位置に形成された回路部分が共に良品でなければならない。すなわち、一方の回路部分が良品であっても他方が不良品であれば、それらから得られる半導体装置は不良品となってしまう。したがって、ウエハ同士を積層する方法では、十分に高い歩留まりを得ることができないという問題がある。

【0005】

かかる問題を解決するためには、第2ウエハをダイシングによりチップ状態にした後で第1ウエハ上に積層するプロセス(チップオンウエハプロセス)を用いればよい。こうすれば、良品と確認されたチップのみを第1ウエハ上に積層させることができるので、高い歩留まりで半導体装置を得ることができるからである。

40

【0006】

また、積層型の半導体装置では低背化の要求が特に強いため、特許文献1について上述したように、第2ウエハの支持基板を除去することが行われる。特許文献2においても、上述の通り、第2LSIにおけるSOI基板の支持基板を除去している。ところが、特許文献2に記載の製造方法においては、第2LSIを第1LSI上に積層する前に支持基板を除去している。この場合、第2LSIのハンドリングに十分な厚みを確保しなければならず、これにより第2LSIの低背化が制限されてしまう。したがって、支持基板の除去は、第2LSIを第1LSI上に積層した後に行うことが好ましい。

【0007】

50

しかしながら、従来の半導体装置の構造は、チップオンウエハプロセスにおいて積層後にシリコン基板の除去を行うのに適していなかった。

【0008】

本発明は、上記課題に鑑みてなされたものであり、高歩留まり化および低背化に適した構造の半導体装置および半導体ウエハならびにそれらの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明による半導体装置は、第1半導体チップと、回路形成領域を含む半導体基板を有し、第1半導体チップ上に積層された第2半導体チップと、
を備え、第2半導体チップは、回路形成領域における第1半導体チップと反対側の面を覆う第1保護膜と、回路形成領域の側面を覆う第2保護膜とを有することを特徴とする。

10

【0010】

この半導体装置においては、第2半導体チップの回路形成領域の下面（第1半導体チップと反対側の面）と側面とがそれぞれ第1および第2の保護膜によって覆われている。すなわち、第1半導体チップ上に積層された第2半導体チップの露出面がこれらの保護膜によって覆われている。このため、この半導体装置は、チップオンウエハプロセスにおいて第2半導体チップの積層後に支持基板の除去を行うのに適した構造を有している。

【0011】

第1半導体チップの面積は、第2半導体チップの面積よりも大きくてもよい。この場合、第1半導体チップの第2半導体チップ側の面には、第2半導体チップが積層されない領域が生じることになる。この領域は、例えば外部配線の形成領域として利用することができる。

20

【0012】

半導体基板は、第1保護膜として機能する絶縁層と、絶縁層上に設けられ、回路形成領域を含むシリコン層とを有して構成されており、第2半導体チップにおける第1半導体チップと反対側の面には、絶縁層が露出しているもよい。この場合、第2半導体チップの支持基板が除去されているため、低背化された半導体装置が実現される。

【0013】

本発明による半導体ウエハは、ベースウエハと、回路形成領域を含む半導体基板を有し、ベースウエハ上に積層された半導体チップと、を備え、半導体チップは、回路形成領域におけるベースウエハと反対側の面を覆う第1保護膜と、回路形成領域の側面を覆う第2保護膜とを有することを特徴とする。

30

【0014】

この半導体ウエハにおいては、半導体チップの回路形成領域の下面と側面とがそれぞれ第1および第2の保護膜によって覆われている。すなわち、ベースウエハ上に積層された半導体チップの露出面がこれらの保護膜によって覆われる。このため、この半導体ウエハは、チップオンウエハプロセスにおいて半導体チップの積層後に支持基板の除去を行うのに適した構造を有している。

【0015】

ベースウエハ上には、半導体チップが所定の間隔を置いて複数設けられていてもよい。この場合、ベースウエハにおける半導体チップが設けられていない領域をダイシングすることにより、複数の半導体装置を得ることができる。

40

【0016】

本発明による半導体装置の製造方法は、第1半導体チップ上に、回路形成領域を含むSOI基板を有する第2半導体チップが積層された半導体装置を製造する方法であって、第1半導体チップを含むベースウエハを準備するベースウエハ準備工程と、支持基板と、支持基板上に設けられ、回路形成領域における第1半導体チップと反対側となる面を覆う第1保護膜として機能する絶縁層と、絶縁層上に設けられ、回路形成領域を含むシリコン層とを有して構成されるSOI基板を備えるとともに、回路形成領域の側面を覆う第2保護

50

膜を有する第2半導体チップを準備する半導体チップ準備工程と、第2半導体チップを、シリコン層側がベースウエハに対向するように、ベースウエハ上の第1半導体チップに対応する部分に積層する積層工程と、ベースウエハ上に積層された第2半導体チップの支持基板をエッチングにより除去する除去工程と、除去工程よりも後に、第1半導体チップが個片化されるようにベースウエハをダイシングするダイシング工程と、を含むことを特徴とする。

【0017】

この製造方法においては、回路形成領域の下面と側面とがそれぞれ第1および第2の保護膜によって覆われた第2半導体チップを準備している。すなわち、積層工程において第1半導体チップ上に積層された第2半導体チップの露出面がこれらの保護膜によって覆われる。これにより、除去工程においては、支持基板のエッチングを安定的に行うことができる。したがって、低背化された半導体装置を得ることができる。

10

【0018】

本発明による半導体ウエハの製造方法は、ベースウエハ上に、回路形成領域を含むSOI基板を有する半導体チップが積層された半導体ウエハを製造する方法であって、ベースウエハを準備するベースウエハ準備工程と、支持基板と、支持基板上に設けられ、回路形成領域におけるベースウエハと反対側となる面を覆う第1保護膜として機能する絶縁層と、絶縁層上に設けられ、回路形成領域を含むシリコン層とを有して構成されるSOI基板を備えるとともに、回路形成領域の側面を覆う第2保護膜を有する半導体チップを準備する半導体チップ準備工程と、半導体チップを、シリコン層側がベースウエハに対向するように、ベースウエハ上に積層する積層工程と、ベースウエハ上に積層された半導体チップの支持基板をエッチングにより除去する除去工程と、を含むことを特徴とする。

20

【0019】

この製造方法においては、回路形成領域の下面と側面とがそれぞれ第1および第2の保護膜によって覆われた半導体チップを準備している。すなわち、積層工程においてベースウエハ上に積層された半導体チップの露出面がこれらの保護膜によって覆われる。これにより、除去工程においては、支持基板のエッチングを安定的に行うことができる。したがって、低背化された半導体ウエハを得ることができる。

【発明の効果】**【0020】**

本発明によれば、高歩留まり化および低背化に適した構造の半導体装置および半導体ウエハならびにそれらの製造方法が実現される。

30

【発明を実施するための最良の形態】**【0021】**

以下、図面を参照しつつ、本発明による半導体装置および半導体ウエハならびにそれらの製造方法の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

【0022】

図1は、本発明による半導体装置の一実施形態を示す断面図である。半導体装置1は、半導体チップ10（第1半導体チップ）、半導体チップ20（第2半導体チップ）および半導体チップ40（第3半導体チップ）を備えている。半導体チップ10は、シリコン基板等の半導体基板12、および半導体基板12上に設けられた配線層14を有して構成されている。

40

【0023】

半導体チップ10上には、半導体チップ20が積層されている。半導体チップ20は、半導体基板22、および半導体基板22上に設けられた配線層24を有して構成されている。半導体チップ10の配線層14と半導体チップ20の配線層24とが互いに対向している。また、本実施形態において、半導体チップ10の面積は、半導体チップ20の面積よりも大きい。したがって、半導体チップ20の側面は半導体チップ10に対して後退しており、一方の半導体チップ10の側面は、半導体チップ20に対して外方に突出してい

50

る。

【0024】

半導体基板22は、SOI基板であり、絶縁層34と、絶縁層34上に設けられ、回路形成領域A1を含むシリコン層36とを有して構成されている。ここで、回路形成領域A1とは、回路素子の構成要素が設けられる、半導体基板22中の領域をいう。回路素子の構成要素とは、例えば、トランジスタのソース・ドレイン領域として機能する拡散層などである。絶縁層34は、回路形成領域A1の下面(半導体チップ10と反対側の面)全体を覆う保護膜(第1保護膜)として機能する。なお、厳密には、絶縁層34は後述する貫通電極50が設けられている部分において上記下面を覆っていないが、実質的に当該下面全体を覆っていると言える。この絶縁層34は、半導体チップ20の下面(半導体チップ10と反対側の面)に露出している。絶縁層34は、耐エッチャント性を有する材料により構成される。絶縁層34は、例えばSiO₂により構成される。

10

【0025】

半導体基板22には、保護膜38(第2保護膜)が設けられている。保護膜38は、回路形成領域A1の側面全体を覆っている。また、保護膜38は、シリコン層36から絶縁層34まで達している。具体的には、保護膜38は、シリコン層36の表面に端を発生し、シリコン層36を貫通して絶縁層34の内部まで延びている。保護膜38は、耐エッチャント性を有する材料により構成される。保護膜38は、例えば、SiO₂等の絶縁膜、またはCu、W等の金属膜などにより構成される。なお、保護膜38は、絶縁膜および金属膜を共に有して構成されてもよい。また、保護膜38が一部切り欠かれて設けられている場合等のように厳密に上記側面全体を覆っていなくても、実質的に側面全体が覆われていればよい。

20

【0026】

本実施形態においては、配線層24の側面も図示しない保護膜(第3保護膜)によって覆われている。この保護膜は、例えばシールリングであり、耐エッチャント性を有する材料により構成される。また、この保護膜の材料としては、例えば配線層24中の配線と同一の材料を用いることができる。

【0027】

回路形成領域A1には、貫通電極50が設けられている。この貫通電極50は、シリコン層36から絶縁層34まで達している。具体的には、貫通電極50は、シリコン層36の表面に端を発生し、シリコン層36を貫通して絶縁層34の内部まで延びている。本実施形態において、上述の保護膜38および貫通電極50の絶縁層34側の端面位置は、共に絶縁層34の表面に略一致している。

30

【0028】

半導体チップ20上には、半導体チップ40が積層されている。半導体チップ40は、支持基板42、支持基板上に設けられた絶縁層44、および絶縁層上に設けられたシリコン層46から構成されるSOI基板を有している。支持基板42は、例えばシリコン基板である。また、シリコン層46上には、配線層48が設けられている。半導体チップ20の下面と半導体チップ40の配線層48とが互いに対向している。ただし、半導体チップ40は、SOI基板を有して構成されていることは必須ではなく、その他の半導体基板を有して構成されていてもよい。

40

【0029】

図2は、本発明による半導体ウエハの一実施形態を示す断面図である。半導体ウエハ3は、ベースウエハ80、半導体チップ20および半導体チップ40を備えている。半導体チップ20、40の構成は、図1に示したものと同様である。ベースウエハ80は、シリコン基板等の半導体基板82、および半導体基板82上に配線層84を有して構成されている。なお、ベースウエハ80としては、トランジスタを含むLSIが設けられた通常のウエハに限らず、受動素子あるいは導体パターンのみが設けられたものであってもよい。

【0030】

ベースウエハ80上には、複数の半導体チップ20が所定の間隔を置いて積層されてい

50

る。この間隔は、ベースウエハ 80 をダイシングする際に用いられるダイシングブレードの厚さよりも大きく設定される。

【0031】

図 3 ~ 図 10 を参照しつつ、本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態として、半導体装置 1 および半導体ウエハ 3 の製造方法の一例を説明する。まず、支持基板 32 となる第 1 のシリコンウエハ上に、 SiO_2 膜 342、 SiN 膜 344 および SiO_2 膜 346 を順に積層する。この第 1 のシリコンウエハに、シリコン層 36 となる第 2 のシリコンウエハを貼り合わせて真空中でアニールし、支持基板 32 上に絶縁層 34 およびシリコン層 36 が積層された SOI ウエハを得る。すなわち、本例において絶縁層 34 は、 SiO_2 膜 342、 SiN 膜 344 および SiO_2 膜 346 からなる多層膜として構成されている (図 3)。なお、 SiN 膜 344 の代わりにまたは SiN 膜 344 と共に、 SiCN 膜もしくは SiON 膜またはこれらの組み合わせを用いてもよい。

10

【0032】

次に、回路形成領域 A1 とスクライプライン領域 A2 との境界に沿って、例えばドライエッチングにより、シリコン層 36 から絶縁層 34 まで達する溝部 62 を形成する。本例においては、溝部 62 と同時に、貫通電極 50 用の孔 64 を形成する。さらに、この状態でシリコン層 36 を熱酸化することにより、絶縁膜 66 および絶縁膜 68 を形成する (図 4)。

【0033】

次に、溝部 62 に金属を埋め込むことにより、金属膜 72 を形成する (図 5)。これにより、保護膜 38 が形成される。すなわち、本例において絶縁膜 66 と金属膜 72 とにより保護膜 38 が構成される。このとき、溝部 62 と同時に、孔 64 にも金属膜 74 を埋め込む。これにより、絶縁膜 68 と金属膜 74 とにより構成される貫通電極 50 が形成される。金属の埋め込みは、例えば、 TiN 、 TaN または Ta 等のバリアメタルを形成後、 Cu または W をメッキまたは CVD により成膜することで行われる。さらに、溝部 62 および孔 64 の内部以外に成膜された金属膜、およびシリコン層 36 上の絶縁膜を除去する。

20

【0034】

次に、回路形成領域 A1 上に必要な回路を形成した後、スクライプライン領域 A2 をダイシングすることにより、半導体チップ 20 を複数得る (図 6)。以上の半導体チップ 20 を作製する工程を半導体チップ準備工程と呼ぶ。

30

【0035】

続いて、ベースウエハ 80 を準備する (ベースウエハ準備工程)。なお、半導体チップ準備工程とベースウエハ準備工程とを実行する順序は、任意である。ベースウエハ 80 上に半導体チップ 20 を積層する (積層工程)。ベースウエハ 80 と半導体チップ 20 との接合には、例えば、表面活性化接合法を用いることができる。この方法は、両者の接合面を CMP 法 (化学機械研磨法) 等により平坦化し、相対する電極および絶縁膜同士をプラズマ照射等により活性化させた状態で接合するものである。なお、一般的なフリップチップ接合法を用いて電極間の接合および樹脂封止を行ってもよい。本例においては、ベースウエハ 80 上に、所定の間隔を置いて複数の半導体チップ 20 を積層する (図 7)。

40

【0036】

次に、例えばウエットエッチングにより、半導体チップ 20 から支持基板 32 を除去する (除去工程)。支持基板 32 の除去にあたっては、ウエットエッチングする前に機械研磨等により支持基板 32 をある程度除去しておいてもよい。こうすることにより、半導体装置 1 および半導体ウエハ 3 の生産性が向上する (図 8)。さらに、半導体チップ 40 を準備し、これを半導体チップ 20 上に積層する。以上により、半導体ウエハ 3 を得る (図 9)。

【0037】

さらに、ベースウエハ 80 における半導体チップ 20 が設けられていない領域をダイシ

50

ングする。以上により、半導体装置 1 を得る (図 10) 。

【 0038 】

本実施形態の効果の説明する。本実施形態においては、半導体チップ 20 の回路形成領域 A 1 の下面と側面とがそれぞれ絶縁層 34 および保護膜 38 によって覆われている。すなわち、半導体チップ 10 (またはベースウエハ 80) 上に積層された半導体チップ 20 の露出面がこれらの保護膜によって覆われている。このため、この半導体装置 1 および半導体ウエハ 3 は、チップオンウエハプロセスにおいて半導体チップ 20 の積層後に支持基板 32 の除去を行うのに適した構造を有している。すなわち、支持基板 32 をウエットエッチングにより除去する際に、上記保護膜 (絶縁層 34 および保護膜 38) により、回路形成領域 A 1 をエッチャントから保護することができる。これにより、除去工程において 10

【 0039 】

配線層 24 の側面にも耐エッチャント性を有する第 3 保護膜が設けられているため、支持基板 32 のエッチングを一層安定的に行うことができる。ただし、第 3 保護膜を設けることは必須ではない。例えば、配線層 24 の層間絶縁膜が十分な耐エッチャント性を有する場合、第 3 保護膜を設けなくともエッチングの安定性が十分に保たれる。なお、第 3 保護膜の代わりにまたは第 3 保護膜と共に、配線層 24 の側面全体を覆うように上述の保護膜 38 を設けてもよい。すなわち、保護膜 38 が回路形成領域 A 1 の側面だけでなく配線層 24 の側面も覆うように設けられていてもよい。この場合、簡略な構成で、支持基板 32 のエッチングを一層安定的に行うことができる半導体装置が実現される。かかる構成の 20

保護膜 38 を得るには、回路形成領域 A 1 および配線層 24 の形成後に保護膜 38 の形成を実行すればよい。なお、配線層 24 には、配線の他にも、電極端子、各種受動素子等の各種回路要素を含んでも良い。

【 0040 】

上記実施形態においては、チップオンウエハプロセスにより、半導体装置 1 および半導体ウエハ 3 を作製している。したがって、予め良品であることが確認された半導体チップ 20 のみをベースウエハ 80 上に積層することが可能となる。このため、半導体装置 1 および半導体ウエハ 3 を高歩留まりで得ることができる。また、チップオンウエハプロセスを用いているため、相異なるサイズの半導体チップが積層された半導体装置を容易に得ることができる。相異なるサイズの半導体チップを積層できることは、半導体装置の設計自 30

【 0041 】

また、半導体チップ 20 をベースウエハ 80 上に積層した後に支持基板 32 の除去を実行しているため、特許文献 2 に記載のものとは異なり、半導体チップ 20 を単独でハンドリングする場合に要求される厚みを確保する必要がない。したがって、非常に薄い半導体チップ 20 を得ることができる。個々の半導体チップを薄くすることは、それらが積層された半導体装置の低背化につながる。

【 0042 】

半導体装置 1 において、半導体チップ 10 の面積は、半導体チップ 20 の面積よりも大きい。これにより、半導体チップ 10 の半導体チップ 20 側の面には、半導体チップ 20 40

が積層されない領域が生じている。この領域には、例えば外部配線を設けることができる。したがって、最上層チップ (半導体装置 1 においては半導体チップ 40 がこれに該当する) 上に外部配線を設ける必要がなくなり、半導体装置 1 の一層の低背化が実現される。

【 0043 】

ベースウエハ 80 上に、複数の半導体チップが設けられている。これにより、同時に複数の半導体装置を製造することができるので、半導体装置の生産性が向上する。

【 0044 】

また、半導体チップ 20 に貫通電極 50 が設けられているため、半導体チップ 20 および半導体チップ 40 間の導通を容易に図ることができる。また、両者間の導通をワイヤボンディング等により行う場合に比して処理速度の向上および低消費電力化等の効果が得ら 50

れる。しかも、貫通電極 50 を保護膜 38 と同一工程にて作製しているため、工程数の増大を招くことなく、貫通電極 50 が設けられた半導体チップ 20 が得られる。

【0045】

ただし、本実施形態において貫通電極 50 を設けることは必須ではない。また、半導体チップ 20 を半導体チップ 10 上に積層した後で、半導体チップ 20 の裏面から半導体基板 22 を貫通する孔を形成し、この孔に導体材料を埋め込むことによって、上記導通を図ることとしてもよい。また、この導体材料に接続するようにして、積層した半導体チップ 20 上に外部電極端子を形成してもよい。かかる外部電極端子を形成する半導体チップは、半導体チップ 10、半導体チップ 20 および半導体チップ 40 のうち何れでもよい。

【0046】

絶縁層 34 は、SiN 膜 344 を含んでいる。このため、絶縁層 34 は、重金属等の拡散を阻止する金属拡散阻止膜としても好適に機能する。また、絶縁層 34 は、SiON 膜または SiCN を含む場合にも、金属拡散阻止膜として好適に機能することができる。

【0047】

以上説明した半導体装置 1 は、ワイヤボンディング法を用いて通常の半導体パッケージに組み込むことや、フリップチップ接合法等により実装することなどにより、任意のシステムに組み込むことが可能である。

【0048】

なお、上記実施形態において半導体装置 1 または半導体ウエハ 3 に半導体チップ 40 を設けることは必須ではなく、半導体チップ 20 が最上層のチップとなる構成としてもよい。また、絶縁層 34 が多層膜であることも必須ではなく、例えば SiO₂ 膜により構成される単層膜であってもよい。

【0049】

また、半導体チップ 20 にトランジスタ等を設けることは必須ではない。例えば、受動素子や貫通電極のみを設ける構成とした場合、半導体チップ 20 をシリコン配線基板として好適に用いることができる。ただし、この場合にも、第 1 保護膜（絶縁層 34）および第 2 保護膜（保護膜 38）は、設けられる。

【0050】

また、半導体チップ 10 は半導体基板 12 に形成された貫通電極を有しており、この貫通電極が半導体チップ 10 の下面（半導体チップ 20 と反対側の面）に引き出されている構成としてもよい。

【0051】

また、チップ積層後に、再配線形成工程を設けても良い。再配線は、任意の半導体チップに接続され、また外部電極を形成することにも用いることができる。

【0052】

また、半導体装置 1 においては、半導体チップ 10 上に複数の半導体チップ 20 が設けられていてもよい。

【0053】

図 11 は、図 1 の半導体装置 1 の一変形例を示す断面図である。半導体装置 1a において、半導体チップ 10 上には、半導体チップ 91 および半導体チップ 92 が順に積層されている。また、半導体チップ 92 上には、再配線（外部電極）96 が設けられている。半導体チップ 91 および半導体チップ 92 の構造は、図 1 の半導体チップ 20 と同様である。ここで、チップ面積は、半導体チップ 10、半導体チップ 91、半導体チップ 92 の順に次第に小さくなっている。

【0054】

図 12 は、図 1 の半導体装置 1 の他の変形例を示す断面図である。半導体装置 1b において、半導体チップ 10 上には、半導体チップ 93、半導体チップ 94 および半導体チップ 95 が順に積層されている。半導体チップ 93 および半導体チップ 94 の構造は、図 1 の半導体チップ 20 と同様である。また、半導体チップ 95 の構造は、図 1 の半導体チップ 40 と同様である。ここで、半導体チップ 93 のチップ面積は半導体チップ 10 よりも

10

20

30

40

50

小さく、半導体チップ 94 のチップ面積は半導体チップ 93 よりも大きく、半導体チップ 95 のチップ面積は半導体チップ 94 よりも小さい。

【0055】

図 11 および図 12 からわかるように、上記実施形態の半導体装置 1 においては、積層するチップサイズを自由に選択することができる。なお、図 12 に示すように、比較的小さいチップ（半導体チップ 93）上に比較的大きいチップ（半導体チップ 94）を積層する場合、半導体チップ 94 の上面（半導体チップ 93 側の面）も耐エッチャント性を有する材料で形成しておくことが好ましい。

【図面の簡単な説明】

【0056】

【図 1】本発明による半導体装置の一実施形態を示す断面図である。

【図 2】本発明による半導体ウエハの一実施形態を示す断面図である。

【図 3】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 4】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 5】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 6】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 7】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 8】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 9】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 10】本発明による半導体装置および半導体ウエハそれぞれの製造方法の一実施形態を示す工程図である。

【図 11】図 1 に示す半導体装置の一変形例を示す断面図である。

【図 12】図 1 に示す半導体装置の他の変形例を示す断面図である。

【符号の説明】

【0057】

- 1 半導体装置
- 1 a 半導体装置
- 1 b 半導体装置
- 3 半導体ウエハ
- 10 半導体チップ
- 12 半導体基板
- 14 配線層
- 20 半導体チップ
- 20 半導体チップ
- 22 半導体基板
- 24 配線層
- 32 支持基板
- 34 絶縁層（第 1 保護膜）
- 36 シリコン層
- 38 保護膜（第 2 保護膜）
- 40 半導体チップ
- 42 支持基板
- 44 絶縁層

10

20

30

40

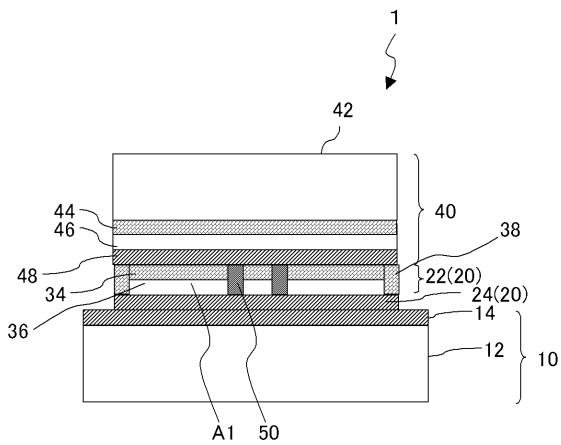
50

- 4 6 シリコン層
- 4 8 配線層
- 5 0 貫通電極
- 6 2 溝部
- 6 4 孔
- 6 6 絶縁膜
- 6 8 絶縁膜
- 7 2 金属膜
- 7 4 金属膜
- 8 0 ベースウエハ
- 8 2 半導体基板
- 8 4 配線層
- 9 1 半導体チップ
- 9 2 半導体チップ
- 9 3 半導体チップ
- 9 4 半導体チップ
- 9 5 半導体チップ
- 9 6 再配線
- A 1 回路形成領域
- A 2 スクライプライン領域

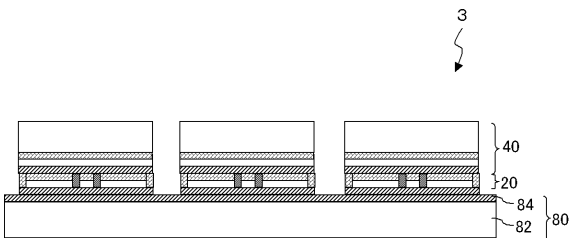
10

20

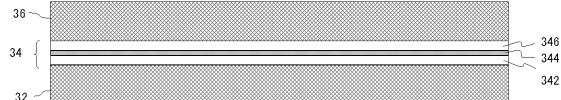
【図 1】



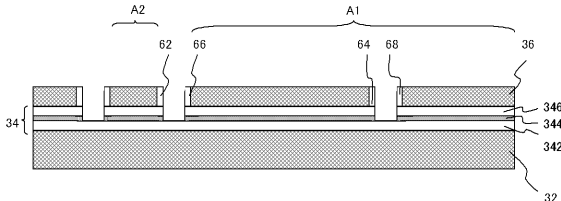
【図 2】



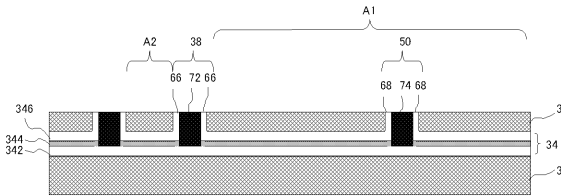
【図 3】



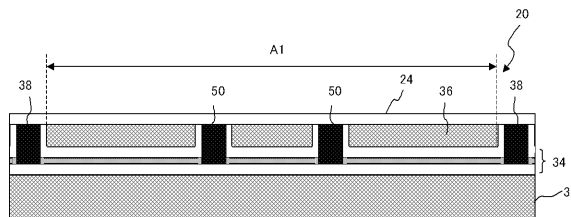
【図 4】



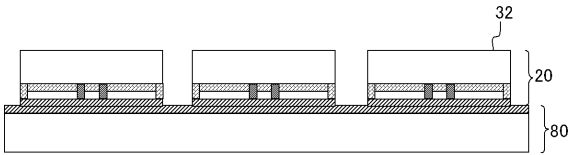
【図 5】



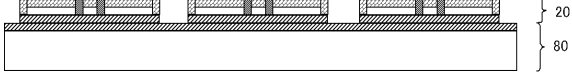
【図 6】



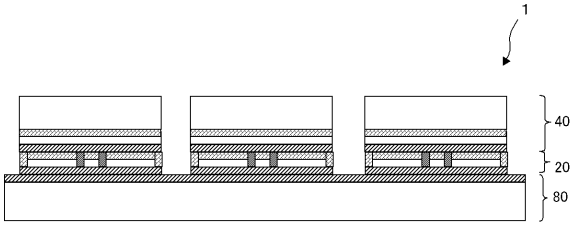
【図 7】



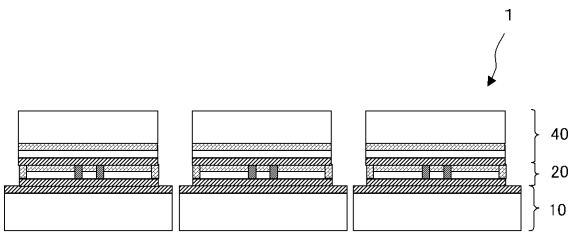
【図 8】



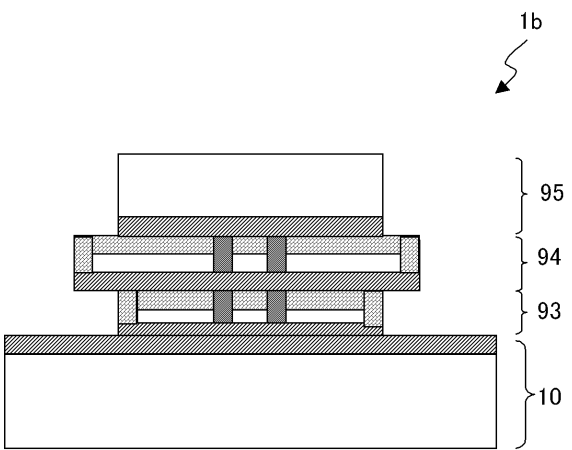
【図 9】



【図 10】



【図 12】



【図 11】

