

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2009 年 12 月 30 日(30.12.2009)

(10) 国際公開番号
WO 2009/157113 A1

PCT

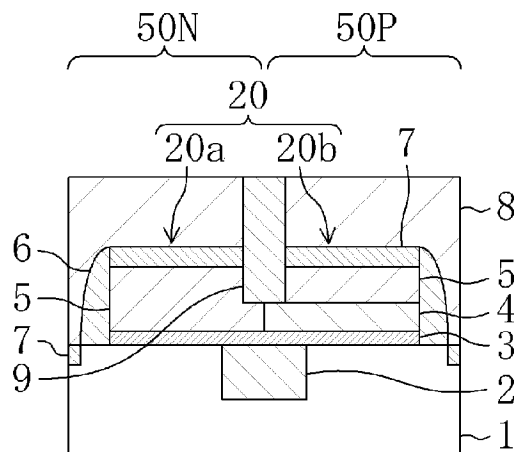
- (51) 国際特許分類:
H01L 21/8238 (2006.01) H01L 27/092 (2006.01)
H01L 21/28 (2006.01) H01L 29/423 (2006.01)
H01L 21/336 (2006.01) H01L 29/49 (2006.01)
H01L 21/768 (2006.01) H01L 29/78 (2006.01)
H01L 23/522 (2006.01)
- (21) 国際出願番号: PCT/JP2009/000827
- (22) 国際出願日: 2009 年 2 月 25 日(25.02.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-164892 2008 年 6 月 24 日(24.06.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 仙石直久 (SENGOKU, Naohisa).
- (74) 代理人: 前田弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: Disclosed is a semiconductor device comprising a gate insulating film (3) formed on a semiconductor substrate (1), a second gate electrode part (20b) of a gate electrode (20), which is composed of a TiN film (4) and a polysilicon film (5), and an interlayer insulating film (8) so formed on the semiconductor substrate (1) as to cover the gate electrode (20). The second gate electrode part (20b) of the gate electrode (20) and the interlayer insulating film (8) are sequentially formed on the gate insulating film (3). A contact (9) so formed as to penetrate the interlayer insulating film (8) and the polysilicon film (5) is directly connected with the TiN film (4).

(57) 要約: 半導体装置は、半導体基板 (1) の上に形成されたゲート絶縁膜 (3) と、該ゲート絶縁膜 (3) の上に順次形成され、TiN 膜 (4) とポリシリコン膜 (5) とにより構成されたゲート電極 (20) の第 2 のゲート電極部 (20b) と、半導体基板 (1) の上にゲート電極 (20) を覆うように形成された層間絶縁膜 (8) とを有している。層間絶縁膜 (8) 及びポリシリコン膜 (5) を貫通して形成されたコンタクト (9) は、TiN 膜 (4) と直接に接続されている。

WO 2009/157113 A1



CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, 添付公開書類:
TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、メタルゲート電極を有する半導体装置及びその製造方法に関する。

背景技術

[0002] 従来のMIS (metal insulator semiconductor) 型トランジスタにおけるメタルゲート構造のうち、金属材料とポリシリコンとを積層した、いわゆるMIPS (metal-inserted polysilicon stack) 構造の形成方法を図19 (a) ~図19 (f) を参照しながら説明する (例えば、特許文献1を参照)。

[0003] まず、図19 (a) に示すように、シリコンからなる半導体基板101の上部に、シャロウトレンチ分離 (STI) 等からなる素子分離膜102を選択的に形成して、半導体基板101をNFET (N-type field effect transistor: N型電界効果トランジスタ) 形成領域50Nと、PFET (P-type field effect transistor: P型電界効果トランジスタ) 形成領域50Pとに区画する。その後、しきい値 (V_t) 制御用の不純物注入及び注入された不純物の活性化熱処理を行う。続いて、半導体基板101上の全面にゲート絶縁膜103を形成する。続いて、形成されたゲート絶縁膜103上の全面に、仕事関数の値が大きく、PFETの動作特性に有効な窒化チタン (TiN) 膜104を堆積する。続いて、堆積したTiN膜104におけるNFET形成領域50Nに含まれる部分を除去する。

[0004] 次に、図19 (b) に示すように、NFET形成領域50N及びPFET形成領域50Pの全面に、ポリシリコン膜105を堆積する。

[0005] 次に、図19 (c) に示すように、ポリシリコン膜105の上に、高融点金属であるタングステン (W) 膜106と、窒化シリコン (SiN) 膜107とを順次堆積する。

[0006] 次に、図１９（ｄ）に示すように、堆積した複数の膜をパターニングすることにより、ゲート電極１２０を形成する。具体的には、ゲート電極１２０として、ＮＦＥＴ形成領域５０Ｎにおいては、Ｗ膜１０６及びポリシリコン膜１０５からなる第１のゲート電極部１２０ａを形成し、ＰＦＥＴ形成領域５０Ｐにおいては、Ｗ膜１０６、ポリシリコン膜１０５及びＴｉＮ膜１０４からなる第２のゲート電極部１２０ｂを形成する。ここで、ゲート電極１２０は、ゲート幅方向に沿った断面を表している。

[0007] 次に、図１９（ｅ）に示すように、ゲート電極１２０をマスクとした半導体基板１０１へのエクステンション注入によるＬＤＤ（lightly doped drain）層の形成、ゲート電極１２０へのサイドウォール１０８の形成、及びゲート電極１２０及びサイドウォール１０８をマスクとした半導体基板１０１へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

その後は、図示はしないが、ニッケル（Ｎｉ）膜を半導体基板１０１上の全面に堆積して、ソース／ドレインの上部にニッケルシリサイド層を形成する

次に、図１９（ｆ）に示すように、半導体基板１０１の上に層間絶縁膜１０９を堆積し、堆積した層間絶縁膜１０９の上面を平坦化する。続いて、平坦化された層間絶縁膜１０９及びゲート電極１２０上のＳｉＮ膜１０７に対してその下側のＷ膜１０６を露出するコンタクトホールを形成し、該コンタクトホールにタングステン（Ｗ）を充填することにより、コンタクト１１０を形成する。

[0008] これにより、ＰＦＥＴ形成領域５０Ｐにおいては、ＭＩＰＳ構造を採るメタルゲートが形成され、ＮＦＥＴ形成領域５０Ｎにおいては、ポリシリコンゲートが形成される。

特許文献１：特開２００７－０８８１２２号公報

特許文献２：特開２００１－２７４３９１号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、前記従来のＭＩＰＳ構造を採るメタルゲートを有する半導

体装置は、P F E Tを構成するメタルゲートである第2のゲート電極部120bにおいて、T i N膜104とポリシリコン膜105との間の界面抵抗が高いという問題がある。

[0010] メタルゲートを用いるトランジスタ、ここではP F E Tを高速で動作させるには、トランジスタへの電荷の充電及び放電を速やかに行う必要がある。そのためには、コンタクト110からゲート絶縁膜103に接して形成されたT i N膜104までの電流経路における抵抗値を低く抑える必要がある。

[0011] 上記の従来例においては、コンタクト110からT i N膜104までの電流経路にはポリシリコン膜105が介在しており、この場合の抵抗成分は、ポリシリコン膜105の比抵抗、T i N膜104の比抵抗及びポリシリコン膜105とT i N膜104との間の界面抵抗とに分けられる。さらには、W膜106の比抵抗及び該W膜106とポリシリコン膜105と間の界面抵抗も含まれるが、Wの比抵抗はT i Nと比べて低く、また、W膜106とポリシリコン膜105と間の界面抵抗も低く抑えることができることは知られている（例えば、特許文献2を参照。）。

[0012] 図20に、シミュレーションにより算出したポリシリコン膜105とT i N膜104との間の界面抵抗の値とゲート電極120の遅延時間との関係を示す。ここで、遅延時間とは、コンタクト110に所定の電圧を印加した瞬間を0 s e cとし、T i N膜104の電圧値が所定の印加電圧の90%にまで到達した時間として定義する。なお、ここでは、ポリシリコン膜105の比抵抗値を $1300\mu\Omega\text{cm}$ と、T i N膜104の比抵抗値を $200\mu\Omega\text{cm}$ と仮定している。図20のシミュレーション結果から、必要な立ち上がり時間を1 p s e cと仮定すると、界面抵抗値はおよそ $1\times 10^{-7}\Omega\text{cm}^2$ 以下に設定しなければならないことが分かる。なお、ここでは、タングステンとポリシリコンとの間の界面抵抗及びタングステンの比抵抗は無視している。

[0013] しかしながら、T i N膜104とポリシリコン膜105との間の界面抵抗を実測したところ、およそ $1\times 10^{-5}\Omega\text{cm}^2$ 程度であることが判明した。この界面抵抗値では、遅延時間は少なくとも10 p s e cを超えるため、ギガ

H_zレベルの高周波を扱う半導体装置の動作には、上記の従来例に係るゲートメタル構造は適用できない。

[0014] ポリシリコン膜105とTiN膜104との界面が高抵抗である原因は、ポリシリコン膜104をTiN膜104の上に堆積する際の初期段階での酸素の混入によるTiN膜104の酸化、又はTiN膜104とポリシリコン膜105と間に形成されるショットキ接合等が挙げられる。

[0015] 理論的には、ゲートメタルの仕事関数の値がシリコンのバンドギャップの中にある場合は、TiN膜104とポリシリコン膜105との間に生じるショットキ接合は不可避である。両者の界面抵抗の値を減少させるには、ポリシリコン膜105中のドーパント濃度を高めることによりショットキバリアをトンネリングする膜厚を薄くし、且つ、ポリシリコン膜105の堆積時の前処理及び堆積方法を最適化することにより、ポリシリコン膜105とTiN膜104との界面に高抵抗化に寄与する新たな膜が形成されないように細心の注意を払う必要がある。

[0016] 本発明は、前記従来の問題を解決し、高速動作が可能なMIPS構造を持つメタルゲートを含む半導体装置を得られるようにすることを目的とする。

課題を解決するための手段

[0017] 前記の目的を達成するため、本発明は、半導体装置を、ゲート電極と電気的に接続されるコンタクトとメタルゲートを構成する金属膜とをシリコン膜を介在させることなく接続する構成とする。

[0018] 具体的に、本発明に係る第1の半導体装置は、半導体領域の上に形成されたゲート絶縁膜と、ゲート絶縁膜の上に順次形成され、第1の金属膜とシリコンからなる導電膜とにより構成されたゲート電極と、半導体領域の上にゲート電極を覆うように形成された絶縁膜と、絶縁膜及び導電膜を貫通して第1の金属膜と直接に接続された第2の金属膜とを備えていることを特徴とする。

[0019] 第1の半導体装置によると、絶縁膜及び導電膜を貫通して第1の金属膜と直接に接続された第2の金属膜を備えており、すなわち、コンタクトである

第2の金属膜が第1の金属膜とシリコンとの高抵抗となりやすい界面を介することなく直接に接続されるため、高速動作を実現することができる。

[0020] 本発明に係る第2の半導体装置は、互いの極性が異なる第1の半導体領域及び第2の半導体領域の上に形成されたゲート絶縁膜と、ゲート絶縁膜における第1の半導体領域の上に形成された第1の導電膜を含む第1のゲート電極と、ゲート絶縁膜における第2の半導体領域の上に順次形成され、第1の金属膜とシリコンからなる第2の導電膜とにより構成された第2のゲート電極と、第1の半導体領域及び第2の半導体領域の上にゲート電極を覆うように形成された絶縁膜と、絶縁膜を貫通して第1の金属膜と接続された第2の金属膜とを備え、第1の金属膜は第2の半導体領域における第1の半導体領域との境界部分において第2の半導体領域に対して垂直に立ち上がる垂直部を有し、第1の金属膜における垂直部の上端面は、第1の導電膜及び第2の導電膜から露出しており、第2の金属膜は、第1の金属膜における垂直部の上端面と接続されていることを特徴とする。

[0021] 第2の半導体装置によると、メタルゲートを構成する第1の金属膜は、第2の半導体領域における第1の半導体領域との境界部分において第2の半導体領域に対して垂直に立ち上がる垂直部を有し、第1の金属膜における垂直部の上端面は、第1の導電膜及び第2の導電膜から露出しており、第2の金属膜は、第1の金属膜における垂直部の上端面と接続されている。これにより、コンタクトである第2の金属膜が第1の金属膜とシリコンとの高抵抗となりやすい界面を介することがないため、高速動作を実現することができる。

[0022] 第2の半導体装置において、第1の導電膜はシリコンからなることが好ましい。

[0023] また、第2の半導体装置において、第1の導電膜は第3の金属膜であることが好ましい。

[0024] 第2の半導体装置は、第1の導電膜の上面、第2の導電膜の上面及び第1の金属膜における垂直部の上端面を覆う第4の金属膜をさらに備え、第2の

金属膜は、第１の金属膜における垂直部の上端面と第４の金属膜を介して電氣的に接続されていることが好ましい。

[0025] 第２の半導体装置は、第１の導電膜の上面、第２の導電膜の上面及び第１の金属膜における垂直部の上端面を覆うように順次形成され、シリコンからなる第３の導電膜と第４の金属膜とをさらに備え、第２の金属膜は、第４の金属膜及び第３の導電膜を貫通して第１の金属膜における垂直部の上端面と直接に接続されていることが好ましい。

[0026] この場合に、第４の金属膜は金属シリサイド又は高融点金属からなることが好ましい。

[0027] 本発明に係る第１の半導体装置の製造方法は、半導体領域の上にゲート絶縁膜を形成する工程と、ゲート絶縁膜の上に、第１の金属膜及びシリコンからなる導電膜を順次形成する工程と、第１の金属膜及び導電膜をパターンニングすることにより、第１の金属膜及び導電膜からゲート電極を形成する工程と、半導体領域の上に、ゲート電極を覆う絶縁膜を形成する工程と、絶縁膜及び導電膜に対して、第１の金属膜を露出するコンタクトホールを形成する工程と、コンタクトホールに第２の金属膜を第１の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする。

[0028] 本発明に係る第２の半導体装置の製造方法は、互いの極性が異なる第１の半導体領域と第２の半導体領域とを有する半導体基板の上にゲート絶縁膜を形成する工程と、第２の半導体領域におけるゲート絶縁膜の上に、第１の金属膜を選択的に形成する工程と、第１の半導体領域におけるゲート絶縁膜の上及び第２の半導体領域における第１の金属膜の上に、シリコンからなる導電膜を形成する工程と、第１の半導体領域においては、導電膜をパターンニングして導電膜から第１のゲート電極を形成し、第２の半導体領域においては、導電膜及び第１の金属膜をパターンニングして導電膜及び第１の金属膜から第２のゲート電極を形成する工程と、第１の半導体領域及び第２の半導体領域の上に、第１のゲート電極及び第２のゲート電極を覆う絶縁膜を形成する工程と、絶縁膜及び導電膜に対して、第１の金属膜を露出するコンタクトホ

ールを形成する工程と、コンタクトホールに第2の金属膜を第1の金属膜と直接に接続されるように埋め込む工程とを備えていることを特徴とする。

[0029] 本発明に係る第3の半導体装置の製造方法は、互いの極性が異なる第1の半導体領域と第2の半導体領域とを有する半導体基板の上にゲート絶縁膜を形成する第1の工程と、第1の半導体領域におけるゲート絶縁膜の上に、シリコンからなる第1の導電膜を選択的に形成する第2の工程と、第1の半導体領域における第1の導電膜の上及び該第1の導電膜における第2の半導体領域側の側面、並びに第2の半導体領域におけるゲート絶縁膜の上に跨るように、第1の金属膜を形成する第3の工程と、第1の金属膜の上に、シリコンからなる第2の導電膜を形成する第4の工程と、第2の導電膜を研磨することにより、第1の導電膜と、第1の金属膜における第1の導電膜及び第2の導電膜に挟まれた第1の導電膜の側面上部分の上端面とを露出する第5の工程と、第1の半導体領域においては、第1の導電膜をパターニングして第1の導電膜から第1のゲート電極を形成し、第2の半導体領域においては、第2の導電膜及び第1の金属膜をパターニングして第2の導電膜及び第1の金属膜から第2のゲート電極を形成する第6の工程と、第1の半導体領域及び第2の半導体領域の上に、第1のゲート電極及び第2のゲート電極を覆う絶縁膜を形成する第7の工程と、絶縁膜に対して、第1の金属膜における上端面を露出するコンタクトホールを形成する第8の工程と、コンタクトホールに第2の金属膜を第1の金属膜における上端面と直接に接続されるように埋め込む第9の工程とを備えていることを特徴とする。

[0030] 第3の半導体装置の製造方法は、第1の工程と第2の工程との間に、ゲート絶縁膜の上における第1の半導体領域に、第3の金属膜を選択的に形成する第10の工程をさらに備え、第6の工程において、第1のゲート電極は、第3の金属膜をもパターニングすることにより、第1の導電膜及び第3の金属膜により構成されることが好ましい。

発明の効果

[0031] 本発明に係る半導体装置及びその製造方法によると、高速動作が可能なM

I P S 構造を持つメタルゲートを有する半導体装置を得ることができる。

図面の簡単な説明

[0032] [図1] 図 1 は本発明の第 1 の実施形態に係る半導体装置を示す構成断面図である。

[図2] 図 2 は本発明の第 1 の実施形態の第 1 変形例に係る半導体装置を示す構成断面図である。

[図3] 図 3 は本発明の第 1 の実施形態の第 2 変形例に係る半導体装置を示す構成断面図である。

[図4] 図 4 (a) ~ 図 4 (e) は本発明の第 1 の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

[図5] 図 5 は本発明の第 2 の実施形態に係る半導体装置を示す構成断面図である。

[図6] 図 6 は本発明の第 2 の実施形態の第 1 変形例に係る半導体装置を示す構成断面図である。

[図7] 図 7 は本発明の第 2 の実施形態の第 2 変形例に係る半導体装置を示す構成断面図である。

[図8] 図 8 (a) ~ 図 8 (f) は本発明の第 2 の実施形態の第 1 変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

[図9] 図 9 は本発明の第 3 の実施形態に係る半導体装置を示す構成断面図である。

[図10] 図 10 は本発明の第 3 の実施形態の一変形例に係る半導体装置を示す構成断面図である。

[図11] 図 11 (a) ~ 図 11 (c) は本発明の第 3 の実施形態に係る半導体装置の要部の製造方法を示す工程順の構成断面図である。

[図12] 図 12 は本発明の第 4 の実施形態に係る半導体装置を示す構成断面図である。

[図13] 図 13 は本発明の第 4 の実施形態の一変形例に係る半導体装置を示す構成断面図である。

[図14] 図14(a)～図14(c)は本発明の第4の実施形態に係る半導体装置の要部の製造方法を示す工程順の構成断面図である。

[図15] 図15は本発明の第5の実施形態に係る半導体装置を示す構成断面図である。

[図16] 図16は本発明の第5の実施形態の第1変形例に係る半導体装置を示す構成断面図である。

[図17] 図17は本発明の第5の実施形態の第2変形例に係る半導体装置を示す構成断面図である。

[図18] 図18(a)～図18(f)は本発明の第5の実施形態の第1変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

[図19] 図19(a)～図19(f)は従来のMIPS構造のメタルゲートを有する半導体装置の製造方法を示す工程順の構成断面図である。

[図20] 図20は従来のMIPS構造のメタルゲートにおけるポリシリコン膜とTiN膜との間の界面抵抗の値とゲート電極の遅延時間との関係を示すグラフである。

符号の説明

- [0033]
- | | |
|----|----------------------------|
| 1 | 半導体基板（半導体領域） |
| 2 | 素子分離膜 |
| 3 | ゲート絶縁膜 |
| 4 | 窒化チタン（TiN）膜 |
| 4A | 窒化チタン（TiN）膜 |
| 4a | 垂直部 |
| 5 | （第1の）ポリシリコン膜 |
| 6 | サイドウォール |
| 7 | ニッケルシリサイド層 |
| 8 | 層間絶縁膜 |
| 9 | コンタクト |
| 10 | 炭化タンタル（Ta ₂ C）膜 |

- 1 1 第2のポリシリコン膜
- 1 2 第3のポリシリコン膜
- 1 3 導電性保護膜
- 1 4 絶縁性保護膜
- 2 0 ゲート電極
- 2 0 a 第1のゲート電極部
- 2 0 b 第2のゲート電極部
- 5 0 N NFET形成領域
- 5 0 P PFET形成領域

発明を実施するための最良の形態

[0034] (第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

[0035] 図1は本発明の第1の実施形態に係る半導体装置であって、MIPS構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。

[0036] 図1に示すように、シリコン(Si)からなる半導体基板1の上部は、シャロウトレンチ分離(STI)等からなる素子分離膜2によって、NFET(N-type field effect transistor)形成領域50NとPFET(P-type field effect transistor)形成領域50Pとに区画されている。

[0037] 素子分離膜2が形成された半導体基板1に主面上には、厚さが1.5nmの酸化シリコン(SiO₂)膜と厚さが3.0nmの酸窒化ハフニウムシリコン(HfSiON)膜とからなるゲート絶縁膜3が形成されている。

[0038] ゲート絶縁膜3の上には、NFET形成領域50N及びPFET形成領域50Pに跨ってゲート電極20が形成されている。具体的には、NFET形成領域50Nにおいては、上部にニッケルシリサイド層7が形成され且つ厚さが100nmのポリシリコン膜5により構成された第1のゲート電極部20aが形成され、PFET形成領域50Pにおいては、厚さが10nmの窒化チタン(TiN)膜4と上部にニッケルシリサイド層7が形成され且つ厚

さが100nmのポリシリコン膜5とにより構成された第2のゲート電極部20bが形成されている。なお、ニッケルシリサイド層7において、シリサイド化する金属はニッケル(Ni)に限られず、コバルト(Co)又はチタン(Ti)等を用いることができる。

[0039] ゲート電極20は、例えば酸化シリコンからなる層間絶縁膜8により覆われている。ゲート電極20におけるNFET形成領域50N及びPFET形成領域50Pの境界部分には、層間絶縁膜8、ニッケルシリサイド層7及びポリシリコン膜5を貫通してTiN膜4と直接に接続されたチタン(Ti)、窒化チタン(TiN)及びタングステン(W)が積層されてなるコンタクト9が形成されている。なお、コンタクト9の形成位置は、必ずしもNFET形成領域50N及びPFET形成領域50Pの境界部分に限られず、コンタクト9とTiN膜4とが直接に接続される位置であれば構わない。

[0040] このように、第1の実施形態によると、コンタクト9は、第2のゲート電極部20bにおけるポリシリコン膜5を貫通してTiN膜4と直接に接続されている。従って、コンタクト9とTiN膜4との間には、ポリシリコン膜5とTiN膜4との間の高抵抗となりやすい界面が介在しないため、PFETに対して高速動作を実現することができる。

[0041] (第1の実施形態の第1変形例)

図2に本発明の第1の実施形態の第1変形例に係る半導体装置の断面構成を示す。図2において、図1と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0042] 図2に示すように、第1変形例においては、第1のゲート電極部20aに対しても、第2のゲート電極部20bと同様に、ゲート絶縁膜3とポリシリコン膜5との間に、TiN膜4Aを設けるMIPS構造としてもよい。但し、この場合には、NFETにおけるゲート絶縁膜3に対する仕事関数の値の調整は、第1のゲート電極部20aのポリシリコン膜5に対するドーパント種の変更等により行うことができる。また、ゲート絶縁膜3の上にキャップ膜、例えば酸化ランタン(LaO)膜を堆積することによっても行うことが

できる。

[0043] (第1の実施形態の第2変形例)

また、図3に示す第2変形例のように、第1のゲート電極部20aの金属材料を炭化タンタル(Ta_2C)膜10とし、第2のゲート電極部20bの金属材料をTiN膜4としてもよい。

[0044] このように、NFETに対してもMIPS構造としてもよく、NFETを構成するメタルゲートが第1変形例のようにPFETを構成するメタルゲートと同一の金属材料を用いる場合には、例えばポリシリコン膜5へのドーパント種を変更し、また、第2変形例のようにPFETを構成するメタルゲートと異なる金属材料を用いる場合には、 Ta_2C 又は TaC 等の有効仕事関数が4.6eV以下で、NFETの動作特性の向上に有効な金属材料を用いればよい。

[0045] なお、第1の実施形態及びその各変形例において、ゲート電極20を構成するポリシリコン膜5の上部に形成したニッケルシリサイド層7は、必ずしも形成する必要はない。

[0046] 以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

[0047] 図4(a)～図4(e)は本発明の第1の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。

[0048] まず、図4(a)に示すように、Siからなる半導体基板1の上部に、STI等からなる素子分離膜2を選択的に形成して、半導体基板1をNFET形成領域50NとPFET形成領域50Pとに区画する。その後、図示はしないが、半導体基板1のNFET形成領域50Nにはp型の不純物によるしきい値(V_t)制御用の不純物注入を行い、PFET形成領域50Pにはn型の不純物による V_t 制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板1の表面酸化膜を除去する。その後、熱酸化法により、半導体基板1の表面に、厚さが1.5nmの酸化シリコンからなる熱酸化膜(図示せず)を形成する。続いて、CVD法により、熱酸

化膜の上に厚さが3.0nmの酸化ハフニウムシリコン(HfSiO)膜を堆積する。さらに、堆積したHfSiO膜の表面を窒化処理することにより、酸窒化ハフニウムシリコン(HfSiON)と酸化シリコン(SiO₂)との高誘電体を含む積層膜からなるゲート絶縁膜3を形成する。なお、高誘電体は、酸窒化ハフニウムシリコンに限られず、酸化ハフニウムシリコン(HfSiO)、酸化ハフニウム(HfO₂)又はジルコニウム(Zr)系酸化物等を用いることができる。また、ゲート絶縁膜3は、高誘電体材料を含まない酸化シリコン(SiO₂)又は酸窒化シリコン(SiON)でも構わない。続いて、ゲート絶縁膜3の上に全面にわたって、厚さが10nmの窒化チタン(TiN)膜4を堆積する。ここでは、TiN膜4の成膜には、化学的気相堆積(CVD)法、物理的気相堆積(PVD)法又は原子層堆積(ALD)法等を用いることができる。また、メタルゲート用の金属材料は、TiNに限られず、TaCNO又はTa₂N等の有効仕事関数が4.6eV以上の、PFETの動作特性の向上に有効な金属を含む材料を用いることができる。続いて、リソグラフィ法により、PFET形成領域50Pを覆うレジストマスク(図示せず)を形成し、形成したレジストマスクを用いて、NFET形成領域50NのTiN膜4をウェットエッチングにより除去する。その後、レジストマスクを除去する。

[0049] 次に、図4(b)に示すように、CVD法により、ゲート絶縁膜3及びTiN膜4の上に全面にわたって、厚さが100nmの導電性を持たせたポリシリコン膜5を堆積する。

[0050] 次に、図4(c)に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、NFET形成領域50Nにおいては、ポリシリコン膜5からなる第1のゲート電極部20aを形成する。一方、PFET形成領域50Pにおいては、TiN膜4及びポリシリコン膜5からなるメタルゲートとなる第2のゲート電極部20bを形成する。続いて、図示はしないが、ゲート電極20をマスクとした半導体基板1へのエクステンション注入によるLDD(lightly doped drain)層の形成、ゲート電極20へ

のサイドウォール6の形成、及びゲート電極20及びサイドウォール6をマスクとした半導体基板1へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

[0051] 次に、図4(d)に示すように、半導体基板1上の全面にニッケル(Ni)膜を堆積して、所定の熱処理を行うことにより、ソース／ドレインの上部及びゲート電極20の上部にそれぞれニッケルシリサイド層7を形成する。

[0052] 次に、図4(e)に示すように、半導体基板1の上に層間絶縁膜8を堆積し、堆積した層間絶縁膜8の上面を化学機械研磨(CMP)法により平坦化する。続いて、ゲート電極20におけるNFET形成領域50NとPFET形成領域50Pとの境界部分に、層間絶縁膜8、ニッケルシリサイド層7及びポリシリコン膜5に対して、その下側のTiN膜4を露出するコンタクトホールを選択的に形成する。その後、スパッタ法によるTi膜とCVD法によるTiN膜及びW膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト9を形成する。

[0053] これにより、PFET形成領域50Pにおいては、MIPS構造であって、コンタクト9がTiN膜4と直接に接続されたメタルゲートが形成され、NFET形成領域50Nにおいては、ポリシリコンゲートが形成される。

[0054] 以上の製造方法により、高周波動作に適したNFET及びPFETを有する半導体装置を形成することができる。

[0055] (第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

[0056] 図5は本発明の第2の実施形態に係る半導体装置であって、MIPS構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。

[0057] 図5に示すように、Siからなる半導体基板1の上部は、STI等からなる素子分離膜2によって、NFET形成領域50NとPFET形成領域50Pとに区画されている。

[0058] 素子分離膜2が形成された半導体基板1に主面上には、厚さが1.5nm

の SiO_2 膜と厚さが3.0nmの HfSiON 膜とからなるゲート絶縁膜3が形成されている。

[0059] ゲート絶縁膜3の上には、NFEET形成領域50N及びPFET形成領域50Pに跨ってゲート電極20が形成されている。具体的には、NFEET形成領域50Nにおいては、厚さが100nmの第1のポリシリコン膜5により構成された第1のゲート電極部20aが形成され、PFET形成領域50Pにおいては、厚さが10nmのTiN膜4と厚さが90nmの第2のポリシリコン膜11とにより構成された第2のゲート電極部20bが形成されている。

[0060] 第2の実施形態の特徴として、PFETを構成するTiN膜4は、PFET形成領域50PにおけるNFEET形成領域50Nとの境界部分において半導体基板1の主面に対して垂直に立ち上がる垂直部4aを有している。なお、垂直部4aの形成位置は、必ずしもNFEET形成領域50N及びPFET形成領域50Pの境界部分に限られない。

[0061] ゲート電極20は、例えば酸化シリコンからなる層間絶縁膜8により覆われている。ゲート電極20におけるTiN膜4の垂直部4aの上側部分には、層間絶縁膜8を貫通してTiN膜4の垂直部4aと直接に接続されたTi、TiN及びWが積層されてなるコンタクト9が形成されている。

[0062] このように、第2の実施形態によると、コンタクト9は、第2のゲート電極部20bを構成するTiN膜4が第2のポリシリコン膜11から露出した垂直部4aと直接に接続されている。従って、コンタクト9とTiN膜4との間には、第2のポリシリコン膜11とTiN膜4との間の高抵抗となりやすい界面が介在しないため、PFETに対して高速動作を実現することができる。

[0063] (第2の実施形態の第1変形例)

図6に本発明の第2の実施形態の第1変形例に係る半導体装置の断面構成を示す。図6において、図5と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0064] 図6の第1変形例に示すように、ゲート電極20を構成する第1のポリシリコン膜5及び第2のポリシリコン膜11の上部にニッケルシリサイド層7が形成されていてもよい。

[0065] (第2の実施形態の第2変形例)

また、図7に示す第2変形例のように、ゲート電極20を構成する各ポリシリコン膜5、11の上部にニッケルシリサイド層7が形成されている場合には、コンタクト9は、必ずしもTiN膜4の垂直部4aと直接に接続される必要はなく、ニッケルシリサイド層7を介して接続されていてもよい。

[0066] 以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

[0067] 図8(a)～図8(f)は本発明の第2の実施形態の第1変形例に係る半導体装置の製造方法の工程順の断面構成を示している。

[0068] まず、図8(a)に示すように、Siからなる半導体基板1の上部に、STI等からなる素子分離膜2を選択的に形成して、半導体基板1をNFE T形成領域50NとPFET形成領域50Pとに区画する。その後、図示はしないが、半導体基板1のNFE T形成領域50Nにはp型の不純物によるV_t制御用の不純物注入を行い、PFET形成領域50Pにはn型の不純物によるV_t制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板1の表面酸化膜を除去する。その後、熱酸化法により、半導体基板1の表面に、厚さが1.5nmの酸化シリコンからなる熱酸化膜(図示せず)を形成する。続いて、CVD法により、熱酸化膜の上に厚さが3.0nmのHfSiO膜を堆積する。さらに、堆積したHfSiO膜の表面を窒化処理することにより、HfSiONとSiO₂との高誘電体を含む積層膜からなるゲート絶縁膜3を形成する。なお、ゲート絶縁膜3は、高誘電体材料を含まないSiO₂又はSiONでも構わない。続いて、ゲート絶縁膜3の上に全面にわたって、CVD法により、厚さが150nmの導電性を持たせた第1のポリシリコン膜5を堆積する。続いて、リソグラフィ法により、NFE T形成領域50Nを覆うレジストマスク(図示せず)を形成し

、形成したレジストマスクを用いて、P F E T形成領域5 0 Pの第1のポリシリコン膜5をウェットエッチングにより除去する。ここで、ポリシリコンに対するウェットエッチングにはアンモニア（ NH_3 ）溶液を用いることができる。アンモニア溶液を用いたH f S i O Nのシリコンに対するエッチング選択比はほぼ0であり、従って、アンモニア溶液により、ゲート絶縁膜3をエッチングすることなく、第1のポリシリコン膜5をエッチングすることができる。その後、レジストマスクを除去する。

[0069] 次に、図8（b）に示すように、P V D法により、ゲート絶縁膜3及び第1のポリシリコン膜5の上に全面にわたって、厚さが1 0 n mのT i N膜4を堆積する。なお、T i N膜4の堆積にはC V D法又はA L D法を用いてもよい。なお、成膜されるT i N膜4には、N F E T形成領域5 0 Nに形成された第1のポリシリコン膜5のP F E T形成領域5 0 P側の端面上に垂直部4 aが形成される必要がある。また、P F E Tのメタルゲート形成用の金属材料はT i Nに限られず、T a C N O又はT a N等の有効仕事関数が4. 6 e V以上のP F E Tの動作特性の向上に有効な金属材料を用いることができる。続いて、C V D法により、T i N膜4の上に厚さが1 5 0 n mの導電性を持たせた第2のポリシリコン膜1 1を堆積する。

[0070] 次に、図8（c）に示すように、C M P法により、堆積した第2のポリシリコン膜1 1、T i N膜4及び第1のポリシリコン膜5に対して研磨を行って表面を平坦化する。ここでは、N F E T形成領域5 0 Nにおける第1のポリシリコン膜5の厚さが1 0 0 n mとなるように研磨し、これにより、P F E T形成領域5 0 pにおいては、第2のポリシリコン膜1 1の厚さは9 0 n mとなる。また、このC M P工程により、N F E T形成領域5 0 NとP F E T形成領域5 0 Pとの境界部分において、堆積したT i N膜4の垂直部4 aが第1のポリシリコン膜5及び第2のポリシリコン膜1 1の間から露出する。

[0071] 次に、図8（d）に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T形成領域5 0 Nにおいては、

第1のポリシリコン膜5からなる第1のゲート電極部20aを形成する。一方、PFEET形成領域50Pにおいては、TiN膜4及び第2のポリシリコン膜11からなるメタルゲートとなる第2のゲート電極部20bを形成する。続いて、図示はしないが、ゲート電極20をマスクとした半導体基板1へのエクステンション注入によるLDD層の形成、ゲート電極20へのサイドウォール6の形成、及びゲート電極20及びサイドウォール6をマスクとした半導体基板1へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

[0072] 次に、図8(e)に示すように、半導体基板1上の全面にニッケル(Ni)膜を堆積して、所定の熱処理を行うことにより、ソース／ドレインの上部及びゲート電極20を構成する第1のポリシリコン膜5及び第2のポリシリコン膜11のそれぞれの上部にニッケルシリサイド層7を形成する。

[0073] 次に、図8(f)に示すように、半導体基板1の上に層間絶縁膜8を堆積し、堆積した層間絶縁膜8の上面をCMP法により平坦化する。続いて、ゲート電極20におけるNFET形成領域50NとPFEET形成領域50Pとの境界部分に、層間絶縁膜8に対して、その下側のTiN膜4の垂直部4aを露出するコンタクトホールを形成する。その後、スパッタ法によるTi膜とCVD法によるTiN膜及びW膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト9を形成する。

[0074] これにより、PFEET形成領域50Pにおいては、MIPS構造であって、コンタクト9がTiN膜4の垂直部4aと直接に接続されたメタルゲートが形成され、NFET形成領域50Nにおいては、ポリシリコンゲートが形成される。

[0075] 以上説明したように、第2の実施形態においては、PFEETのメタルゲートを構成するTiN膜4にその上側に形成される第2のポリシリコン膜11から露出する垂直部4aを設けているため、層間絶縁膜8にのみコンタクトホールを形成するだけで、高周波動作に適したNFET及びPFEETを有する半導体装置を形成することができる。

[0076] なお、上述した製造方法のように、ゲート電極 20 を構成するポリシリコン膜 5、11 にニッケルシリサイド層 7 を形成する場合には、コンタクト 9 の下端部は必ずしも T i N 膜 4 の垂直部 4 a と直接に接続される必要はなく、ニッケルシリサイド層 7 と直接に接続されればよい。

[0077] (第 3 の実施形態)

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

[0078] 図 9 は本発明の第 3 の実施形態に係る半導体装置であって、M I P S 構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図 9 において、図 6 と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0079] 図 9 に示すように、第 3 の実施形態に係る半導体装置は、ゲート電極 20 を構成する第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 11 の上に、厚さが 20 nm の導電性を持たせた第 3 のポリシリコン膜 12 が形成されている。

[0080] なお、ここでは、第 3 のポリシリコン膜 12 の上部はニッケルシリサイド層 7 が形成されている。従って、コンタクト 9 は、ニッケルシリサイド層 7 及び第 3 のポリシリコン膜 12 を貫通して、T i N 膜 4 の垂直部 4 a の上端面と直接に接続されている。

[0081] (第 3 の実施形態の一変形例)

図 10 に第 3 の実施形態の一変形例に係る半導体装置の断面構成を示す。

[0082] 図 10 に示すように、本変形例に係る半導体装置は、第 3 のポリシリコン膜 12 の厚さを、例えば 10 nm 程度に薄くしており、このため、ニッケルシリサイド層 7 自体が第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 11 と接触している。

[0083] この場合には、コンタクト 9 の下端面は、T i N 膜 4 の垂直部 4 a の上端面と直接に接続される必要はなく、ニッケルシリサイド層 7 と接続されればよい。従って、図 7 に示す第 2 の実施形態の第 2 変形例に示すように、コンタクト 9 の形成位置は、T i N 膜 4 における垂直部 4 a の上側部分から

ずれていてもよい。

[0084] 以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

[0085] 図 1 1 (a) ~ 図 1 1 (c) は本発明の第 3 の実施形態に係る半導体装置の要部の製造方法の工程順の断面構成を示している。ここでは、第 2 の実施形態との相違点のみを説明する。

[0086] まず、図 1 1 (a) に示すように、CMP 法により平坦化された、N F E T 形成領域 5 0 N における第 1 のポリシリコン膜 5 の上と、P F E T 形成領域 5 0 p における第 2 のポリシリコン膜 1 1 及び T i N 膜 4 の垂直部 4 a の上とに全面にわたって、厚さが 2 0 n m の導電性を持たせた第 3 のポリシリコン膜 1 2 を C V D 法により堆積する。この第 3 のポリシリコン膜 1 2 を堆積することにより、第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 1 1 から露出した T i N 膜 4 の垂直部 4 a の上端面が保護される。このため、後工程であるエクステンション注入工程におけるイオン注入機による金属汚染等を防止することができる。

[0087] 次に、図 1 1 (b) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T 形成領域 5 0 N においては、第 1 のポリシリコン膜 5 及び第 3 のポリシリコン 1 2 膜からなる第 1 のゲート電極部 2 0 a を形成する。一方、P F E T 形成領域 5 0 P においては、T i N 膜 4、第 2 のポリシリコン膜 1 1 及び第 3 のポリシリコン膜 1 2 からなるメタルゲートとなる第 2 のゲート電極部 2 0 b を形成する。続いて、図示はしないが、ゲート電極 2 0 をマスクとした半導体基板 1 へのエクステンション注入による L D D 層の形成、ゲート電極 2 0 へのサイドウォール 6 の形成、及びゲート電極 2 0 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。その後、半導体基板 1 上の全面にニッケル (N i) 膜を堆積して、所定の熱処理を行うことにより、ソース／ドレインの上部及び第 3 のポリシリコン膜 1 2 の上部にそれぞれニッケルシリサイド層 7 を形成する。ここで、第

2のポリシリコン膜12の厚さが10nm程度の場合には、該第2のポリシリコン膜12は、その膜厚の大部分がニッケルシリサイド層7となる。

[0088] 次に、図11(c)に示すように、半導体基板1の上に層間絶縁膜8を堆積し、堆積した層間絶縁膜8の上面をCMP法により平坦化する。続いて、ゲート電極20におけるNFET形成領域50NとPFET形成領域50Pとの境界部分に、層間絶縁膜8、ニッケルシリサイド層7及び第3のポリシリコン膜12を貫通して、TiN膜4の垂直部4aを露出するコンタクトホールを形成する。その後、スパッタ法によるTi膜とCVD法によるTiN膜及びW膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト9を形成する。ここで、第3のポリシリコン膜12の膜厚を薄くするか、ニッケル膜の膜厚を厚くした場合は、第3のポリシリコン膜12はすべてシリサイド化し、ニッケルシリサイド層7とTiN膜4の垂直部4aとが直接に接続される。このため、コンタクトホールは、ニッケルシリサイド層7に接触させるだけでよい。

[0089] これにより、PFET形成領域50Pにおいては、MIPS構造であって、コンタクト9がTiN膜4の垂直部4aと直接に又はニッケルシリサイド層7を介して接続されたメタルゲートが形成され、NFET形成領域50Nにおいては、ポリシリコンゲートが形成される。

[0090] 以上説明したように、第3の実施形態においては、PFETのメタルゲートを構成するTiN膜4にその上側に形成される第2のポリシリコン膜11から露出する垂直部4aと、該垂直部4aを覆う第3のポリシリコン膜12及びニッケルシリサイド層7と、垂直部4aまで貫通したコンタクト9とを設けている。このため、コンタクト9とTiN膜4との間の電流経路には、ポリシリコン膜が介在しなくなるため、高周波動作に適したNFET及びPFETを有する半導体装置を形成することができる。

[0091] (第4の実施形態)

以下、本発明の第4の実施形態について図面を参照しながら説明する。

[0092] 図12は本発明の第4の実施形態に係る半導体装置であって、MIPS構

造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図 1 2 において、図 5 と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0093] 図 1 2 に示すように、第 4 の実施形態に係る半導体装置は、ゲート電極 2 0 を構成する第 1 のポリシリコン膜 5、T i N 膜 4 の垂直部 4 a 及び第 2 のポリシリコン膜 1 1 の上には、厚さが 1 0 n m の T i N 膜及び厚さが 5 0 n m の W 膜からなる金属膜 1 3 と、窒化シリコン (S i N) からなるキャップ絶縁膜 1 4 とが順次形成されている。

[0094] 従って、第 4 の実施形態に係るコンタクト 9 は、キャップ絶縁膜 1 4 を貫通し、且つ金属膜 1 3 を介して T i N 膜 4 の垂直部 4 a の上端面と電氣的に接続されている。

[0095] (第 4 の実施形態の一変形例)

図 1 3 に第 4 の実施形態の一変形例を示す。第 4 の実施形態においては、P F E T を構成するメタルゲートの T i N 膜 4 は、コンタクト 9 と金属膜 1 3 を介して電氣的に接続されるため、図 1 3 に示すように、コンタクト 9 の形成位置は、T i N 膜 4 における垂直部 4 a の上側部分からずれていてもよい。

[0096] 以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

[0097] 図 1 4 (a) ~ 図 1 4 (c) は本発明の第 4 の実施形態に係る半導体装置の要部の製造方法の工程順の断面構成を示している。ここでは、第 2 の実施形態及び第 3 の実施形態との相違点のみを説明する。

[0098] まず、図 1 4 (a) に示すように、CMP 法により平坦化された、N F E T 形成領域 5 0 N における第 1 のポリシリコン膜 5 の上と、P F E T 形成領域 5 0 p における第 2 のポリシリコン膜 1 1 及び T i N 膜 4 の垂直部 4 a の上とに全面にわたって、P V D 法による厚さが 1 0 n m の T i N 膜と P V D 法による厚さが 5 0 n m の W 膜とからなる金属膜 1 3 を形成する。続いて、金属膜 1 3 の上に、低圧 C V D 法による厚さが 1 0 0 n m の S i N からなる

キャップ絶縁膜 14 を形成する。

[0099] 次に、図 14 (b) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T 形成領域 50 N においては、第 1 のポリシリコン膜 5 及び金属膜 13 からなる第 1 のゲート電極部 20 a を形成する。一方、P F E T 形成領域 50 P においては、T i N 膜 4、第 2 のポリシリコン膜 11 及び金属膜 13 からなるメタルゲートとなる第 2 のゲート電極部 20 b を形成する。続いて、図示はしないが、ゲート電極 20 をマスクとした半導体基板 1 へのエクステンション注入による L D D 層の形成、ゲート電極 20 へのサイドウォール 6 の形成、及びゲート電極 20 及びサイドウォール 6 をマスクとした半導体基板 1 へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。その後、半導体基板 1 上の全面にニッケル (N i) 膜を堆積して、所定の熱処理を行うことにより、ソース／ドレインの上部にそれぞれニッケルシリサイド層 7 を形成する。

[0100] 次に、図 14 (c) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を C M P 法により平坦化する。続いて、ゲート電極 20 における N F E T 形成領域 50 N と P F E T 形成領域 50 P との境界部分に、層間絶縁膜 8 及びキャップ絶縁膜 14 を貫通して、金属膜 13 を露出するコンタクトホールを形成する。その後、スパッタ法による T i 膜と C V D 法による T i N 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

[0101] これにより、P F E T 形成領域 50 P においては、M I P S 構造であって、コンタクト 9 が、T i N 膜及び W 膜が積層されてなる金属膜 13 を介して T i N 膜 4 の垂直部 4 a と接続されたメタルゲートが形成され、N F E T 形成領域 50 N においては、ポリシリコンゲートが形成される。

[0102] 以上説明したように、第 4 の実施形態においては、P F E T のメタルゲートを構成する T i N 膜 4 にその上側に形成される第 2 のポリシリコン膜 11 から露出する垂直部 4 a と該垂直部 4 a を覆う金属膜 13 を設けている。このため、コンタクト 9 と T i N 膜 4 との間の電流経路には、ポリシリコン膜

が介在しなくなるため、高周波動作に適したN F E T及びP F E Tを有する半導体装置を形成することができる。

[0103] (第5の実施形態)

以下、本発明の第5の実施形態について図面を参照しながら説明する。

[0104] 図15は本発明の第5の実施形態に係る半導体装置であって、M I P S構造を採るメタルゲートを含むトランジスタのゲート幅方向の断面構成を示している。図15において、図5と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0105] 図15に示すように、第5の実施形態に係る半導体装置は、N F E Tを構成する第1のゲート電極部20aにおいても、ゲート絶縁膜3と第1のポリシリコン膜5との間に、N F E Tの動作特性の向上に有効な金属材料である例えば炭化タンタル(Ta_2C)を設けることによって、M I P S構造を採るメタルゲートとしている。

[0106] さらに、第5の実施形態に係るコンタクト9は、T i N膜4の垂直部4aの上端面と直接に接続されている。

[0107] (第5の実施形態の第1変形例)

図16に本発明の第5の実施形態の第1変形例に係る半導体装置の断面構成を示す。図16において、図15と同一の構成部材には同一の符号を付すことにより説明を省略する。

[0108] 図16の第1変形例に示すように、ゲート電極20を構成する第1のポリシリコン膜5及び第2のポリシリコン膜11の上部にニッケルシリサイド層7が形成されていてもよい。

[0109] (第5の実施形態の第2変形例)

また、図17に示す第2変形例のように、ゲート電極20を構成する各ポリシリコン膜5、11の上部にニッケルシリサイド層7が形成されている場合には、コンタクト9は、必ずしもT i N膜4の垂直部と直接に接続される必要はなく、ニッケルシリサイド層7を介して接続されていてもよい。

[0110] 以下、前記のように構成された半導体装置の製造方法について図面を参照

しながら説明する。

[0111] 図18(a)～図18(f)は本発明の第5の実施形態の第1変形例に係る半導体装置の製造方法の工程順の断面構成を示している。

[0112] まず、図18(a)に示すように、Siからなる半導体基板1の上部に、STI等からなる素子分離膜2を選択的に形成して、半導体基板1をNFET形成領域50NとPFET形成領域50Pとに区画する。その後、図示はしないが、半導体基板1のNFET形成領域50Nにはp型の不純物によるVt制御用の不純物注入を行い、PFET形成領域50Pにはn型の不純物によるVt制御用の不純物注入を行う。続いて、注入された不純物の活性化熱処理を行い、半導体基板1の表面酸化膜を除去する。その後、熱酸化法により、半導体基板1の表面に、厚さが1.5nmの酸化シリコンからなる熱酸化膜(図示せず)を形成する。続いて、CVD法により、熱酸化膜の上に厚さが3.0nmのHfSiO膜を堆積する。さらに、堆積したHfSiO膜の表面を窒化処理することにより、HfSiONとSiO₂との高誘電体を含む積層膜からなるゲート絶縁膜3を形成する。なお、ゲート絶縁膜3は、高誘電体材料を含まないSiO₂又はSiONでも構わない。続いて、ゲート絶縁膜3の上に全面にわたって、PVD法により、NFET用の金属材料である厚さが10nmのTa₂C膜10を堆積する。続いて、CVD法により、Ta₂C膜10の上に厚さが150nmの導電性を持たせた第1のポリシリコン膜5を堆積する。その後、リソグラフィ法により、NFET形成領域50Nを覆うレジストマスク(図示せず)を形成し、形成したレジストマスクを用いて、PFET形成領域50Pの第1のポリシリコン膜5及びTa₂C膜10をウェットエッチングにより除去する。その後、レジストマスクを除去する。

[0113] 次に、図18(b)に示すように、PVD法により、ゲート絶縁膜3及び第1のポリシリコン膜5の上に全面にわたって、PFET用の金属材料である厚さが10nmのTiN膜4を堆積する。なお、TiN膜4の堆積にはCVD法又はALD法を用いてもよい。なお、成膜されるTiN膜4には、N

F E T形成領域5 0 Nに形成されたT a₂C膜1 0及び第1のポリシリコン膜5のP F E T形成領域5 0 P側の端面上に垂直部4 aが形成される必要がある。また、P F E Tのメタルゲート形成用の金属材料はT i Nに限られず、T a C N O又はT a N等の有効仕事関数が4. 6 e V以上のP F E Tの動作特性の向上に有効な金属材料を用いることができる。続いて、C V D法により、T i N膜4の上に厚さが1 5 0 n mの導電性を持たせた第2のポリシリコン膜1 1を堆積する。

[0114] 次に、図1 8 (c) に示すように、CMP法により、堆積した第2のポリシリコン膜1 1、T i N膜4及び第1のポリシリコン膜5に対して研磨を行って表面を平坦化する。ここでは、N F E T形成領域5 0 Nにおける第1のポリシリコン膜5の厚さが9 0 n mとなるように研磨し、これにより、P F E T形成領域5 0 pにおいては、第2のポリシリコン膜1 1の厚さは9 0 n mとなる。また、このCMP工程により、N F E T形成領域5 0 NとP F E T形成領域5 0 Pとの境界部分において、堆積したT i N膜4の垂直部4 aが、第1のポリシリコン膜5及び第2のポリシリコン膜1 1の間から露出する。

[0115] 次に、図1 8 (d) に示すように、リソグラフィ法及びドライエッチング法により、ゲートパターンニングを行い、N F E T形成領域5 0 Nにおいては、T a₂C膜1 0及び第1のポリシリコン膜5からなるメタルゲートとなる第1のゲート電極部2 0 aを形成する。一方、P F E T形成領域5 0 Pにおいては、T i N膜4及び第2のポリシリコン膜1 1からなるメタルゲートとなる第2のゲート電極部2 0 bを形成する。続いて、図示はしないが、ゲート電極2 0をマスクとした半導体基板1へのエクステンション注入によるL D D層の形成、ゲート電極2 0へのサイドウォール6の形成、及びゲート電極2 0及びサイドウォール6をマスクとした半導体基板1へのソース／ドレイン注入を行い、注入された不純物の活性化熱処理を行う。

[0116] 次に、図1 8 (e) に示すように、半導体基板1上の全面にニッケル(N i)膜を堆積して、所定の熱処理を行うことにより、ソース／ドレインの上

部及びゲート電極 20 を構成する第 1 のポリシリコン膜 5 及び第 2 のポリシリコン膜 11 のそれぞれの上部にニッケルシリサイド層 7 を形成する。

[0117] 次に、図 18 (f) に示すように、半導体基板 1 の上に層間絶縁膜 8 を堆積し、堆積した層間絶縁膜 8 の上面を CMP 法により平坦化する。続いて、ゲート電極 20 における N F E T 形成領域 50 N と P F E T 形成領域 50 P との境界部分に、層間絶縁膜 8 に対して、その下側の T i N 膜 4 の垂直部 4 a を露出するコンタクトホールを形成する。その後、スパッタ法による T i 膜と C V D 法による T i N 膜及び W 膜とを順次堆積して、コンタクトホールを埋め込むことにより、コンタクト 9 を形成する。

[0118] これにより、P F E T 形成領域 50 P においては、M I P S 構造であって、コンタクト 9 が T i N 膜 4 の垂直部 4 a と直接に接続されたメタルゲートが形成される。また、N F E T 形成領域 50 N においても、T i N 膜 4 を介してコンタクト 9 と直接に接続された M I P S 構造となるメタルゲートが形成される。

[0119] 以上説明したように、第 5 の実施形態においては、P F E T のメタルゲートを構成する T i N 膜 4 にその上側に形成される第 2 のポリシリコン膜 11 から露出する垂直部 4 a を設けているため、層間絶縁膜 8 にのみコンタクトホールを形成するだけで、高周波動作に適した N F E T 及び P F E T を有する半導体装置を形成することができる。

[0120] なお、上述した製造方法のように、ゲート電極 20 を構成するポリシリコン膜 5、11 にニッケルシリサイド層 7 を形成する場合には、コンタクト 9 の下端部は必ずしも T i N 膜 4 の垂直部 4 a と直接に接続される必要はなく、ニッケルシリサイド層 7 と直接に接続されればよい。

産業上の利用可能性

[0121] 本発明に係る半導体装置及びその製造方法は、M I P S 構造を持つメタルゲートを有する半導体装置等に有用である。

請求の範囲

- [1] 半導体領域の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜の上に順次形成され、第 1 の金属膜とシリコンからなる導電膜とにより構成されたゲート電極と、
前記半導体領域の上に前記ゲート電極を覆うように形成された絶縁膜と、
前記絶縁膜及び導電膜を貫通して前記第 1 の金属膜と直接に接続された第 2 の金属膜とを備えている半導体装置。
- [2] 互いの極性が異なる第 1 の半導体領域及び第 2 の半導体領域の上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜における前記第 1 の半導体領域の上に形成された第 1 の導電膜を含む第 1 のゲート電極と、
前記ゲート絶縁膜における前記第 2 の半導体領域の上に順次形成され、第 1 の金属膜とシリコンからなる第 2 の導電膜とにより構成された第 2 のゲート電極と、
前記第 1 の半導体領域及び第 2 の半導体領域の上に前記ゲート電極を覆うように形成された絶縁膜と、
前記絶縁膜を貫通して前記第 1 の金属膜と接続された第 2 の金属膜とを備え、
前記第 1 の金属膜は、前記第 2 の半導体領域における前記第 1 の半導体領域との境界部分において前記第 2 の半導体領域に対して垂直に立ち上がる垂直部を有し、
前記第 1 の金属膜における前記垂直部の上端面は、前記第 1 の導電膜及び第 2 の導電膜から露出しており、
前記第 2 の金属膜は、前記第 1 の金属膜における前記垂直部の上端面と接続されている半導体装置。
- [3] 請求項 2 において、
前記第 1 の導電膜は、シリコンからなる半導体装置。
- [4] 請求項 2 において、

前記第 1 の導電膜は、第 3 の金属膜である半導体装置。

[5] 請求項 2 において、

前記第 1 の導電膜の上面、前記第 2 の導電膜の上面及び前記第 1 の金属膜における前記垂直部の上端面を覆う第 4 の金属膜をさらに備え、

前記第 2 の金属膜は、前記第 1 の金属膜における前記垂直部の上端面と前記第 4 の金属膜を介して電氣的に接続されている半導体装置。

[6] 請求項 5 において、

前記第 4 の金属膜は、金属シリサイド又は高融点金属からなる半導体装置。
。

[7] 請求項 2 において、

前記第 1 の導電膜の上面、前記第 2 の導電膜の上面及び前記第 1 の金属膜における前記垂直部の上端面を覆うように順次形成され、シリコンからなる第 3 の導電膜と第 4 の金属膜とをさらに備え、

前記第 2 の金属膜は、前記第 4 の金属膜及び第 3 の導電膜を貫通して前記第 1 の金属膜における前記垂直部の上端面と直接に接続されている半導体装置。

[8] 請求項 7 において、

前記第 4 の金属膜は、金属シリサイド又は高融点金属からなる半導体装置。
。

[9] 半導体領域の上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の上に、第 1 の金属膜及びシリコンからなる導電膜を順次形成する工程と、

前記第 1 の金属膜及び導電膜をパターニングすることにより、前記第 1 の金属膜及び導電膜からゲート電極を形成する工程と、

前記半導体領域の上に、前記ゲート電極を覆う絶縁膜を形成する工程と、

前記絶縁膜及び導電膜に対して、前記第 1 の金属膜を露出するコンタクトホールを形成する工程と、

前記コンタクトホールに第 2 の金属膜を前記第 1 の金属膜と直接に接続さ

れるように埋め込む工程とを備えている半導体装置の製造方法。

- [10] 互いの極性が異なる第 1 の半導体領域と第 2 の半導体領域とを有する半導体基板の上に、ゲート絶縁膜を形成する工程と、

前記第 2 の半導体領域における前記ゲート絶縁膜の上に、第 1 の金属膜を選択的に形成する工程と、

前記第 1 の半導体領域における前記ゲート絶縁膜の上及び前記第 2 の半導体領域における前記第 1 の金属膜の上に、シリコンからなる導電膜を形成する工程と、

前記第 1 の半導体領域においては、前記導電膜をパターニングして前記導電膜から第 1 のゲート電極を形成し、前記第 2 の半導体領域においては、前記導電膜及び第 1 の金属膜をパターニングして前記導電膜及び第 1 の金属膜から第 2 のゲート電極を形成する工程と、

前記第 1 の半導体領域及び第 2 の半導体領域の上に、前記第 1 のゲート電極及び第 2 のゲート電極を覆う絶縁膜を形成する工程と、

前記絶縁膜及び導電膜に対して、前記第 1 の金属膜を露出するコンタクトホールを形成する工程と、

前記コンタクトホールに第 2 の金属膜を前記第 1 の金属膜と直接に接続されるように埋め込む工程とを備えている半導体装置の製造方法。

- [11] 互いの極性が異なる第 1 の半導体領域と第 2 の半導体領域とを有する半導体基板の上に、ゲート絶縁膜を形成する第 1 の工程と、

前記第 1 の半導体領域における前記ゲート絶縁膜の上に、シリコンからなる第 1 の導電膜を選択的に形成する第 2 の工程と、

前記第 1 の半導体領域における前記第 1 の導電膜の上及び該第 1 の導電膜における前記第 2 の半導体領域側の側面、並びに前記第 2 の半導体領域における前記ゲート絶縁膜の上に跨るように、第 1 の金属膜を形成する第 3 の工程と、

前記第 1 の金属膜の上に、シリコンからなる第 2 の導電膜を形成する第 4 の工程と、

前記第２の導電膜を研磨することにより、前記第１の導電膜と、前記第１の金属膜における前記第１の導電膜及び第２の導電膜に挟まれた第１の導電膜の側面上部分の上端面とを露出する第５の工程と、

前記第１の半導体領域においては、前記第１の導電膜をパターニングして前記第１の導電膜から第１のゲート電極を形成し、前記第２の半導体領域においては、前記第２の導電膜及び第１の金属膜をパターニングして前記第２の導電膜及び第１の金属膜から第２のゲート電極を形成する第６の工程と、

前記第１の半導体領域及び第２の半導体領域の上に、前記第１のゲート電極及び第２のゲート電極を覆う絶縁膜を形成する第７の工程と、

前記絶縁膜に対して、前記第１の金属膜における前記上端面を露出するコンタクトホールを形成する第８の工程と、

前記コンタクトホールに第２の金属膜を前記第１の金属膜における前記上端面と直接に接続されるように埋め込む第９の工程とを備えている半導体装置の製造方法。

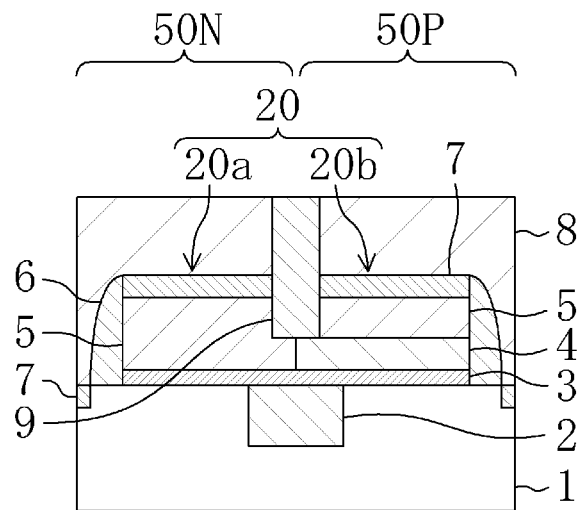
[12] 請求項１１において、

前記第１の工程と前記第２の工程との間に、

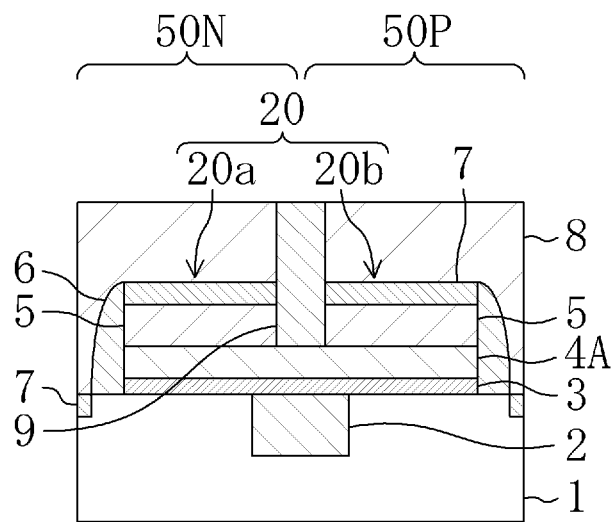
前記ゲート絶縁膜の上における前記第１の半導体領域に、第３の金属膜を選択的に形成する第１０の工程をさらに備え、

前記第６の工程において、前記第１のゲート電極は、前記第３の金属膜をもパターニングすることにより、前記第１の導電膜及び第３の金属膜により構成される半導体装置の製造方法。

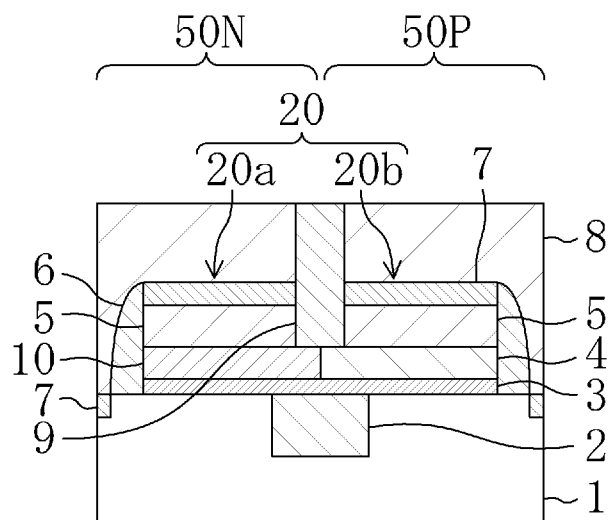
[図1]



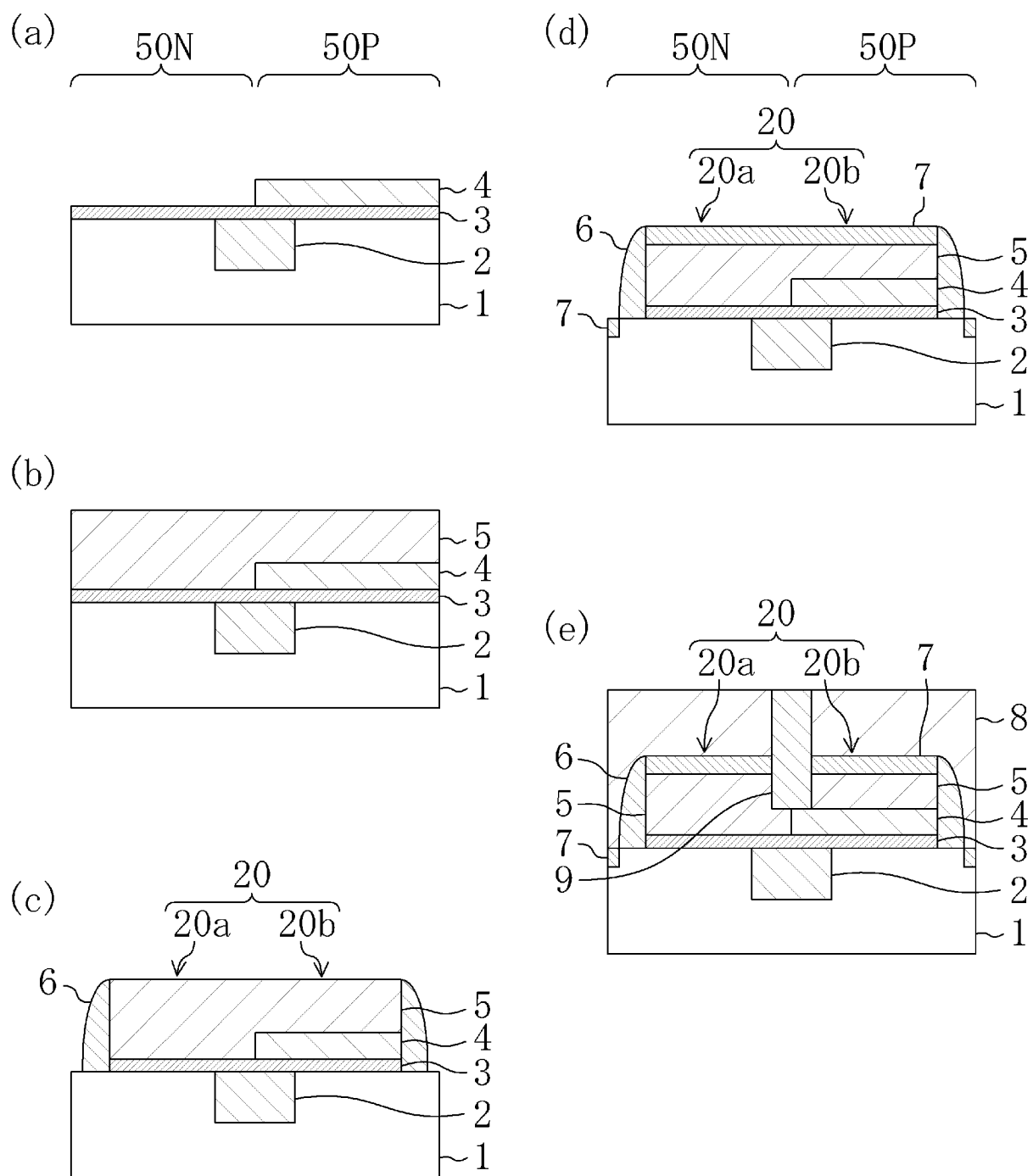
[図2]

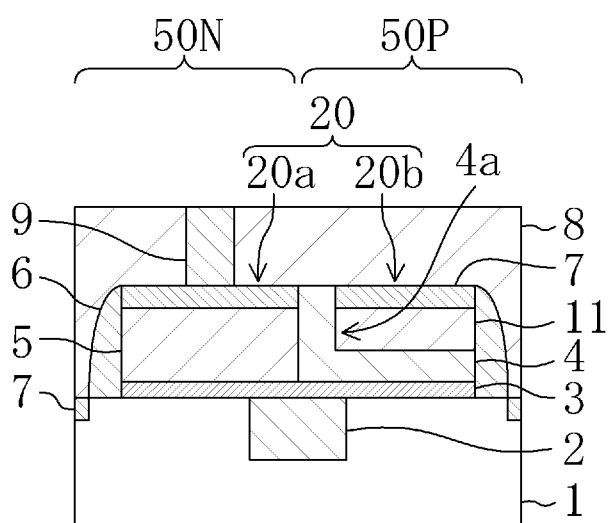
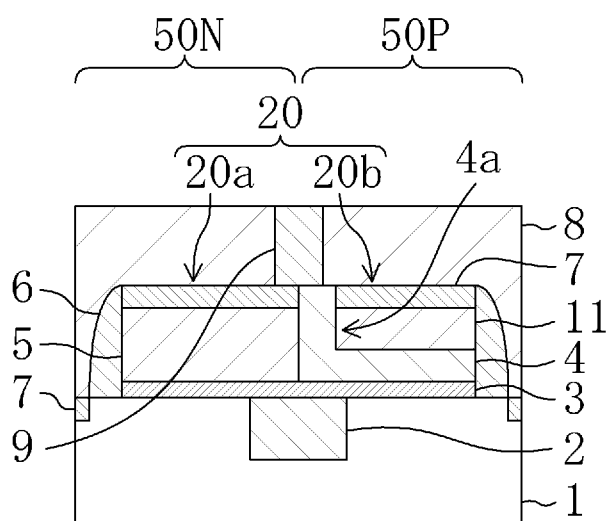
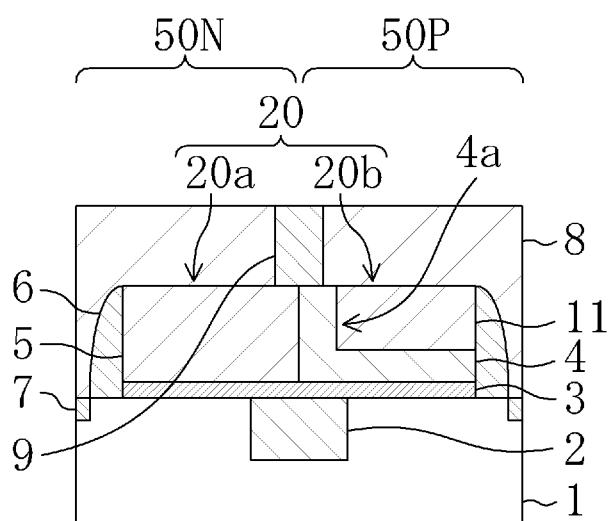


[図3]

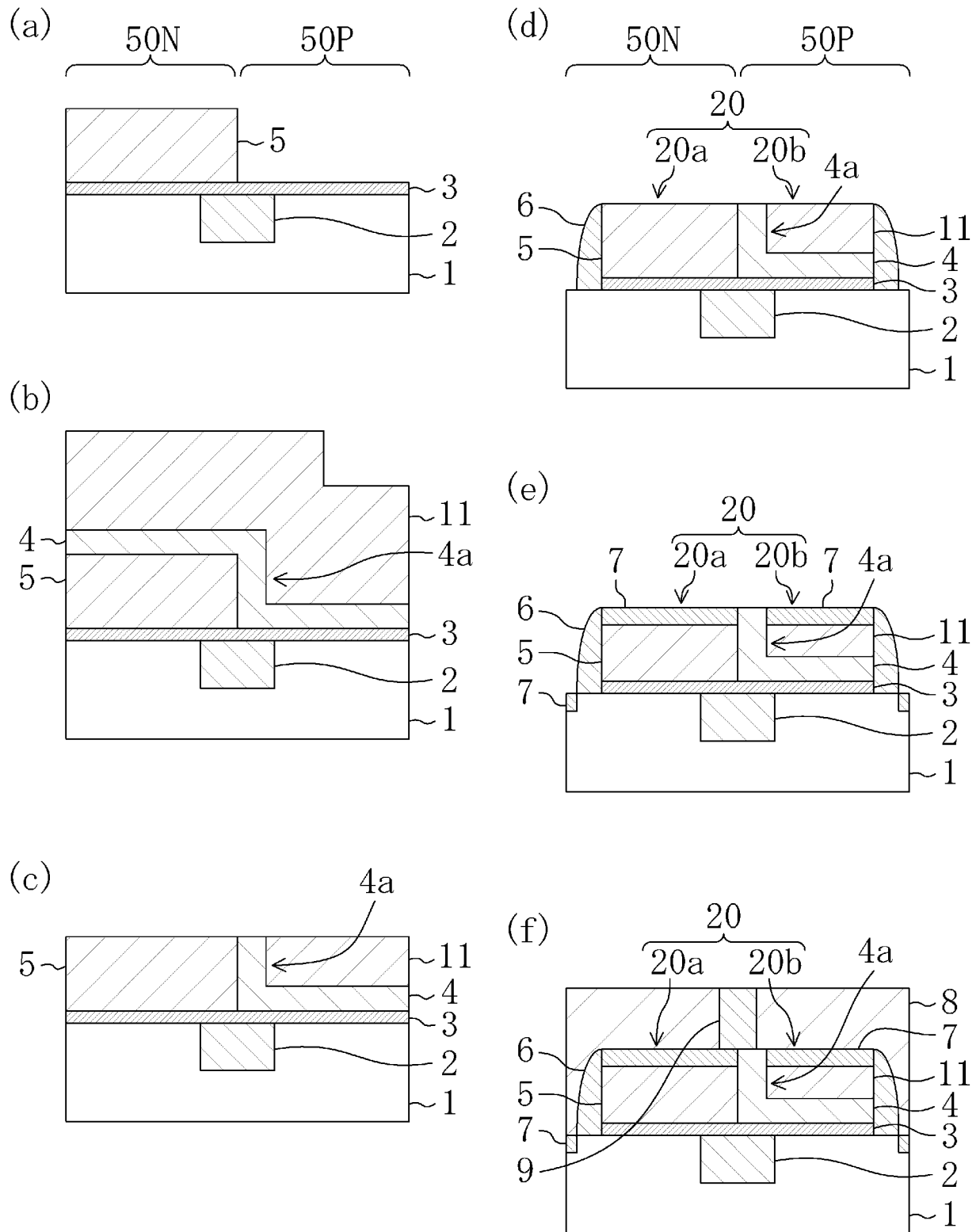


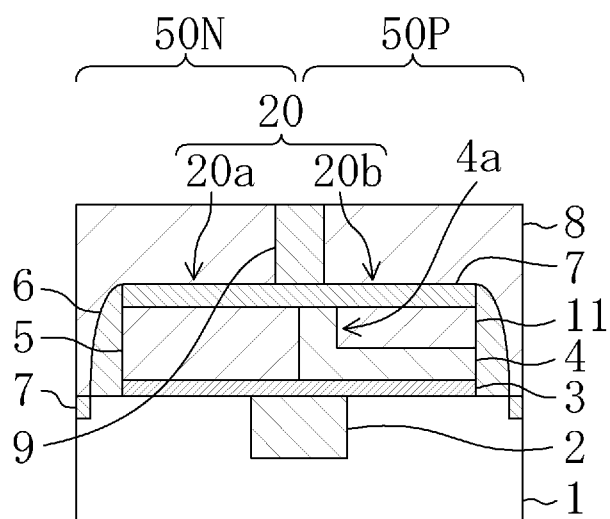
[図4]



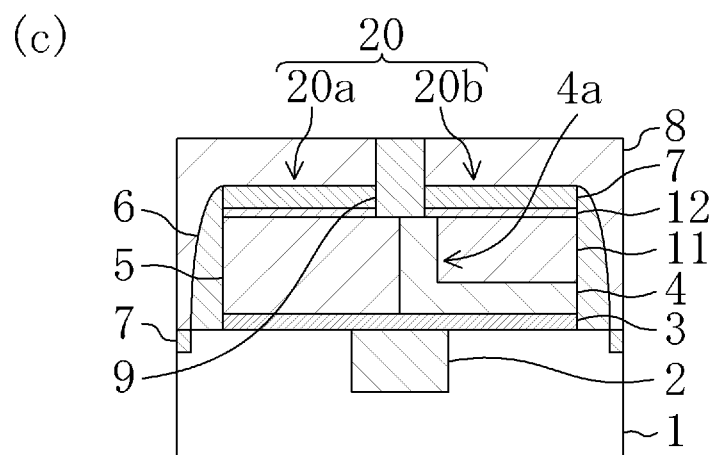
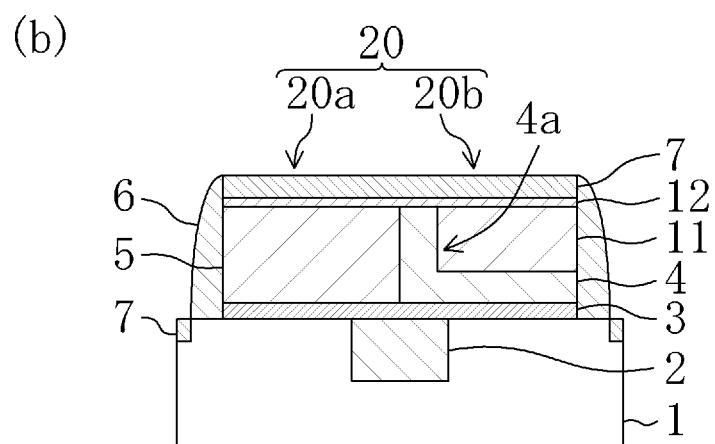
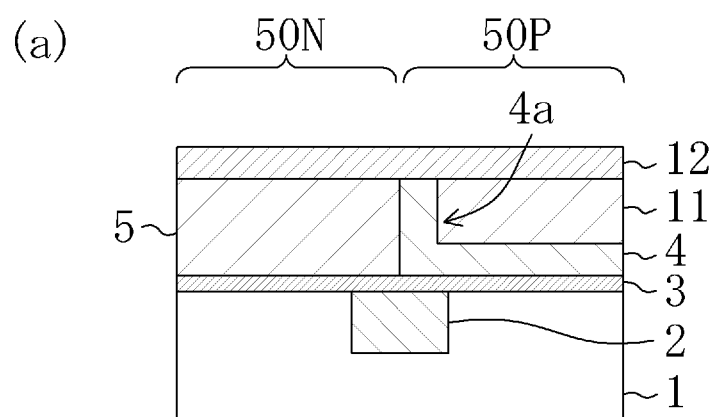


[図8]

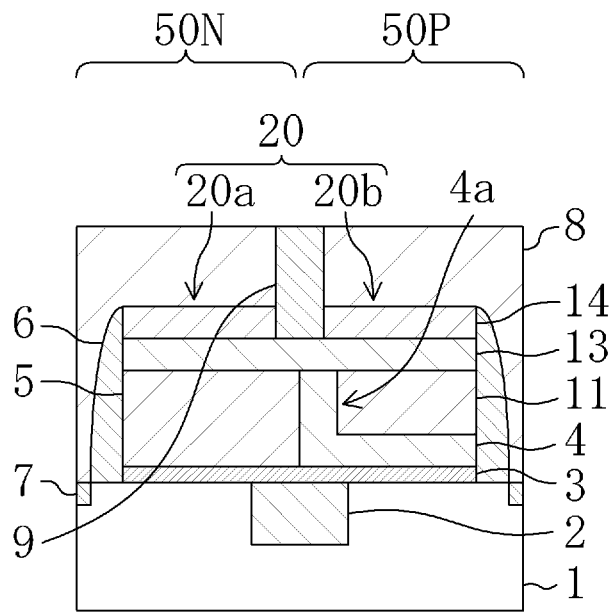




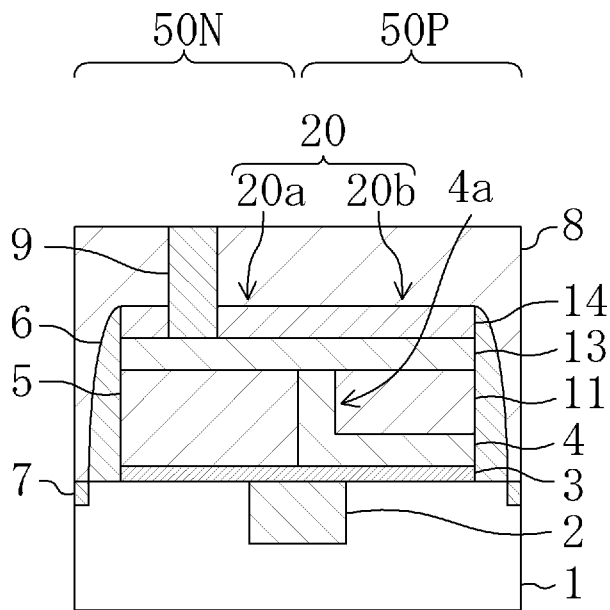
[図11]



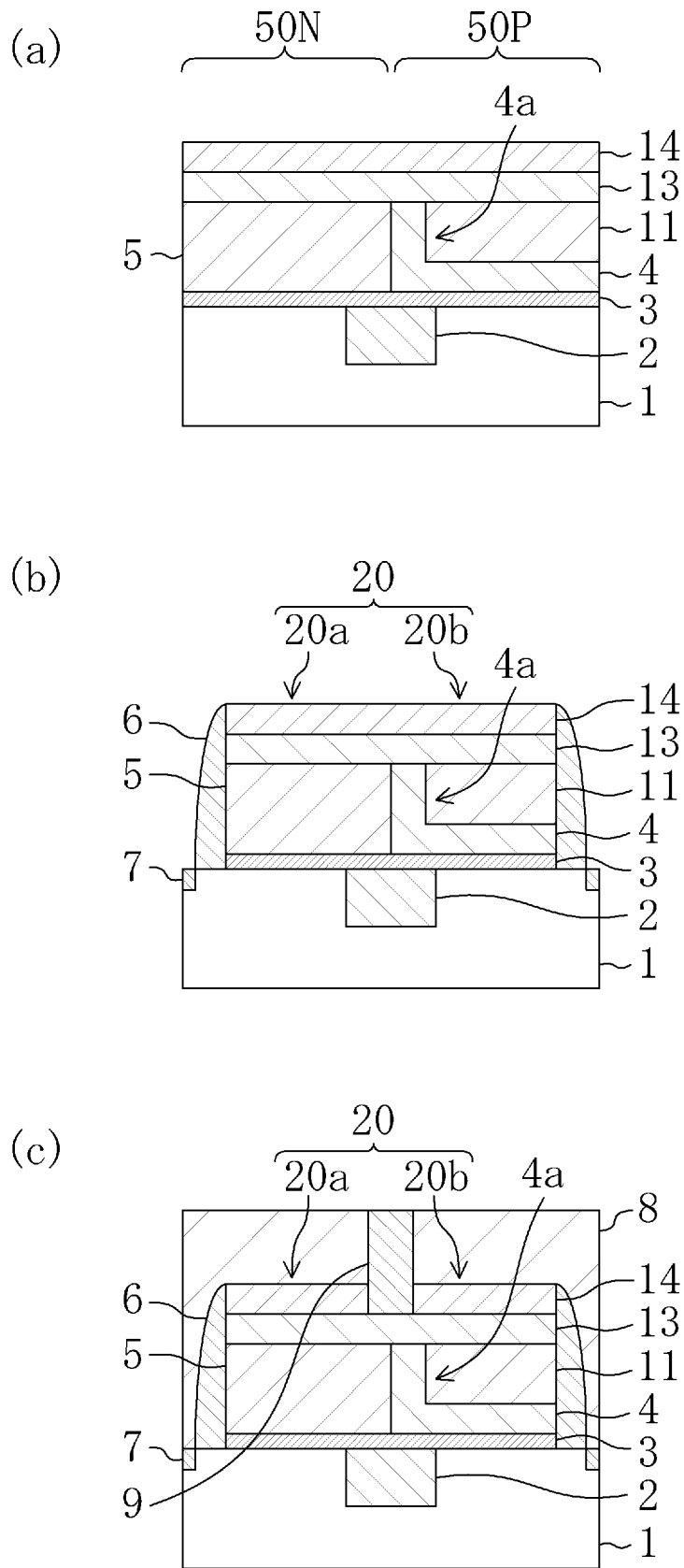
[図12]



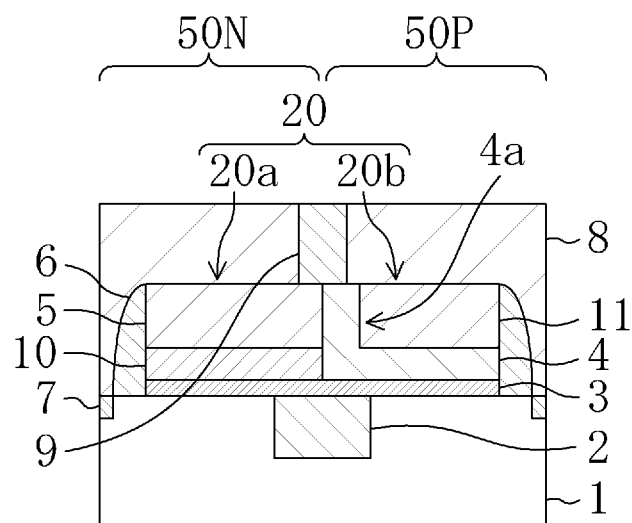
[図13]



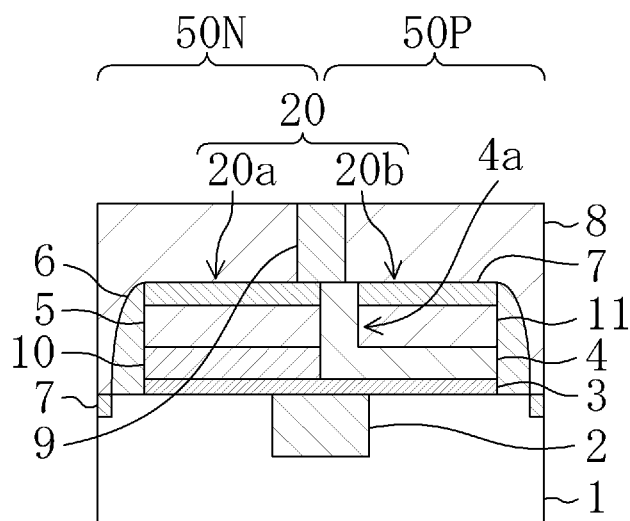
[図14]



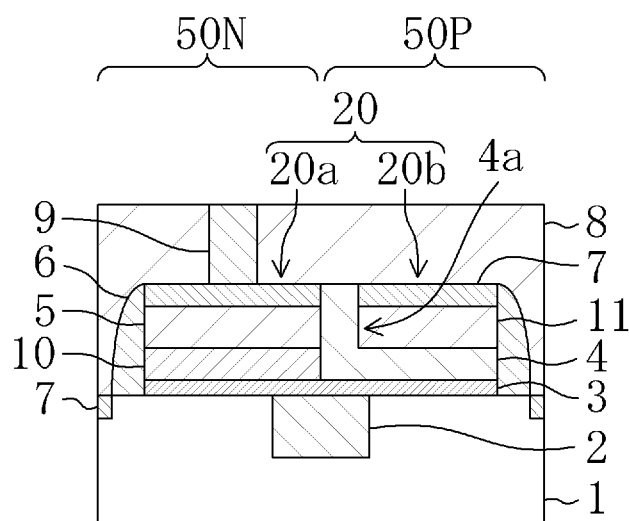
[図15]



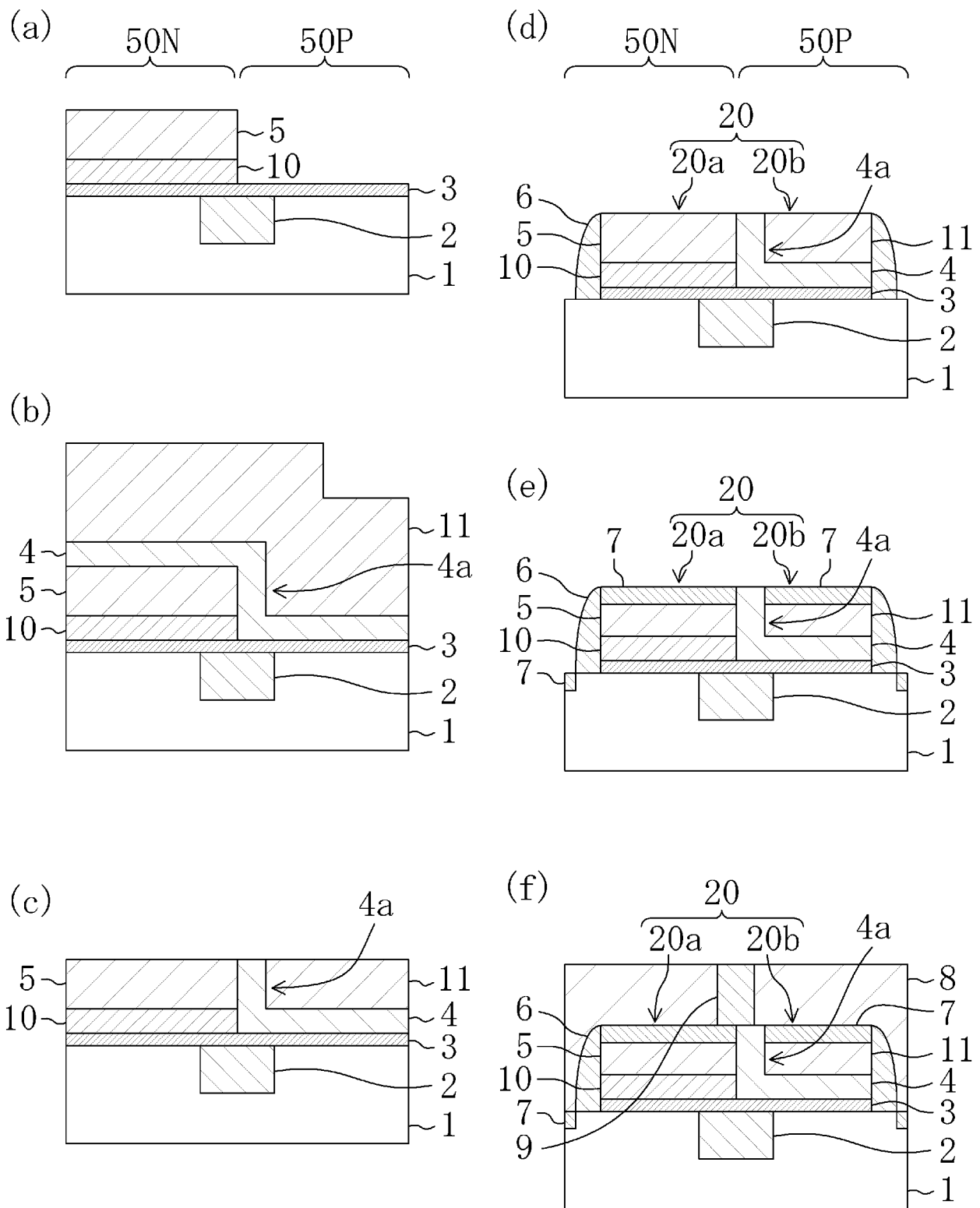
[図16]



[図17]

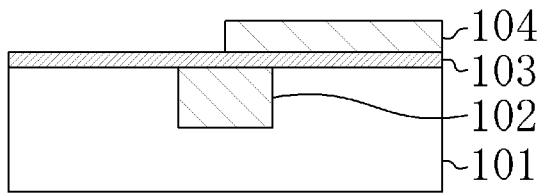


[図18]

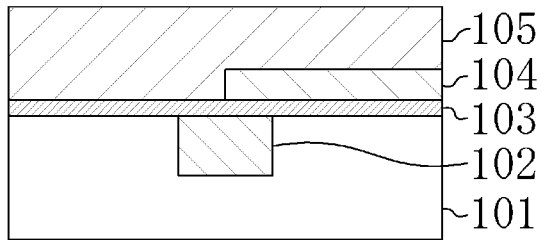


[図19]

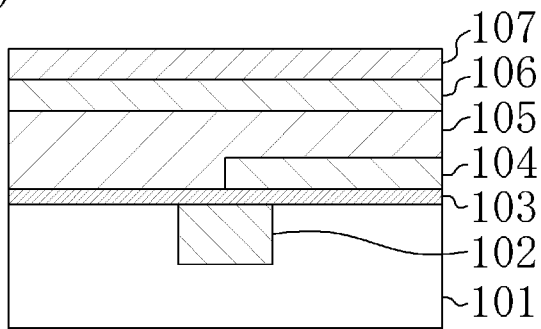
(a) 50N 50P



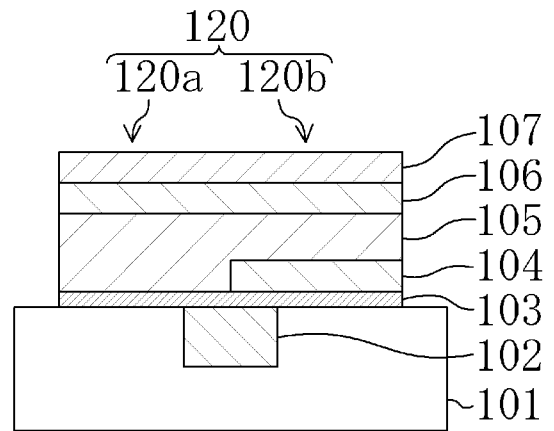
(b)



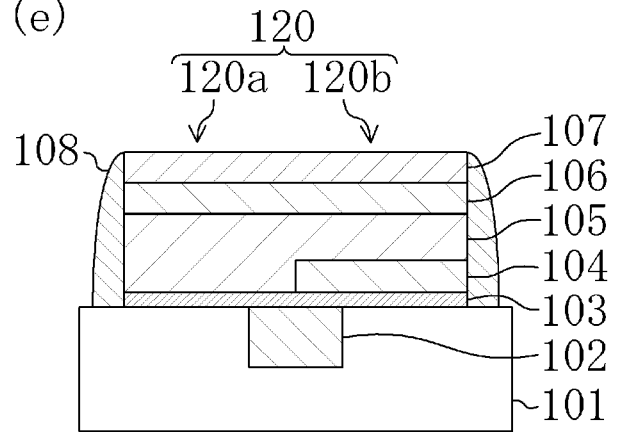
(c)



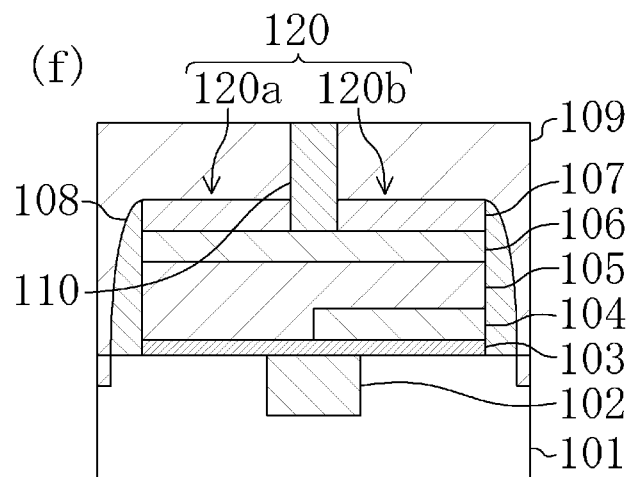
(d) 50N 50P



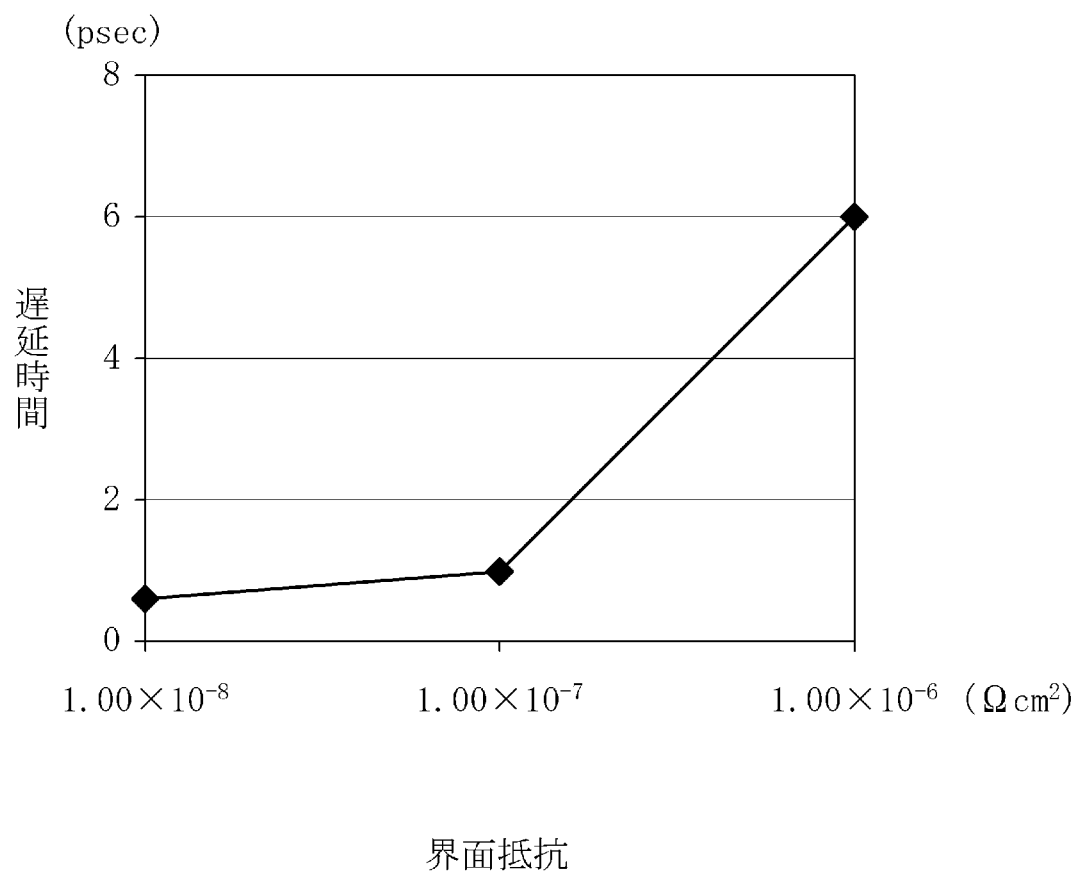
(e)



(f)



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/000827

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/092(2006.01)i,
H01L29/423(2006.01)i, H01L29/49(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L27/092,
H01L29/423, H01L29/49, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-237372 A (Toshiba Corp.), 07 September, 2006 (07.09.06), Par. Nos. [0011], [0012]; Fig. 1 & US 2006/0192258 A1 & US 2008/0280405 A1	1, 9
A	JP 5-206461 A (NEC Corp.), 13 August, 1993 (13.08.93), Par. Nos. [0012] to [0018]; Fig. 1 (Family: none)	1, 9
A	JP 2005-236120 A (Oki Electric Industry Co., Ltd.), 02 September, 2005 (02.09.05), Figs. 6 to 9 & US 2005/0186792 A1	1, 9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 May, 2009 (14.05.09)

Date of mailing of the international search report
26 May, 2009 (26.05.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/000827

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As stated on extra sheet, the claims of this international application are considered to contain the following four inventions: the invention of claims [1, 9]; the invention of claims [2-8]; the invention of claim [10]; and the invention of claims [11, 12].

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1, 9

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-12 is considered to be linked by the technical feature defined in claim 1.

This technical feature, however, cannot be a special technical feature since it is disclosed in prior art document JP 2006-237372 A (Toshiba Corp.), 7 September, 2006 (07.09.06), paragraphs [0011], [0012], and Fig. 1.

Consequently, there is no special technical feature so linking the group of inventions of claims 1-12 as to form a single general inventive concept. Therefore, it is obvious that the group of inventions of claims 1-12 does not satisfy the requirement of unity of invention.

Next, the number of groups of inventions defined in the claims of this international application and so linked as to form a single general inventive concept, namely, the number of inventions will be examined.

The technical features set forth in claims 1 and 9 cannot be special technical features since they are disclosed at least in the above-mentioned prior art document. Consequently, claims 1-12 contain the following four inventions: the invention of claims [1, 9]; the invention of claims [2-8]; the invention of claim [10]; and the invention of claims [11, 12].

It is therefore considered that the claims of this international application contain the following four inventions: the invention of claims [1, 9]; the invention of claims [2-8]; the invention of claim [10]; and the invention of claims [11, 12].

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8238(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i,
H01L23/522(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8238, H01L21/28, H01L21/336, H01L21/768, H01L23/522, H01L27/092, H01L29/423, H01L29/49,
H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2006-237372 A（株式会社東芝）2006.09.07 【0011】，【0012】，図1 & US 2006/0192258 A1 & US 2008/0280405 A1	1, 9
A	JP 5-206461 A（日本電気株式会社）1993.08.13, 【0012】 - 【0018】，図1（ファミリーなし）	1, 9

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 5 . 2 0 0 9

国際調査報告の発送日

2 6 . 0 5 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松嶋 秀忠

4 M

9 8 3 6

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-236120 A (沖電気工業株式会社) 2005. 09. 02 図 6-9 & US 2005/0186792 A1	1, 9

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、[1, 9]、[2-8]、[10]、[11, 12]に区分される4個の発明が記載されていると認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1, 9

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項 1-12 に記載されている一群の発明は、請求項 1 に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2006-237372 A (株式会社東芝) 2006.09.07, 【0011】, 【0012】, 図 1 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1-12 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求項 1-12 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求項 1, 9 に記載された事項は、少なくとも上記先行技術文献に開示されているため特別な技術的特徴とはなり得ないので、請求項 1-12 には、[1, 9]、[2-8]、[10]、[11, 12]に区分される 4 個の発明が記載されている。

したがって、この国際出願の請求の範囲には、[1, 9]、[2-8]、[10]、[11, 12]に区分される 4 個の発明が記載されていると認められる。