



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I411090 B

(45) 公告日：中華民國 102 (2013) 年 10 月 01 日

(21) 申請案號：099138064

(22) 申請日：中華民國 99 (2010) 年 11 月 05 日

(51) Int. Cl. : H01L25/065 (2006.01)

H01L23/488 (2006.01)

(71) 申請人：矽品精密工業股份有限公司 (中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路 3 段 123 號

(72) 發明人：蔡芳霖 TSAI, FANG LIN (TW)；江政嘉 CHIANG, CHENG CHIA (TW)；劉正仁 LIU, CHENG JEN (TW)；施嘉凱 SHIH, CHIA KAI (TW)

(74) 代理人：陳昭誠

(56) 參考文獻：

TW 200832630A

TW 200913208A

TW 201025532A

US 2009/0230528A1

審查人員：閻濟民

申請專利範圍項數：10 項 圖式數：7 共 0 頁

(54) 名稱

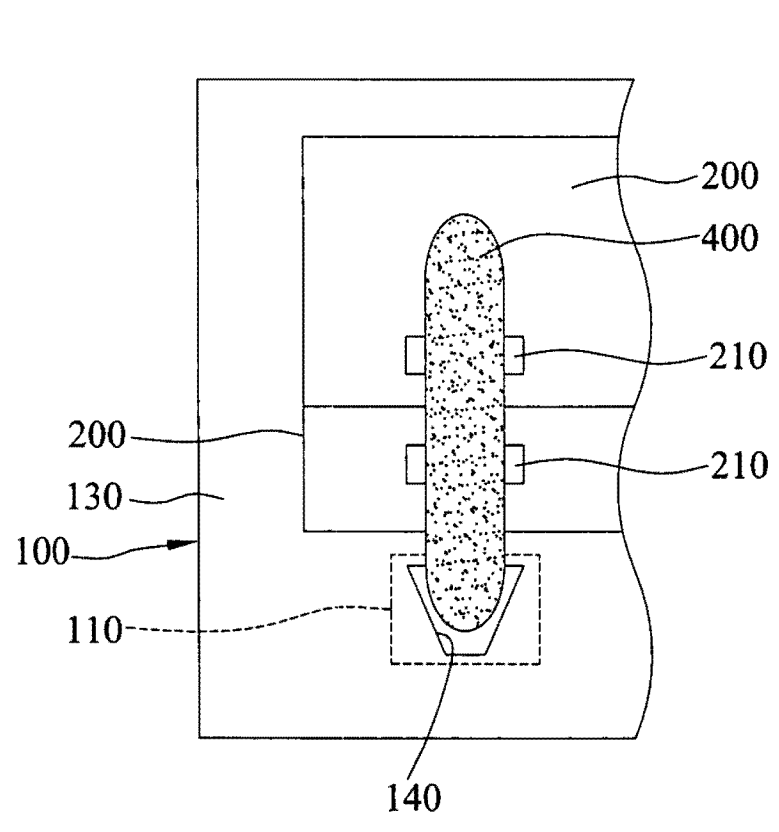
多晶片堆疊封裝結構

MULTI-CHIP STACK PACKAGE STRUCTURE

(57) 摘要

一種多晶片堆疊封裝結構，係包括：晶片承載件，於該晶片承載件上設置有至少一電性連接墊；複數個半導體晶片，各該半導體晶片彼此以作用面朝上自該電性連接墊旁依序以錯位方式堆疊於該晶片承載件上，且各該經堆疊之該半導體晶片上設有至少一外露之電極墊；絕緣膠，設於該些半導體晶片之間及該與晶片承載件黏接之半導體晶片與該晶片承載件之間；以及導電膠，用以電性連接該電性連接墊及各該半導體晶片上之電極墊，其中，該晶片承載件上形成有拒錫層，且該拒錫層開設有外露部分電性連接墊之開窗，以令外露之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小；藉此，防止導電膠在晶片承載件與跟晶片承載件接置之半導體晶片之間發生頸縮而導致電性斷路，進而提升產品良率及可靠度。

Disclosed is a multi-chip stack package structure, comprising a chip carrier having at least an electrical connecting pad formed thereon; a plurality of semiconductor chips each having its active surface facing upward and stacked on one another on the chip carrier in a malposition manner from the side of the electrical connecting pad, wherein each stacked chip has at least an electrode pad exposed therefrom; an insulating adhesive disposed in between each of the chips and between the chips adhered to the chip carrier and the chip carrier; and a conductive adhesive electrically connecting the electrical connecting pad and the electrode pads formed on the chips, wherein a solder mask layer is formed on the chip carrier with an open window for exposing parts of the electrical connecting pad therefrom, wherein the area of the exposed contour of the connecting pad is gradually reduced from positions close to the chips toward positions away from the chips, thereby preventing the conductive adhesive disposed in between the chip carrier and the chips from becoming neck-contracting which leads to electrical shortcuts and thus increasing good yield and reliability.



- 100 . . . 晶片承載件
- 110 . . . 電性連接墊
- 130 . . . 拒錫層
- 140 . . . 開窗
- 200 . . . 半導體晶片
- 210 . . . 電極墊
- 400 . . . 導電膠

第4圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99138064

H01L 25/065 (2006.01)

※申請日：99.11.5.

※IPC 分類：

H01L 23/488 (2006.01)

一、發明名稱：(中文/英文)

多晶片堆疊封裝結構

MULTI-CHIP STACK PACKAGE STRUCTURE

二、中文發明摘要：

一種多晶片堆疊封裝結構，係包括：晶片承載件，於該晶片承載件上設置有至少一電性連接墊；複數個半導體晶片，各該半導體晶片彼此以作用面朝上自該電性連接墊旁依序以錯位方式堆疊於該晶片承載件上，且各該經堆疊之該半導體晶片上設有至少一外露之電極墊；絕緣膠，設於該些半導體晶片之間及該與晶片承載件黏接之半導體晶片與該晶片承載件之間；以及導電膠，用以電性連接該電性連接墊及各該半導體晶片上之電極墊，其中，該晶片承載件上形成有拒錒層，且該拒錒層開設有外露部分電性連接墊之開窗，以令外露之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小；藉此，防止導電膠在晶片承載件與跟晶片承載件接置之半導體晶片之間發生頸縮而導致電性斷路，進而提升產品良率及可靠度。

三、英文發明摘要：

Disclosed is a multi-chip stack package structure, comprising a chip carrier having at least an electrical connecting pad formed thereon; a plurality of semiconductor chips each having its active surface facing upward and stacked on one another on the chip carrier in a malposition manner from the side of the electrical connecting pad, wherein each stacked chip has at least an electrode pad exposed therefrom; an insulating adhesive disposed in between each of the chips and between the chips adhered to the chip carrier and the chip carrier; and a conductive adhesive electrically connecting the electrical connecting pad and the electrode pads formed on the chips, wherein a solder mask layer is formed on the chip carrier with an open window for exposing parts of the electrical connecting pad therefrom, wherein the area of the exposed contour of the connecting pad is gradually reduced from positions close to the chips toward positions away from the chips, thereby preventing the conductive adhesive disposed in between the chip carrier and the chips from becoming neck-contracting which leads to electrical shortcuts and thus increasing good yield and reliability.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

100	晶片承載件
110	電性連接墊
130	拒錫層
140	開窗
200	半導體晶片
210	電極墊
400	導電膠

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種晶片封裝結構，更詳而言之，是關於一種防止導電膠發生斷路現象的晶片封裝結構改良。

【先前技術】

於晶片封裝製程中，晶片可藉由點膠技術而與基板完成電性連接，再由封裝膠體包覆晶片而完成封裝。於第20080303131、20090068790及20090230528號美國專利公開案中，皆已揭示之一種多晶片堆疊結構，舉例說明，請參閱第1圖及第2圖所繪示，分別係為習知多晶片堆疊結構之局部剖視圖及習知晶片封裝結構之局部俯視圖，於習知多晶片堆疊結構中，基板10中設置有複數電性連接墊11，且基板10開設有曝露出電性連接墊11之開窗12，於各晶片20上貼附有絕緣膠30，且各晶片20係以不妨礙電性連接墊11之點膠作業為原則下，堆疊於基板10上，導電膠40電性連接基板10之電性連接墊11及各晶片20之電極墊21，且導電膠40之一部分係填入於開窗12中。

惟，於習知晶片封裝結構中，由於基板10的表面不完全平整，使得介於最底層晶片20及基板10之間的絕緣膠30厚度需要較厚，(如第1圖所示)，使得最底層晶片20的電極墊21與基板10的電性連接墊11之間的高度落差過大，於施行點膠作業後，令導電膠40在此處造成頸縮的現象，或者由於毛細原理，使呈半液態之導電膠40填入於開窗12中之部分，非常容易從開窗12之鄰近電性連接

墊 11 處，溢流至開窗 12 之遠離電性連接墊 11 處，因而產生膠寬頸縮效應，此效應令導電膠 40 在基板 10 與最底部晶片 20 之間處產生如烘烤後發生之斷點或斷膠情況而導致的電性斷路現象，使晶片封裝結構之導電性不良，如此，會造成產品損壞或需重新點膠之問題，令產品良率及可靠度降低。

綜上所述，如何提出一種可解決上述習知技術之缺失之多晶片堆疊封裝結構，以防止導電膠發生斷路現象，實為目前亟欲解決之技術問題。

【發明內容】

鑒於上述習知技術之缺點，本發明之主要目的在於提供一種多晶片堆疊封裝結構，防止導電膠發生頸縮而導致電性斷路，進而提升產品良率及可靠度。

為達上述及其他目的，本發明提供一種多晶片堆疊封裝結構，係包括：晶片承載件，於該晶片承載件上設置有至少一電性連接墊；複數個半導體晶片，各該半導體晶片具有作用面及非作用面，且彼此以作用面朝上自該電性連接墊旁依序以錯位方式堆疊於該晶片承載件上，以使各該半導體晶片至少一部分之作用面係外露於堆疊其上之半導體晶片，且各該經堆疊之該半導體晶片的外露作用面上設有至少一電極墊；絕緣膠，設於該些半導體晶片之間及該與晶片承載件黏接之半導體晶片與該晶片承載件之間；以及導電膠，用以電性連接該電性連接墊及各該半導體晶片上之電極墊，以藉由該導電膠使該等半導體晶片均電性連

接該晶片承載件，其中，該晶片承載件上形成有拒錫層，且該拒錫層開設有外露部分電性連接墊之開窗，以令外露之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小。

在前述之多晶片堆疊封裝結構中，該晶片承載件為電路板，又各該半導體晶片彼此以作用面朝上自該電性連接墊旁依序以錯位方式堆疊於該晶片承載件上。更具體而言，該等半導體晶片彼此以階梯狀方式或鋸齒狀方式堆疊。惟，不論以何種方式堆疊，該與晶片承載件黏接之底部半導體晶片之電極墊旁之晶片承載件上係設有電性連接墊。

此外，本發明之多晶片堆疊封裝結構中，透過在晶片承載件上形成之拒錫層，開設有外露部分電性連接墊之開窗，以令外露之該電性連接墊的輪廓在鄰近該半導體晶片處向遠離該半導體晶片處縮小。舉例而言，該開窗之形狀係可為，但不限於梯形、T字形、三角形、半圓形、半橢圓形之其中之一者。

相較於習知技術，本發明之多晶片堆疊封裝結構，基於供該導電膠附著其上之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小，此時，由於自然毛細原理，電性連接墊上之導電膠會依據所接觸之電性連接墊外形，限制並防止呈半液態之導電膠向遠離半導體晶片處溢流，使得膠寬緊縮效應減輕，防止導電膠在晶片承載件與半導體晶片之間處如烘烤後發生之斷點或斷膠情

況而導致的斷路現象，如此，不會造成產品損壞或需進行重新點膠之問題，而能提升產品良率及可靠度。

【實施方式】

以下是藉由特定的具體實例說明本發明之技術內容，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。

本發明提供一種多晶片堆疊封裝結構(Multi Stacked-Die Packaging Structure)，請參照第3圖及第4圖所繪示，分別係為本發明之多晶片堆疊封裝結構之局部側剖視圖及局部俯視圖，於本實施例中，該多晶片堆疊封裝結構包括晶片承載件100、複數個半導體晶片200、絕緣膠300及導電膠400。

晶片承載件100係例如為電路板，於晶片承載件100上設置有至少一電性連接墊110，其具有導電性質，又該電性連接墊110曝露於該晶片承載件100之上方空間。

半導體晶片200係例如為主動式晶片，如中央處理器晶片、快閃記憶體晶片、邏輯處理晶片；亦可為被動式晶

片，如晶片式電容、晶片式電阻等，且各該半導體晶片 200 具有作用面及非作用面，並於該半導體晶片 200 的作用面上設有至少一電極墊 210，又該絕緣膠 300 設於該些半導體晶片 200 之間，較佳地，該絕緣膠 300 預先貼附於各該半導體晶片 200 之非作用面，該絕緣膠 300 可例如為晶片接著層(Die Attach Film, DAF)，但不以此為限制，且各該半導體晶片 200 彼此以作用面朝上及自該電性連接墊 110 旁依序以錯位方式堆疊於該晶片承載件 100 上，以使各該半導體晶片 200 至少一部分之作用面係外露於堆疊其上之半導體晶片 200。復進一步說明，該等半導體晶片 200 的平面尺寸約略相同，該與晶片承載件 100 黏接之半導體晶片 200 設置在鄰近該電性連接墊 110 之位置，上層之該等半導體晶片 200 則分別以一預先設定的距離依序偏移下層之該半導體晶片 200 而相互堆疊，且該等半導體晶片 200 不致遮蔽相鄰接晶片之電極墊 210 及晶片承載件 100 之該電性連接墊 110。

故如前述，該經堆疊之各該半導體晶片 200 的外露作用面上具有至少一電極墊 210，且該電性連接墊 110 設於該晶片承載件 100 上之位置係對應於該與晶片承載件 100 黏接之半導體晶片 200 之電極墊旁。詳言之，係於各該半導體晶片 200 上對應該電性連接墊 110 之同側處設置有至少一電極墊 210，且該電極墊 210 曝露於相鄰該半導體晶片 200 之上方空間，意即上層之該半導體晶片 200 不致遮蔽下層之該半導體晶片的該電極墊 210，此時，該電性連

接墊 110 係設置於該晶片承載件 100 上未黏接該半導體晶片 200 之區域，該電極墊 210 係設置於該半導體晶片 200 上未堆疊其他該半導體晶片 200 之區域。

進一步詳細說明該絕緣膠 300 的設定位置及結構型態，該絕緣膠 300 介於該晶片承載件 100 及疊接在該晶片承載件 100 的該半導體晶片 200 之間，亦即，該絕緣膠 300 黏接於該晶片承載件 100 及疊接在該晶片承載件 100 的該半導體晶片 200 之間，其用以將該晶片承載件 100 及該底部半導體晶片 200 相互黏合而固定，並加以阻斷其之間的電性連接，且同時，該絕緣膠 300 介於任二相疊接的該半導體晶片 200 之間，亦即，該絕緣膠 300 復黏接於任二相疊接的該半導體晶片 200 之間，其用以將該等半導體晶片 200 相互黏合而固定，並加以阻斷其之間的電性連接。

此外，由於該晶片承載件 100 之表面不完全平整，令介於該晶片承載件 100 及該底部半導體晶片 200 之間的該絕緣膠 300，其厚度需較厚，例如， $25\ \mu\text{m}$ ，但不以此數值為限定，而介於任二相疊接的該半導體晶片 200 之間的絕緣膠 300 厚度相對上則可較薄，例如， $10\ \mu\text{m}$ ，但不以此數值為限定，此時，介於該晶片承載件 100 及疊接在該晶片承載件 100 上的該半導體晶片 200 之間的絕緣膠 300 厚度大於任二相疊接的該半導體晶片 200 之間的絕緣膠 300 厚度。

導電膠 400 係以點膠方式而電性連接電性連接墊 110 及各該半導體晶片 200 上之電極墊 210，以藉由該導電膠

400 使該等半導體晶片 200 均電性連接該晶片承載件 100，其中，供該導電膠 400 附著其上之該電性連接墊 110 的輪廓，在鄰近該半導體晶片 200 處向遠離該半導體晶片 200 處縮小，如第 4 圖所示。

在本實施例中，供該導電膠 400 附著其上之該電性連接墊 110 的輪廓，在鄰近該半導體晶片 200 處向遠離該半導體晶片 200 處縮小之特徵，係透過在晶片承載件 100 上形成有拒錫層 130，且該拒錫層 130 開設有外露部分電性連接墊 110 之開窗 140，以令外露之該電性連接墊 110 的輪廓，在鄰近該半導體晶片 200 處向遠離該半導體晶片 200 處縮小。舉例而言，該開窗 140 之形狀係可如第 5 圖所示之梯形、T 字形、三角形、半圓形、半橢圓形之其中之一者，但不以此些形狀為限。又，當開設有複數個開窗 140 時，依據需求條件，此些開窗 140 之形狀可為相同或不同，當形狀不同時，可加速辨識電性連接墊 110 之數目及位置。

此外，如第 3 圖所示，本發明之多晶片堆疊封裝結構復可包括絕緣塗層 600。該絕緣塗層 600 塗佈於該等半導體晶片 200 或該晶片承載件 100 之外表，令整體結構對外界之絕緣性更佳，即於電氣上更為安全，該絕緣塗層 600 可為如聚對二甲苯(Parylene)之材質，且因具有固形性質，使得堆疊結構的強度較佳，並且，該絕緣塗層 600 可例如以雷射加工方式，而開設有複數窗孔 610，又該等窗孔 610 分別對應於該開窗 140 及該等電極墊 210 位置，使得該開窗 140 及該等電極墊 210 不致被該絕緣塗層 600 所

覆蓋。

請參照第 6 圖及第圖所繪示，分別係本發明之多晶片堆疊封裝結構的其他實施例。

如第 6 圖所示，該多晶片堆疊封裝結構係包括至少三個半導體晶片 200，各該半導體晶片 200 彼此以作用面朝上自該電性連接墊 110 旁依序以錯位方式堆疊於該晶片承載件 100 上。具體而言，該等半導體晶片 200 彼此以階梯狀方式堆疊，因此，形成單邊懸空之階梯狀晶片堆疊結構。

如第 7 圖所示，該多晶片堆疊封裝結構係包括四個半導體晶片 200，其中，該等半導體晶片 200 彼此以鋸齒狀方式堆疊，但供該導電膠 400 附著其上之該電性連接墊 110 的輪廓，在鄰近該半導體晶片 200 處向遠離該半導體晶片 200 處縮小，使得膠寬緊縮效應減輕，防止導電膠在晶片承載件與半導體晶片之間處如烘烤後發生之斷點或斷膠情況而導致的斷路現象。

此外，如第 6 及 7 圖所示，本發明之多晶片堆疊封裝結構復包括封裝樹脂 500，覆蓋該晶片承載件 100、半導體晶片 200、絕緣膠 300 及導電膠 400，俾以該封裝樹脂 500 具有的保護該多晶片堆疊封裝結構不受外界環境之破壞，提升安全性，其中，其覆蓋方式可藉由封裝模壓方式。

綜上所述，本發明之多晶片堆疊封裝結構係設計供該導電膠附著其上之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小，此時，由於自然毛細原理，電性連接墊上之導電膠會依據所接觸之電性連接墊

外形，限制並防止呈半液態之導電膠向遠離半導體晶片處溢流，使得膠寬緊縮效應減輕，防止導電膠在晶片承載件與半導體晶片之間處如烘烤後發生之斷點或斷膠情況而導致的斷路現象，如此，不會造成產品損壞或需進行重新點膠之問題，而能提升產品良率及可靠度。

上述實施例僅例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修飾與改變。因此，本發明之權利保護範圍，應如後述之申請專利範圍所列。

【圖式簡單說明】

第 1 圖係為習知多晶片堆疊結構之局部側剖視圖；

第 2 圖係第 1 圖習知多晶片堆疊結構之局部俯視圖；

第 3 圖係為本發明之多晶片堆疊封裝結構之局部剖視圖；

第 4 圖係第 3 圖之多晶片堆疊封裝結構之局部俯視圖其中，第 4 圖係省略視需要而塗佈地絕緣塗層；

第 5 圖係為本發明多晶片堆疊封裝結構之外露之電性連接墊輪廓示意圖；

第 6 圖係為本發明之階梯狀多晶片堆疊封裝結構之示意圖；以及

第 7 圖係為本發明之鋸齒狀多晶片堆疊封裝結構之示意圖。

【主要元件符號說明】

10	基板	11	電性連接墊
12	開窗	20	晶片
21	電極墊	30	絕緣膠
40	導電膠	100	晶片承載件
110	電性連接墊	130	拒銲層
140	開窗	200	半導體晶片
210	電極墊	300	絕緣膠
400	導電膠	500	封裝樹脂
600	絕緣塗層	610	窗孔

七、申請專利範圍：

1. 一種多晶片堆疊封裝結構，係包括：

晶片承載件，於該晶片承載件上設置有至少一電性連接墊；

複數個半導體晶片，各該半導體晶片具有作用面及非作用面，且彼此以作用面朝上自該電性連接墊旁依序以錯位方式堆疊於該晶片承載件上，以使各該半導體晶片至少一部分之作用面係外露於堆疊其上之半導體晶片，且各該經堆疊之該半導體晶片的外露作用面上設有至少一電極墊；

絕緣膠，設於該些半導體晶片之間及該與晶片承載件黏接之半導體晶片與該晶片承載件之間；以及

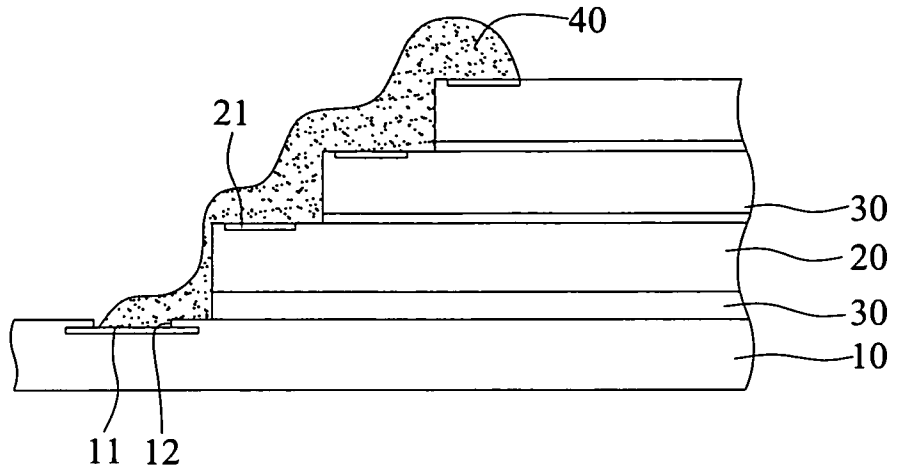
導電膠，用以電性連接該電性連接墊及各該半導體晶片上之電極墊，以藉由該導電膠使該等半導體晶片均電性連接該晶片承載件，其中，該晶片承載件上形成有拒錫層，且該拒錫層開設有外露部分電性連接墊之開窗，以令外露之該電性連接墊的輪廓，在鄰近該半導體晶片處向遠離該半導體晶片處縮小。

2. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，該晶片承載件為電路板。

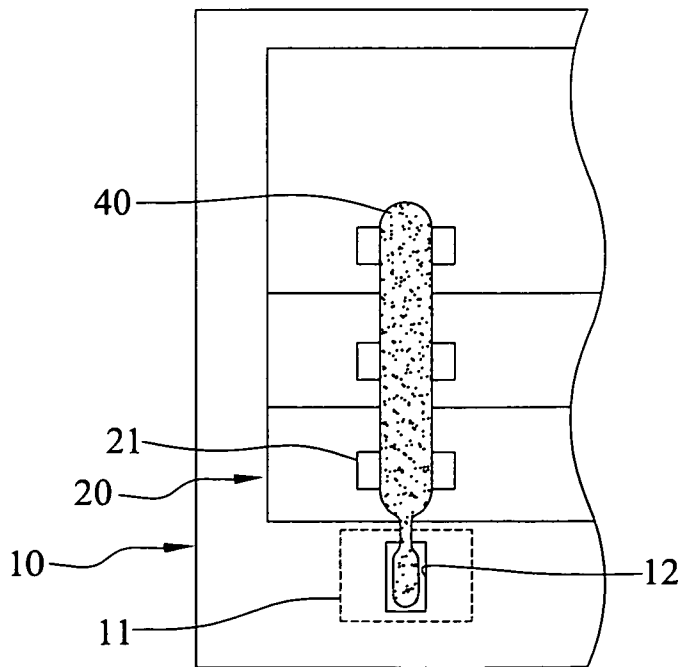
3. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，該等半導體晶片彼此以階梯狀方式堆疊。

4. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，該等半導體晶片彼此以鋸齒狀方式堆疊。

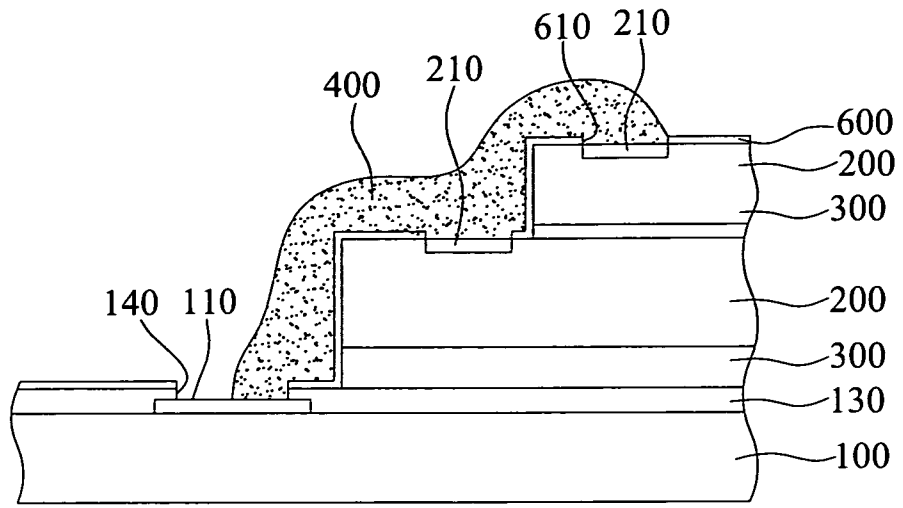
5. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，該電性連接墊設於該晶片承載件上之位置係對應於該與晶片承載件黏接之半導體晶片之電極墊旁。
6. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，介於該晶片承載件及疊接在該晶片承載件上的該半導體晶片之間的絕緣膠厚度大於任二相疊接的該半導體晶片之間的絕緣膠厚度。
7. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，其中，該開窗之形狀係為梯形、T 字形、三角形、半圓形、半橢圓形之其中之一者。
8. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，復包括絕緣塗層，塗佈於該晶片承載件或該等半導體晶片之外表。
9. 如申請專利範圍第 8 項所述之多晶片堆疊封裝結構，其中，該絕緣塗層開設有複數窗孔，該等窗孔分別對應於該開窗及該等電極墊。
10. 如申請專利範圍第 1 項所述之多晶片堆疊封裝結構，復包括封裝樹脂，覆蓋該晶片承載件、半導體晶片、絕緣膠及導電膠。



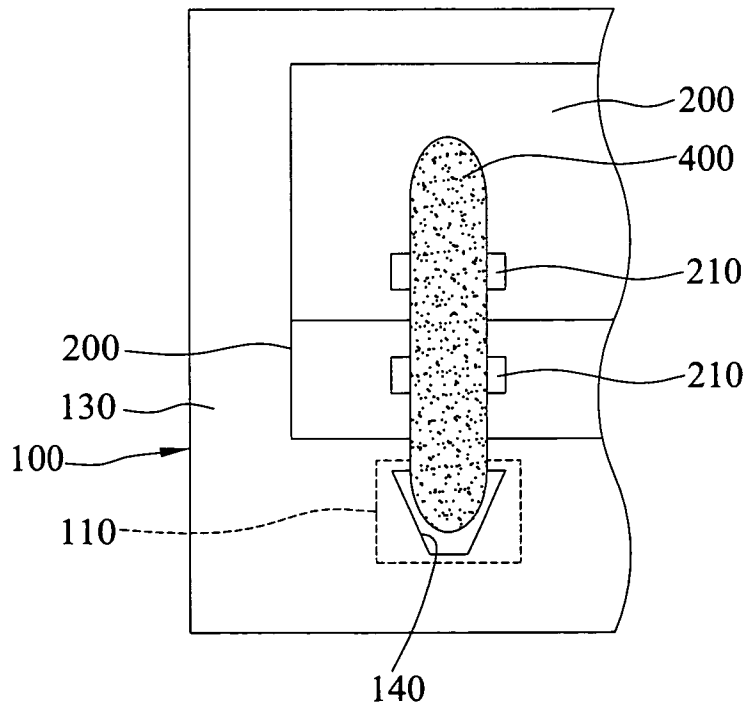
第1圖



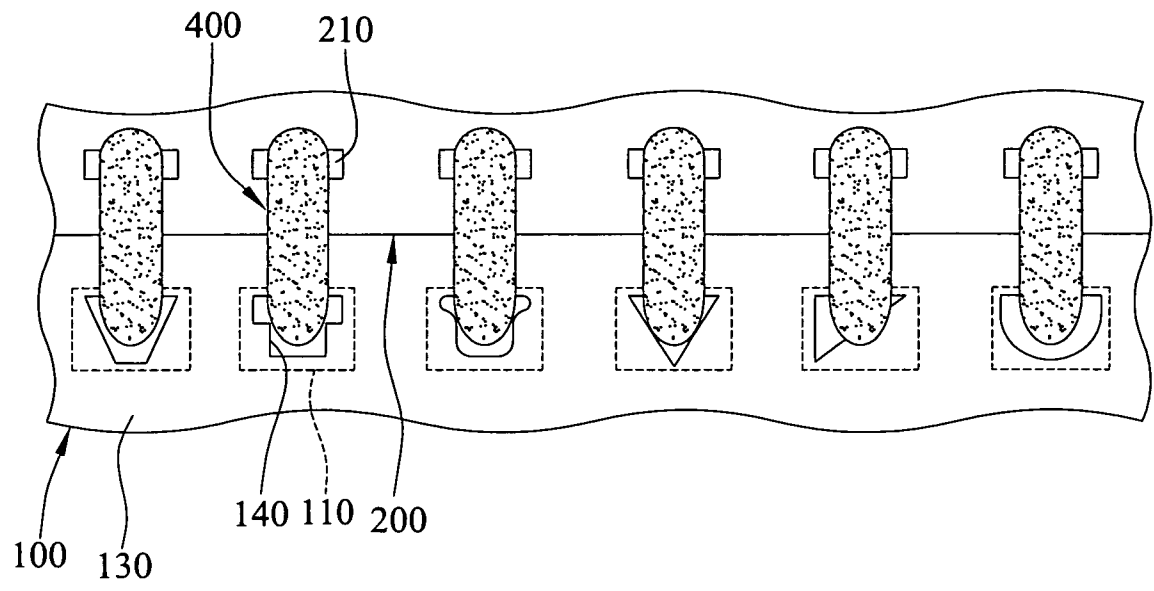
第2圖



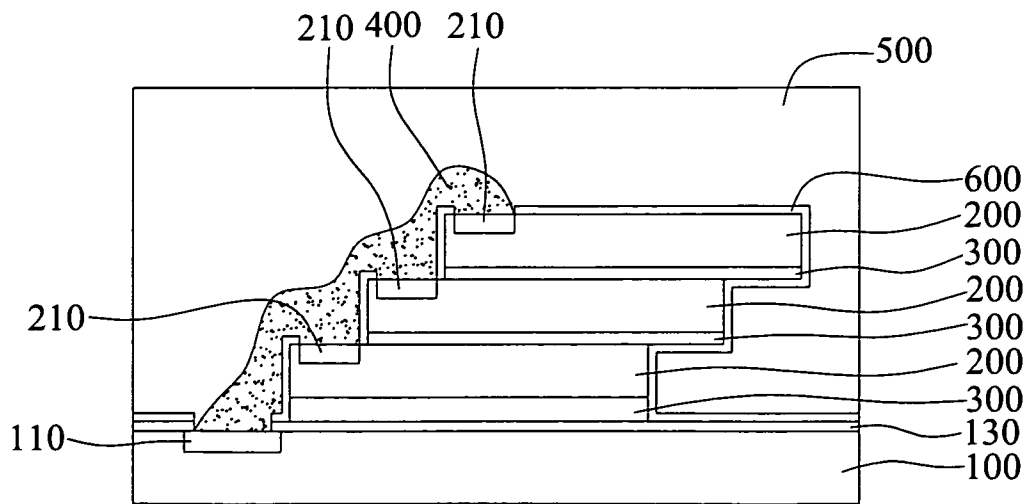
第3圖



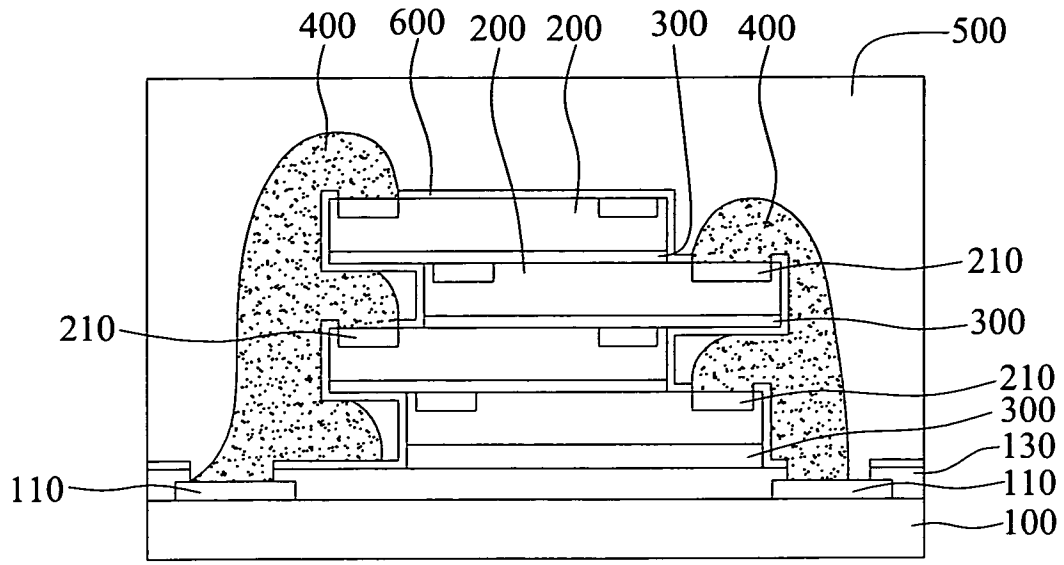
第4圖



第5圖



第6圖



第7圖