

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月5日(05.10.2017)

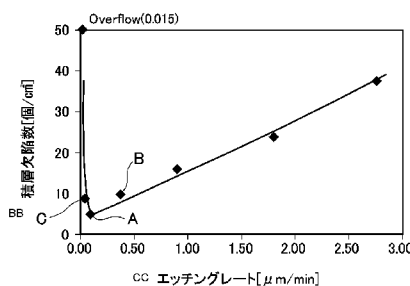


(10) 国際公開番号
WO 2017/169290 A1

- (51) 国際特許分類:
H01L 21/205 (2006.01) *C30B 25/20* (2006.01)
C23C 16/02 (2006.01) *C30B 29/06* (2006.01)
C23C 16/24 (2006.01) *H01L 21/20* (2006.01)
- (21) 国際出願番号: PCT/JP2017/006249
- (22) 国際出願日: 2017年2月21日(21.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-074451 2016年4月1日(01.04.2016) JP
- (71) 出願人: 信越半導体株式会社 (SHIN-ETSU HAN-
DOTAI CO., LTD.) [JP/JP]; 〒1000004 東京都千代田
区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 吉岡 翔平 (YOSHIOKA, Shohei); 〒
3790196 群馬県安中市磯部二丁目13番1号
信越半導体株式会社 磯部工場内 Gunma (JP).
- (74) 代理人: 張川 隆司 (HARIKAWA, Takashi); 〒
4600008 愛知県名古屋市中区栄二丁目9番30
号 栄山吉ビル 菅原国際特許事務所 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG,
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,
IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC,
LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG,
PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: METHOD OF MANUFACTURING SILICON EPITAXIAL WAFER

(54) 発明の名称: シリコンエピタキシャルウェーハの製造方法



BB Amount of stacking faults (faults/cm²)
CC Etching rate (μm/min)

(57) Abstract: In a vapor phase growth sequence for a silicon epitaxial layer, a silicon monocrystalline substrate that has been adjusted to have a resistivity of 1.4 mΩ/cm or lower via doping with red phosphorous is prepared, and in order to improve the surface quality of the silicon monocrystalline substrate, the monocrystalline substrate surface is vapor phase etched with a hydrochloric gas. During the vapor phase etching, the etching rate of the substrate by the hydrochloric gas is controlled so as to be 0.04 μm/min to 0.37 μm/min inclusive. The etching amount is controlled so as to be 0.025 μm to 1.000 μm inclusive. After the vapor phase etching, the silicon epitaxial layer is formed by vapor phase growth on a primary surface of the silicon monocrystalline substrate. Due to this configuration, provided is a method of forming a silicon epitaxial layer via vapor phase growth on the primary surface of a silicon monocrystalline substrate that has low resistivity, wherein it is possible to produce a silicon epitaxial wafer with a reduced amount of stacking faults.

(57) 要約:

[続葉有]

WO 2017/169290 A1



シリコンエピタキシャル層の気相成長シーケンスにおいて、赤燐のドーブにより抵抗率が $1.4\text{ m}\Omega\cdot\text{cm}$ 以下に調整されたシリコン単結晶基板を準備し、そのシリコン単結晶基板の表面改質を目的として、シリコン単結晶基板表面を塩化水素ガスにより気相エッチングする。このとき、塩化水素ガスによる基板のエッチングレートを $0.04\text{ }\mu\text{m}/\text{min}$ 以上、かつ $0.37\text{ }\mu\text{m}/\text{min}$ 以下に制御する。また、エッチング量を $0.025\text{ }\mu\text{m}$ 以上、かつ $1.000\text{ }\mu\text{m}$ 以下に制御する。気相エッチングの後、シリコン単結晶基板の主表面上にシリコンエピタキシャル層を気相成長により形成する。これにより、低抵抗率のシリコン単結晶基板の主表面上にシリコンエピタキシャル層を気相成長させる方法において、積層欠陥数を低減したシリコンエピタキシャルウェーハを得ることができる方法を提供する。

明 細 書

発明の名称：シリコンエピタキシャルウェーハの製造方法

技術分野

[0001] 本発明は、低抵抗シリコンエピタキシャルウェーハの製造方法に関する。

背景技術

[0002] モバイル端末等に用いる半導体素子にエピタキシャルウェーハが用いられる。モバイル端末の省電力化を目的に、このようなウェーハには高濃度にドーパントをドーブした低抵抗率のシリコン単結晶基板にエピタキシャル層を気相成長させた低抵抗率のエピタキシャルウェーハが必要とされる。このエピタキシャルウェーハの元になるシリコン単結晶基板は、高濃度のドーパントをドーブして引き上げたインゴットから作製されるが、引き上げの際にドーブしたドーパントが蒸発してしまう。そのため、エピタキシャル層を気相成長させるシリコン単結晶基板がn型ならば、揮発性が比較的低い赤燐（リン）をドーパントとしてドーブしたシリコン単結晶基板が用いられる。そして、このようなシリコン単結晶基板の主表面上にエピタキシャル層を気相成長することにより、低抵抗のエピタキシャルウェーハが製造される。

[0003] しかし、高濃度に赤燐がドーブされた低抵抗率のシリコン単結晶基板にエピタキシャル層を気相成長すると、気相成長後のエピタキシャルウェーハの主表面に多くの積層欠陥（スタッキングフォルト）が発生する（例えば特許文献1参照）。この積層欠陥が発生したエピタキシャルウェーハを用いて半導体素子を作製すると、半導体素子（デバイス）の特性が低下してしまう。そのため、積層欠陥の発生数をデバイス特性に影響のない水準まで低減する必要がある。

[0004] エピタキシャルウェーハの主表面で観察される積層欠陥は、低抵抗率のシリコン単結晶基板上で発生した結晶欠陥等がエピタキシャルウェーハの主表面に伝搬することで観察される。そのため、積層欠陥の発生には、低抵抗率のシリコン単結晶基板における基板表面の状態が影響すると考えられている

。

- [0005] そこで、低抵抗率のシリコン単結晶基板にエピタキシャル層を気相成長する前に、そのシリコン単結晶基板の主表面を塩化水素ガスで気相エッチングして基板表面を清浄化し、積層欠陥の発生を抑制する対策が採られている。
- [0006] ここで従来技術として、特許文献2には、高濃度にリンが埋込されたシリコンウェーハ表面を塩化水素ガスによりエッチングを行った後にエピタキシャル層を気相成長することが記載されている。

先行技術文献

特許文献

- [0007] 特許文献1：特開2014-11293号公報
特許文献2：特開平4-72718号公報

発明の概要

発明が解決しようとする課題

- [0008] しかし、このような気相エッチング処理が施された低抵抗率のシリコン単結晶基板に気相成長をしても、依然として半導体素子の特性に悪影響を及ぼす濃度の積層欠陥がエピタキシャルウェーハに発生する。
- [0009] 本発明は上記事情に鑑みてなされ、低抵抗率のシリコン単結晶基板の主表面上にシリコンエピタキシャル層を気相成長させる方法において、積層欠陥数を低減したシリコンエピタキシャルウェーハを得ることができる方法を提供することを課題とする。

課題を解決するための手段

- [0010] 上記課題を解決するため、本発明は、抵抗率が $1.4\text{ m}\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板の主表面上にシリコンエピタキシャル層を気相成長させる方法において、エピタキシャル層の気相成長前に前記シリコン単結晶基板の主表面を塩化水素ガスにより $0.04\text{ }\mu\text{m}/\text{min}$ 以上、かつ $0.37\text{ }\mu\text{m}/\text{min}$ 以下のエッチングレートで気相エッチングすることを特徴とする。
- [0011] この気相エッチングによりシリコン単結晶基板の主表面を清浄化できる。

すなわち、エピタキシャルウェーハに積層欠陥を発生させる起点となる結晶欠陥等（以下、積層欠陥核という）をシリコン単結晶基板の主表面から除去することができる。さらに、気相エッチングにおけるエッチングレートを上記条件に限定することにより、積層欠陥数を低減したシリコンエピタキシャルウェーハが製造可能である。

[0012] また、本発明において、シリコン単結晶基板は赤燐が $5 \times 10^{19} \text{ atoms/cm}^3$ 以上ドーピングされている。これによって、シリコン単結晶基板の抵抗率を $1.4 \text{ m}\Omega \cdot \text{cm}$ 以下とすることができる。

[0013] また、気相エッチングにおけるエッチング量が $0.025 \mu\text{m}$ 以上、かつ $1.000 \mu\text{m}$ 以下とするのが好ましい。本発明者はエッチング量を $0.025 \mu\text{m}$ 以上にすると積層欠陥の発生数を抑えることができることを確認している。また、生産性の観点で、エッチング量は $1.000 \mu\text{m}$ 以下とするのが良い。

図面の簡単な説明

[0014] [図1]塩化水素ガスによるエッチング量を $0.5 \mu\text{m}$ に固定した場合における、エッチングレートとエピタキシャルウェーハに発生した積層欠陥の数（個/ cm^2 ）との関係を示すグラフである。

[図2]塩化水素ガスによるエッチングレートを $0.090 \mu\text{m/min}$ に固定した場合における、エッチング量とエピタキシャルウェーハに発生した積層欠陥の数（個/ cm^2 ）との関係を示すグラフである。

発明を実施するための形態

[0015] 以下、図面を参照して、本発明に係る実施の形態について説明する。まず、シリコンエピタキシャルウェーハの製造装置の一例として、枚葉式の気相成長装置の概略構成を説明する。

[0016] 枚葉式の気相成長装置は、基板が1枚ずつ投入されて、投入された1枚の基板の主表面上に気相成長によりエピタキシャル層を形成する装置である。詳しくは、気相成長装置は、処理対象となる基板が投入される反応炉と、反応炉内に配置されて投入された基板を水平に支持するサセプタと、反応炉を

囲むように配置されて反応炉内を加熱するヒータと、反応炉内に配置された基板の温度を計測する温度計測部とを含んで構成される。なお、サセプタはその中心軸線回りに回転可能に設けられて、気相成長の際にはサセプタは回転する。

[0017] 反応炉の一端側には、反応炉内の基板の表面上に各種ガスを供給するためのガス供給口が形成されている。ガス供給口から供給されるガスは、シリコンソースガス、キャリアガス（例えば水素ガス）、エピタキシャル層の導電型や導電率を調整するためのドーパントガスなどである。反応炉の、ガス供給口と反対側には、基板の表面上を通過したガスを排出するためのガス排出口が形成されている。ヒータは、例えば反応炉の上下それぞれに設けられたハロゲンランプとすることができる。温度計測部は、例えば基板の表面温度を基板に非接触で計測するパイロメータ（放射温度計）とすることができる。

[0018] 次に、シリコンエピタキシャルウェーハの製造方法を説明する。まず、エピタキシャル層を気相成長させる成長用基板となるシリコン単結晶基板を作製する。例えば、石英るつぼに多結晶シリコンと抵抗率を調整するための赤燐を入れて溶融させた溶融液の液面に種結晶シリコン棒を漬けて引き上げ、シリコン単結晶インゴットを作製する。次に、作製したシリコン単結晶インゴットを所定の厚さに切り出し、切り出したウェーハに粗研磨、エッチング、研磨等を施したシリコン単結晶基板を作製する。このシリコン単結晶基板は、シリコン単結晶インゴットの作製時にドーパントとして添加した赤燐により抵抗率が、例えば、 $1.4 \text{ m}\Omega \cdot \text{cm}$ 以下となるように調整される。シリコン単結晶基板における赤燐濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ の場合に、シリコン単結晶基板の抵抗率が $1.4 \text{ m}\Omega \cdot \text{cm}$ となる。つまり、シリコン単結晶基板における赤燐濃度を $5 \times 10^{19} \text{ atoms/cm}^3$ 以上に調整することで、シリコン単結晶基板の抵抗率を $1.4 \text{ m}\Omega \cdot \text{cm}$ 以下にできる。なお、さらに抵抗率が低いシリコン単結晶基板を得るために、例えば抵抗率が $0.85 \text{ m}\Omega \cdot \text{cm}$ 以下となるよう、添加する赤燐の量を調整しても良い。

。なお、シリコン単結晶基板のもとになるシリコン単結晶インゴットは、CZ法に限らず、FZ法など他の方法で得るようにしてもよい。

[0019] 次に、作製されたシリコン単結晶基板を、気相成長装置の反応炉に投入して、サセプタ上に載置する。このとき、反応炉内は雰囲気ガスとして水素ガスが供給されている。

[0020] 次に、ヒータによりシリコン単結晶基板の温度が一定の昇温速度で昇温するように加熱して、シリコン単結晶基板を気相エッチングするのに適した温度（例えば、 1050°C ～ 1200°C ）になるまで加熱する。このとき、例えば気相成長装置に備えられた上記温度計測部の計測値に基づいてヒータのパワーが調整される。

[0021] シリコン単結晶基板の温度が気相エッチングをするのに適した温度に到達すると、シリコン単結晶基板の温度を維持した状態で、シリコン単結晶基板の主表面に対して気相エッチングを施すエッチング工程を行う。エッチング工程では、反応炉内のシリコン単結晶基板の主表面上に塩化水素ガス（HClガス）を供給し、その塩化水素ガスによりシリコン単結晶基板の主表面を気相エッチングする。このとき、気相エッチングのレート（エッチング速度）を $0.04\mu\text{m}/\text{min}$ 以上、かつ $0.37\mu\text{m}/\text{min}$ 以下に設定するのが好ましい。エッチングレートをこの条件に設定することで、下記実施例で示すように、シリコンエピタキシャルウェーハに発生する積層欠陥数を低減できる。エッチングレートは塩化水素ガスの流量や濃度により調整できる。塩化水素ガスの濃度は、例えば塩化水素ガスの流量と塩化水素ガスとともに反応炉内に供給する希釈ガス（例えば水素ガス）の流量とに基づいて調整できる。

[0022] また、気相エッチングにおいては、シリコン単結晶基板の主表面からシリコン単結晶基板の深さ方向に向かう方向を基準に、シリコン単結晶基板のエッチング量を $0.025\mu\text{m}$ 以上、かつ $1.000\mu\text{m}$ 以下に設定するのが好ましい。エッチング量をこの条件に設定することで、下記実施例で示すように、シリコンエピタキシャルウェーハに発生する積層欠陥数を低減できる。

。エッチング量は、例えば塩化水素ガスの供給時間や流量に基づいて調整できる。

[0023] エッチング工程が終了すると、次に、塩化水素ガスを反応炉から排出することを目的としたパージ工程を行う。このパージ工程においては、反応炉への塩化水素ガスの供給を停止するとともに、反応炉内に水素ガスを供給する。このとき、水素ガスの供給時間つまりパージ時間は、パージ工程後に反応炉に塩化水素ガスが残留しないよう適宜に設定すれば良いが、例えば30秒以上とすることができる。また、反応炉内の温度（シリコン単結晶基板の温度）は、先の気相エッチングにおける温度を維持しても良いし、気相エッチングにおける温度と異なる温度としても良い。

[0024] パージ工程が終了すると、次に、ヒータのパワーを調整することで、シリコン単結晶基板の温度を、エピタキシャル層を気相成長させるための成長温度（例えば、1050℃～1200℃）にする。そして、シリコン単結晶基板の主表面にシリコンソースガスとなる、例えば、トリクロロシラン（TC₃S）と、そのトリクロロシランを希釈するキャリアガスとなる水素ガスと、エピタキシャル層の抵抗率や導電性を調整するためのドーパントガス（例えばPH₃）とを供給し、シリコン単結晶基板の主表面上にシリコンエピタキシャル層（シリコン単結晶膜）を気相成長させる。このとき、気相成長の条件（成長時間、ガス流量等）は、形成するエピタキシャル層の条件（膜厚、抵抗率など）に応じて適宜に設定すれば良い。なお、エピタキシャル層の抵抗率は、シリコン単結晶基板の抵抗率と同様に1.4 mΩ・cm以下に設定しても良いし、1.4 mΩ・cmより大きい値に設定しても良い。

[0025] その後、反応炉内を一定の降温速度で降温した後、製造されたシリコンエピタキシャルウェーハを反応炉から取り出す。以上より、低抵抗シリコンエピタキシャルウェーハが得られる。

[0026] このように、本実施形態では、気相成長前に、シリコン単結晶基板の主表面を、塩化水素ガスにより気相エッチングを行うので、その主表面に存在していた積層欠陥核を除去できる。このとき、気相エッチングの条件として、

エッチングレートを $0.04\mu\text{m}/\text{min}$ 以上、かつ $0.37\mu\text{m}/\text{min}$ 以下とし、かつ、エッチング量を $0.025\mu\text{m}$ 以上、かつ $1.000\mu\text{m}$ 以下とすることで、下記実施例で示すように、シリコンエピタキシャルウェーハに発生する積層欠陥数を大幅に低減できる。また、気相エッチング以外に特別な工程を実施しなくても積層欠陥数を低減できるので、シリコンエピタキシャルウェーハの製造工程が複雑になるのを抑制できる。

実施例

[0027] 以下、実施例を挙げて本発明を具体的に説明するが、これらは本発明を限定するものではない。

[0028] (実施例1)

図1は、塩化水素ガスによる気相エッチングのエッチングレートと、この気相エッチングを施した低抵抗シリコン単結晶基板にエピタキシャル層を気相成長した際のウェーハ主表面上の積層欠陥濃度との関係を示している。横軸は、塩化水素ガスによる気相エッチングのエッチングレートを示し、縦軸は、パーティクルカウンタ（レーザーテック社製のMAGICS）により計測したエピタキシャルウェーハの主表面に発生した積層欠陥の単位面積当たりの個数を示している。なお、縦軸の積層欠陥数は、ウェーハ当たりの積層欠陥数を求め、その積層欠陥数をウェーハの表面積で除算することで、単位面積当たりの個数に換算した値である。

[0029] 図1の実験では、赤磷濃度が $1.0\times 10^{20}\text{atoms}/\text{cm}^3$ 、抵抗率が $0.75\text{m}\Omega\cdot\text{cm}$ 、直径が 200mm のシリコン単結晶基板を用いた。また、図1の実験では、気相エッチングにおけるエッチング量は $0.5\mu\text{m}$ とし、エッチング後に塩化水素ガスをチャンバーから排出することを目的としたパージを30秒間行い、次にシリコン単結晶基板の主表面上に $4.0\mu\text{m}$ のシリコンエピタキシャル層を気相成長させた。

[0030] 図1では、エッチングレートが $0.090\mu\text{m}/\text{min}$ である点Aで積層欠陥数が最小値をとり、その最小値となる積層欠陥数は $4.9\text{個}/\text{cm}^2$ である。エッチングレートが $0.090\mu\text{m}/\text{min}$ より大きい領域では、エッ

エッチングレートの増加にほぼ比例して積層欠陥数が増加している。そして、エッチングレートが $0.371 \mu\text{m}/\text{min}$ である点Bでは、積層欠陥数は点Aの約2倍（2倍より若干小さい）の $9.6 \text{個}/\text{cm}^2$ となった。エッチングレートが $0.371 \mu\text{m}/\text{min}$ より大きくなると、積層欠陥数が $9.6 \text{個}/\text{cm}^2$ より多くなる。

[0031] また、エッチングレートが $0.090 \mu\text{m}/\text{min}$ より小さい領域では、エッチングレートが小さいほど積層欠陥数が急激に増加し、エッチングレートが $0.015 \mu\text{m}/\text{min}$ の場合には積層欠陥数が $50 \text{個}/\text{cm}^2$ 以上にまで増加した。また、エッチングレートが $0.037 \mu\text{m}/\text{min}$ である点Cでは、積層欠陥数は点Aの約2倍（2倍より若干小さい）の $8.8 \text{個}/\text{cm}^2$ となった。エッチングレートが $0.037 \mu\text{m}/\text{min}$ より小さいと、積層欠陥数は $8.8 \text{個}/\text{cm}^2$ より多くなる。

[0032] このように、気相エッチングにおけるエッチングレートを $0.090 \mu\text{m}/\text{min}$ 付近に設定することで積層欠陥数の低減効果を向上できる。詳しくは、エッチングレートを $0.037 \mu\text{m}/\text{min}$ 以上、かつ $0.371 \mu\text{m}/\text{min}$ 以下に設定することで、積層欠陥数を、最小値（ $4.9 \text{個}/\text{cm}^2$ ）付近の値（最小値の2倍以下の値）に抑えることができる。別の言い方をすると、エッチングレートを $0.037 \mu\text{m}/\text{min}$ 以上、かつ $0.371 \mu\text{m}/\text{min}$ 以下に設定することで、積層欠陥数を $10 \text{個}/\text{cm}^2$ 以下に抑えることができる。 $0.037 \mu\text{m}/\text{min}$ 、 $0.371 \mu\text{m}/\text{min}$ をそれぞれ小数第3位以下を四捨五入すると、それぞれ、 $0.04 \mu\text{m}/\text{min}$ 、 $0.37 \mu\text{m}/\text{min}$ となる。よって、 $0.04 \mu\text{m}/\text{min}$ 以上、かつ $0.37 \mu\text{m}/\text{min}$ 以下のエッチングレートで気相エッチングを行うことで、積層欠陥数を低減したシリコンエピタキシャルウェーハを製造できる。

[0033] （実施例2）

図2は、塩化水素ガスによる気相エッチングのエッチング量と、この気相エッチングを施した低抵抗シリコン単結晶基板にエピタキシャル層を気相成長した際のウェーハ主表面上の積層欠陥濃度との関係を示している。横軸は

、塩化水素ガスによる気相エッチングのエッチング量を示し、縦軸は、パーティクルカウンタ（レーザーテック社製のMAGICS）により計測したエピタキシャルウェーハの主表面に発生する積層欠陥の単位面積当たりの個数
を示している。なお、縦軸の積層欠陥数は、ウェーハ当たりの積層欠陥数を
求め、その積層欠陥数をウェーハの表面積で除算することで、単位面積当
たりの個数に換算した値である。

[0034] 図2の実験では、赤燐濃度が $1.0 \times 10^{20} \text{ atoms/cm}^3$ 、抵抗率が $0.75 \text{ m}\Omega \cdot \text{cm}$ 、直径が 200 mm のシリコン単結晶基板を用いた。また、図2の実験では、気相エッチングにおけるエッチングレートを上記実施
例1において積層欠陥の発生数が最小となる $0.090 \mu\text{m/min}$ とした
。気相エッチング後に塩化水素ガスをチャンバーから排出することを目的と
したパージを30秒間行い、次にシリコン単結晶基板の主表面上に $4.0 \mu\text{m}$
のシリコンエピタキシャル層を気相成長させた。

[0035] 図2においてエッチング量が $0.025 \mu\text{m}$ より小さい領域では、積層欠
陥の発生数が多くなっており、エッチング量が小さいほど積層欠陥数が急激
に多くなる。エッチング量を $0.025 \mu\text{m}$ 以上にすると積層欠陥数は一定
値（約 5 個/cm^2 ）に収束する。この結果は、積層欠陥の抑制を目的とした
基板表面の清浄化には $0.025 \mu\text{m}$ 以上のエッチング量が必要であることを
示しており、積層欠陥核が基板表面から $0.025 \mu\text{m}$ 以上の深さ領域に
局在していると考えられる。また、エッチング量が $1.000 \mu\text{m}$ を超え
ると生産性が低下するため、エッチング量は $1.000 \mu\text{m}$ 以下とするのが好
ましい。

[0036] 以上より、気相エッチングにおけるエッチング量は $0.025 \mu\text{m}$ 以上、
かつ $1.000 \mu\text{m}$ 以下とするのが好ましい。これにより、シリコン単結晶
基板の主表面における積層欠陥核を効果的に除去することが可能となり、そ
の結果、積層欠陥数を低減したシリコンエピタキシャルウェーハを得ること
ができる。

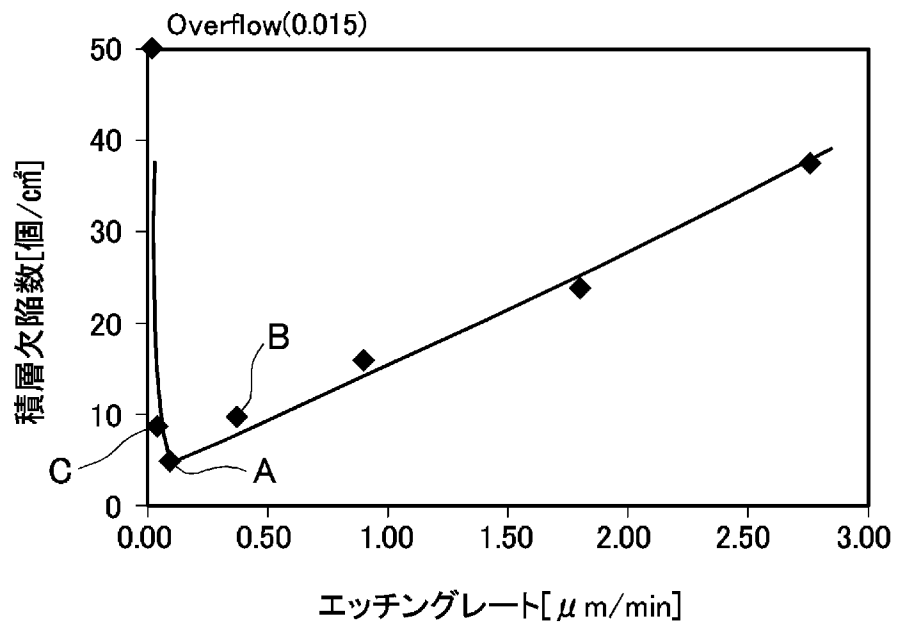
[0037] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態

は、例示であり、本発明の請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであったとしても本発明の技術的範囲に包含される。

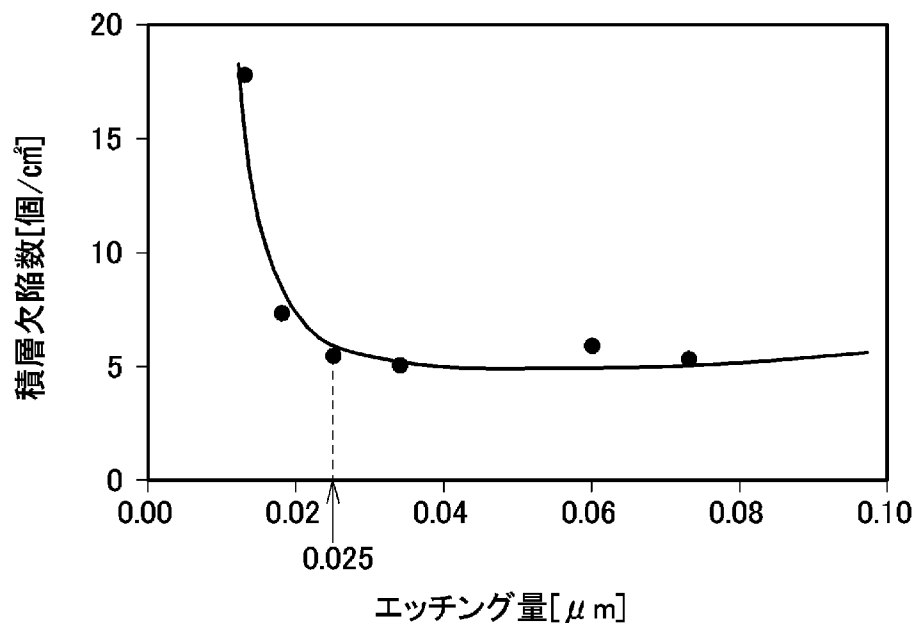
請求の範囲

- [請求項1] 抵抗率が $1.4\text{ m}\Omega\cdot\text{cm}$ 以下のシリコン単結晶基板の主表面上にシリコンエピタキシャル層を気相成長させる方法において、エピタキシャル層の気相成長前に前記シリコン単結晶基板の主表面を塩化水素ガスにより $0.04\text{ }\mu\text{m}/\text{min}$ 以上、かつ $0.37\text{ }\mu\text{m}/\text{min}$ 以下のエッチングレートで気相エッチングすることを特徴とするシリコンエピタキシャルウェーハの製造方法。
- [請求項2] 前記シリコン単結晶基板は赤燐が $5\times 10^{19}\text{ atoms}/\text{cm}^3$ 以上ドーピングされていることを特徴とする請求項1に記載のシリコンエピタキシャルウェーハの製造方法。
- [請求項3] 前記気相エッチングにおけるエッチング量が $0.025\text{ }\mu\text{m}$ 以上、かつ $1.000\text{ }\mu\text{m}$ 以下であることを特徴とする請求項1又は2に記載のシリコンエピタキシャルウェーハの製造方法。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006249

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C23C16/02(2006.01)i, C23C16/24(2006.01)i, C30B25/20(2006.01)i, C30B29/06(2006.01)i, H01L21/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C23C16/02, C23C16/24, C30B25/20, C30B29/06, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 54-141560 A (N.V. Philips Gloeilampenfabrieken), 02 November 1979 (02.11.1979), page 2, lower right column; page 3, upper right column, lower left column; fig. 1 & GB 2019644 A page 1, lines 84 to 93; page 2, lines 24 to 55; fig. 1 & DE 2915883 A1 & FR 2423865 A1 & NL 7804268 A & AU 4604679 A & CA 1134059 A & IT 1112317 B & AU 523988 B2	1, 3 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 May 2017 (09.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006249

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-11293 A (SUMCO Corp.), 20 January 2014 (20.01.2014), paragraph [0045] & US 2014/0001605 A1 paragraphs [0176] to [0182] & US 2015/0380493 A1 & KR 10-2014-0002509 A	2
P, X	JP 2016-213232 A (SUMCO Corp.), 15 December 2016 (15.12.2016), paragraphs [0035], [0036], [0040]; fig. 6 & WO 2016/174997 A1	1-3
A	JP 4-72718 A (NEC Corp.), 06 March 1992 (06.03.1992), entire text; all drawings (Family: none)	1-3
A	JP 2012-114138 A (SUMCO Corp.), 14 June 2012 (14.06.2012), entire text; all drawings (Family: none)	1-3
A	JP 53-98775 A (Hitachi, Ltd.), 29 August 1978 (29.08.1978), entire text; all drawings (Family: none)	1-3
A	JP 5-144751 A (Sony Corp.), 11 June 1993 (11.06.1993), entire text; all drawings (Family: none)	1-3
A	JP 5-166721 A (Mitsubishi Materials Corp.), 02 July 1993 (02.07.1993), entire text; all drawings (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/205(2006.01)i, C23C16/02(2006.01)i, C23C16/24(2006.01)i, C30B25/20(2006.01)i, C30B29/06(2006.01)i, H01L21/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/205, C23C16/02, C23C16/24, C30B25/20, C30B29/06, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 54-141560 A (エヌ・ベー・フイリツプス・フルーイランペンフ アブリケン) 1979.11.02, 第2頁右下欄、第3頁右上欄、左下欄、	1, 3
Y	図1 & GB 2019644 A, 第1頁第84-93行、第2頁第24-55行、図1 & DE 2915883 A1 & FR 2423865 A1 & NL 7804268 A & AU 4604679 A & CA 1134059 A & IT 1112317 B & AU 523988 B2	2
Y	JP 2014-11293 A (株式会社SUMCO) 2014.01.20, 段落【004 5】 & US 2014/0001605 A1, 段落[0176]-[0182] & US 2015/0380493 A1 & KR 10-2014-0002509 A	2

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

50

9276

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, X	JP 2016-213232 A (株式会社SUMCO) 2016. 12. 15, 段落【0035】、【0036】、【0040】、図6 & WO 2016/174997 A1	1-3
A	JP 4-72718 A (日本電気株式会社) 1992. 03. 06, 全文、全図 (ファミリーなし)	1-3
A	JP 2012-114138 A (株式会社SUMCO) 2012. 06. 14, 全文、全図 (ファミリーなし)	1-3
A	JP 53-98775 A (株式会社日立製作所) 1978. 08. 29, 全文、全図 (ファミリーなし)	1-3
A	JP 5-144751 A (ソニー株式会社) 1993. 06. 11, 全文、全図 (ファミリーなし)	1-3
A	JP 5-166721 A (三菱マテリアル株式会社) 1993. 07. 02, 全文、全図 (ファミリーなし)	1-3