(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
16. Oktober 2014 (16.10.2014)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2014/166763 A1

(51) Internationale Patentklassifikation:
H01L 25/075 (2006.01) *H01L 33/48* (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2014/056320

(22) Internationales Anmeldedatum:
28. März 2014 (28.03.2014)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2013 103 600.7
10. April 2013 (10.04.2013) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **HERRMANN, Siegfried**; Hauptstr. 24, 94362 Neukirchen (DE).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

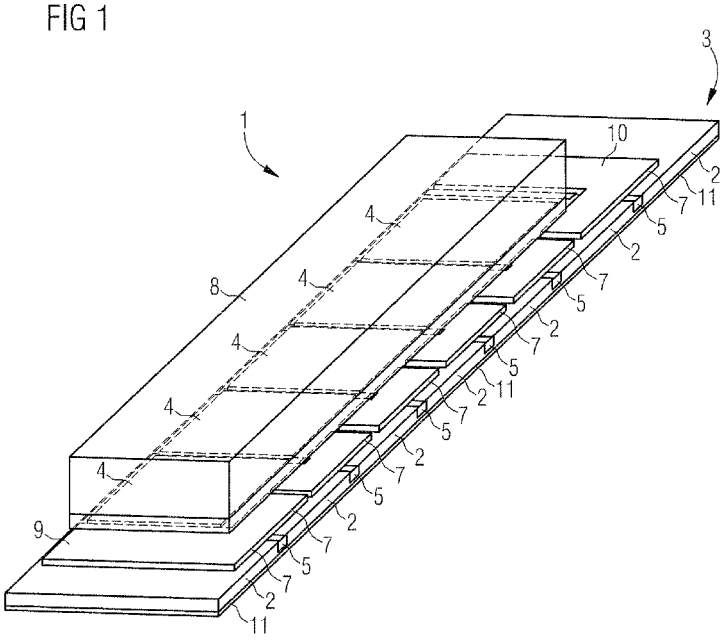
— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

WO 2014/166763 A1

(54) Title: MODULE HAVING AT LEAST TWO SEMICONDUCTOR CHIPS

(54) Bezeichnung : MODUL MIT WENIGSTENS ZWEI HALBLEITERCHIPS

FIG 1



(57) Abstract: The invention relates to a module (1) having at least two semiconductor chips (4) for producing light, having a support (3), wherein the support has at least two support elements (2) arranged next to one another, wherein the support elements are connected to one another flexibly by means of a mechanical connection (5), wherein a semiconductor chip is arranged on each support element, and wherein an interconnect (7) is provided that is electrically connected to the two semiconductor chips, wherein the interconnect extends via the two support elements.

(57) Zusammenfassung: Die Erfindung betrifft ein Modul (1) mit wenigstens zwei Halbleiterchips (4) zur Erzeugung von Licht, mit einem Träger (3), wobei der Träger wenigstens zwei nebeneinander angeordnete Trägerelemente (2) aufweist, wobei die Trägerelemente über eine mechanische Verbindung (5) flexibel miteinander verbunden sind, wobei jeweils ein Halbleiterchip auf einem Trägerelement angeordnet ist, und wobei eine Leiterbahn (7) vorgesehen ist, die mit den zwei Halbleiterchips elektrisch verbunden ist, wobei sich die Leiterbahn über die zwei Trägerelemente erstreckt.

Beschreibung

Modul mit wenigstens zwei Halbleiterchips

Die Erfindung betrifft ein Modul mit wenigstens zwei Halbleiterchips zur Erzeugung von Licht.

Im Stand der Technik ist es bekannt, als Modul mehrere Halbleiterchips auf einen Träger aufzubringen und am Träger zu befestigen. Dadurch ergeben sich großflächige Lötverbindungen.

Die Aufgabe der Erfindung besteht darin, ein verbessertes Modul mit wenigstens zwei Halbleiterchips zur Erzeugung von Licht bereitzustellen.

Ein Vorteil des beschriebenen Moduls besteht darin, dass der Träger aus wenigstens zwei Trägerelementen aufgebaut ist, wobei die zwei Trägerelemente flexibel miteinander verbunden sind. Auf diese Weise werden mechanische Spannungen, die beispielsweise beim Befestigen der Halbleiterchips auf dem Träger erzeugt werden, ausgeglichen. Somit können Halbleiterchips mit dünnen Schichten auf dem Träger oder das Modul auf einem weiteren Träger befestigt werden, ohne dass eine Beschädigung der Halbleiterchips aufgrund mechanischer Verspannungen die Folge ist.

In einer weiteren Ausführungsform wird die mechanische Verbindung zwischen den Trägerelementen in Form eines elastischen Materials ausgebildet, das insbesondere elastischer ist als das Material, mit dem die Trägerelemente gebildet sind. Die Verwendung eines elastischen Materials zur Verbindung der zwei Trägerelemente ermöglicht eine sichere Verbindung der zwei Trägerelemente. Zudem kann über das elastische Material auch die Leiterbahn geführt werden.

Das elastische Material der Verbindung kann insbesondere einen wesentlich niedrigeren Young’schen Elastizitätsmodul

als das Material der zumindest zwei Trägerelemente aufweisen. Beispielsweise kann der Young'sche Modul des elastischen Materials der Verbindung höchstens 10 %, bevorzugt höchstens 5 % des Young'schen Moduls des Materials der zumindest zwei Trägerelemente betragen. Beispielsweise kann das elastische Material einen Young'schen Modul von höchstens 10 kN/mm^2, bevorzugt von höchstens 5 kN/mm^2, aufweisen, während das Material der zumindest zwei Trägerelemente entlang zumindest einer Hauptkristallrichtung einen Young'schen Modul von wenigstens 100 kN/mm^2, bevorzugt von wenigstens 150 kN/mm^2, aufweisen kann.

Insbesondere ist es möglich, dass die Verbindung und die zumindest zwei Trägerelemente aus unterschiedlichen Materialien bestehen.

Beispielsweise kann als elastisches Material ein Kunststoff wie z.B. ein Polyimid, ein Polyamid oder ein Polymer oder ein Flüssigkristallpolymer verwendet werden. Die Trägerelemente können beispielsweise aus Silizium, Aluminiumnitrid, Aluminiumoxid und/oder Siliziumnitrid ausgebildet sein. Die beschriebenen elastischen Materialien können einfach und kostengünstig verarbeitet werden, um mithilfe mehrerer Trägerelemente einen großflächigen Träger bereitzustellen.

In einer weiteren Ausführungsform ist auf den Halbleiterchips ein einteiliges steifes Konversionselement vorgesehen. Das Konversionselement dient zur Verschiebung einer Wellenlänge der Lichtstrahlung der Halbleiterchips. Durch die einteilige Ausbildung des Konversionselementes wird eine zusätzliche Versteifung der Anordnung erreicht. Somit übernimmt das Konversionselement zusätzlich zum Träger auch eine Trägerfunktion. Beispielsweise kann als Konversionselement eine steife Platte, insbesondere eine Keramikplatte verwendet werden. Hierbei ist es möglich, dass das Material des Konversionselements steifer ist als das elastische Material der Verbindung. Insbesondere kann das Material des Konversionselements ähnlich steif oder steifer als das

Material der Trägerelemente sein. Der Young'sche Modul des Materials des Konversionselements kann damit gleich groß oder größer als der Young'sche Modul des Materials der zumindest zwei Trägerelemente sein. Beispielsweise kann der Young'sche Modul des Konversionselements wenigstens 200 kN/mm^2 betragen.

Die steife Platte bietet eine ausreichende mechanische Stabilität zur Unterstützung der Trägerfunktion des Trägers. Hierbei kann die mechanische Handhabung des Moduls durch das Konversionselement verbessert werden und dadurch in Anwesenheit des Konversionselements beispielsweise eine höhere externe Kraft an dem Modul wirken, ohne dass dieses zerstört wird. Zudem ist es möglich, dass das Modul durch das Konversionselement mechanisch selbsttragend wird, das heißt, dass das Modul etwa im Rahmen eines Fertigungsverfahrens mit Werkzeugen wie beispielsweise einer Pinzette gehandhabt werden kann, ohne dass ein weiteres stützendes Element vorhanden sein muss.

Zudem sind Keramikplatten im Bereich der Halbleiterchips als Konversionselemente bekannt. Somit können bekannte Verfahren zur Montage und bekannte Materialien zur Ausbildung des Konversionselementes eingesetzt werden.

In einer weiteren Ausführungsform weist der Träger zwei Durchkontaktierungen auf, wobei auf der Rückseite des Trägers Anschlussflächen zur elektrischen Kontaktierung ausgebildet sind. Auf diese Weise kann das Modul nicht nur von der Oberseite her, sondern auch von der Rückseite her elektrisch kontaktiert werden. Damit ist eine erhöhte Flexibilität beim Einsatz des Moduls gegeben.

In einer weiteren Ausführungsform ist die Oberseite der mechanischen Verbindung auf gleicher Höhe angeordnet wie die Oberseite der Trägerelemente. Dadurch ist eine durchgehende ebene Fläche ausgebildet. Somit kann die Leiterbahn ohne Probleme in einem einzigen Verfahren sowohl auf die Trägerelemente als auch auf die mechanische Verbindung

aufgebracht werden. Die Leiterbahn wird beispielsweise sowohl auf die Trägerelemente als auch auf die mechanische Verbindung abgeschieden. Beispielsweise kann die Leiterbahn mithilfe eines CVD-Verfahrens abgeschieden werden.

In einer weiteren Ausführungsform weist der Kunststoff Licht reflektierende Teilchen, wie z.B. Titandioxid auf. Somit kann die Abstrahlung von Licht nach oben in die Abstrahlrichtung des Halbleiterchips unterstützt werden.

Beispielsweise sind die Halbleiterchips im Wesentlichen in Form von Halbleiterschichten, insbesondere Epischichten ausgebildet. Dadurch wird eine präzise Höhe der Halbleiterchips erreicht. Somit kann das einteilige Konversionselement präzise auf die Halbleiterchips aufgelegt und auf den Halbleiterchips befestigt werden. Die Halbleiterchips sind beispielsweise identisch ausgebildet.

In einer weiteren Ausführungsform wird der Träger auf einem weiteren Träger, insbesondere auf einer Trägerplatte befestigt. Die Trägerplatte kann beispielsweise als Metallplatte ausgebildet sein und die Funktion einer Wärmesenke erfüllen.

In einer weiteren Ausführungsform ist der Träger auf dem weiteren Träger mithilfe einer Lötverbindung befestigt. Die Verwendung der Lötverbindung ermöglicht eine sichere Befestigung und zudem eine gute thermisch leitende Verbindung zwischen dem Träger und dem weiteren Träger.

Durch die beschriebene Ausbildung des Trägers können die Halbleiterchips, insbesondere auch dünn ausgebildete Halbleiterchips einzeln auf den Träger aufgelötet werden. In einer weiteren Ausführungsform weisen die Halbleiterchips beispielsweise eine Dicke von 200 µm auf. Aufgrund der geringen Größe der einzelnen Trägerelemente, die beispielsweise im Bereich der Fläche der Halbleiterchip

liegt, werden größere thermische Verspannungen bei der Montage vermieden.

In einer weiteren Ausführungsform ist zwischen zwei benachbarten Halbleiterchips eine Füllschicht angeordnet. Dadurch werden Hohlräume vermieden und die mechanische Stabilität wird erhöht.

In einer weiteren Ausführungsform ist eine Schutzdiode in einem Trägerelement integriert.

Die oben beschriebenen Eigenschaften, Merkmale und Vorteile dieser Erfindung sowie die Art und Weise, wie diese erreicht werden, werden klarer und deutlicher verständlich im Zusammenhang mit der folgenden Beschreibung der Ausführungsbeispiele, die im Zusammenhang mit den Zeichnungen näher erläutert werden, wobei

Fig. 1 eine schematische Darstellung eines Moduls,

Fig. 2 einen schematischen Teilausschnitt des Trägers mit zwei Trägerelementen und einer Leiterbahn,

Figuren 3 bis 5 verschiedene Verfahrensschritte für die Herstellung des Moduls,

Fig. 6 eine vergrößerte Darstellung eines Querschnitts durch das Modul,

Fig. 7 ein Modul mit einer Rückseitenkontaktierung, und

Fig. 8 einen schematischen Querschnitt durch eine Leiterbahn dieses Moduls zeigt.

Fig. 1 zeigt in einer schematischen Darstellung ein Modul 1, das einen Träger 3 aufweist. Der Träger 3 ist aus mehreren Trägerelementen 2 aufgebaut. Die Trägerelemente 2 sind nebeneinander angeordnet und benachbarte Trägerelemente 2

sind über eine mechanische Verbindung 5 jeweils miteinander verbunden. Auf einigen der Trägerelemente 2 ist ein Halbleiterchip 4 angeordnet. Zudem ist eine Leiterbahn 7 auf dem Träger 3 vorgesehen, die sich über alle Trägerelemente 2 und die mechanischen Verbindungen 5 erstreckt. Die Trägerelemente 2 können beispielsweise aus einem elektrisch isolierenden Material wie undotiertem Silizium oder einem keramischen Material ausgebildet sein. Ferner ist es möglich, die Trägerelemente 2 aus einem elektrisch leitenden oder einem elektrisch halbleitenden Material auszubilden, wobei jedoch bei diesem Fall geeignete elektrische isolierende Beschichtungen vorgesehen sind.

Die Leiterbahn 7 ist von einem Trägerelement 2 zum benachbarten Trägerelement 2 über die mechanische Verbindung 5 geführt. Die Leiterbahn 7 kann beispielsweise aus Metall ausgebildet sein und mithilfe eines Abscheideverfahrens, beispielsweise einem CVD-Verfahren auf die Trägerelemente 2 und die mechanische Verbindung 5 aufgebracht werden. Dabei können geeignete Verfahren zur Strukturierung der Leiterbahn wie z.B. Ätzverfahren mit Fotolackschichten verwendet werden.

In der dargestellten Ausführungsform ist jeweils ein Halbleiterchip 4 auf einem Trägerelement 2 angeordnet. Die Dimensionierung des Trägerelementes 2 ist in der Weise gewählt, dass ein Halbleiterchip 4 den größten Bereich der Fläche des Trägerelementes 2 einnimmt. Dadurch wird die Ausbildung von mechanischen Verspannungen bei der Montage des Halbleiterchips auf dem Trägerelement reduziert. Zudem wird die zum Aufbau des Moduls 1 benötigte Fläche für die Halbleiterchips 4 reduziert. In dem dargestellten Ausführungsbeispiel sind die Trägerelemente 2, die den Träger 3 begrenzen, ohne Halbleiterchip 4 ausgebildet. Auf den endseitigen Trägerelementen 2 ist jeweils eine vergrößerte Leiterbahnfläche vorgesehen. Die vergrößerten Leiterbahnflächen dienen als Kontaktflächen 9, 10 zur elektrischen Kontaktierung des Moduls 1.

Jeder Halbleiterchip 4 weist eine aktive Zone zur Erzeugung von Lichtstrahlung auf. Die aktive Zone weist entsprechend ausgebildete Halbleiterschichten auf, die beispielsweise in Form eines pn-Überganges und in Form von Quantentöpfen oder Quantentopfstrukturen ausgebildet sind. Als Material für die aktive Zone kann beispielsweise Aluminiumgalliumarsenid, Galliumarsenidphosphid, Galliumphosphid, Siliziumcarbid, Zinkselenid, Indiumgalliumnitrid oder Galliumnitrid verwendet werden.

Auf den Halbleiterchips 4 ist in dem dargestellten Ausführungsbeispiel nur ein einteiliges Konversionselement 8 angeordnet. In einer weiteren Ausführungsform sind mehrere Konversionselemente 8 vorgesehen, wobei ein Konversionselement 8 wenigstens zwei benachbart angeordnete Halbleiterchips 4 überdeckt. Das Konversionselement 8 dient zur Verschiebung der Wellenlänge des Lichts, das von den Halbleiterchips 4 nach oben abgestrahlt wird. Das Konversionselement 8 ist in Form einer steifen Platte, beispielsweise in Form einer Keramik ausgebildet. Die Keramik kann beispielsweise ein Yttriumaluminiumoxid (YAG) aufweisen, das mit Ce dotiert ist. Die Keramik kann auch andere Leuchtstoffe aufweisen, die eine gewünschte Verschiebung der Wellenlänge des Lichts verursachen, das von dem Halbleiterchip emittiert wird. Das Konversionselement kann eine Dicke zwischen 50 µm und 200 µm aufweisen. Als Leuchtstoffe können z. B. Granate, Aluminate, Silikate, Oxinitride, Aluminiumoxinitride, Siliziumnitride oder Sialone verwendet werden, die mit Metallen der seltenen Erden dotiert sind.

Das Konversionselement kann auch in Form einer durchsichtigen Platte ausgebildet sein, die mit einem entsprechenden Leuchtstoff versehen ist, um die Konversion zu erreichen. Das starre Plättchen kann auch aus einem Trägermaterial, beispielsweise Silikon mit einem Leuchtstoff ausgebildet sein. Das Konversionselement 8 wird beispielsweise mithilfe eines Klebers auf den Halbleiterchip aufgeklebt.

Beispielsweise kann als Kleber Silicon verwendet werden. Die lichtdurchlässige Platte kann aus Glas, bevorzugt Hartglas oder Siliziumdioxid ausgebildet sein. Das Konvertermaterial kann aus einer Opto-Keramik, einer Glaskeramik, einem keramisierten Glas oder einem Phosphor im Glasmaterial aufgebaut sein. Das Konversionselement ist bei im Einsatz üblichen Temperaturen im Wesentlichen nicht plastisch verformbar. Das Konversionselement kann einlagig oder mehrlagig ausgebildet sein. Die einzelnen Lagen können unterschiedliche Konversionseigenschaften, insbesondere hinsichtlich der Konversion aufweisen.

Auf der Unterseite der Trägerelemente 2 ist eine Verbindungsschicht 11 vorgesehen. Die Verbindungsschicht 11 dient dazu, um den Träger 3 mit einem weiteren Träger, der in der Fig. 1 nicht dargestellt ist, zu verbinden. Die Verbindungsschicht 11 kann beispielsweise in Form eines metallischen Lotes ausgebildet sein. Neben der mechanischen Verbindung übernimmt die Verbindungsschicht 11 auch eine thermische Kopplung. Abhängig von der Ausführung kann auch ein weiches Konversionselement verwendet werden oder auf das Konversionselement verzichtet werden.

Abhängig von der gewählten Ausführungsform kann das Konversionselement 8 auch aus einer weichen, elastischen Vergussmasse gebildet sein.

Fig. 2 zeigt in einem schematischen Teilausschnitt Teile von zwei nebeneinander angeordneten Trägerelementen 2, die über eine Verbindung 5 miteinander verbunden sind. Die Verbindung 5 kann beispielsweise aus Kunststoff ausgebildet sein. Als Kunststoffe kommen beispielsweise Polyimid, Polyamid, Polymere oder Flüssigkristallpolymere infrage. Zudem können in dem Kunststoff Licht reflektierende Teilchen 6 eingebettet sein. Damit wird eine Reflexion des Lichtes nach oben erreicht. Dadurch wird das von den Halbleiterchips erzeugte Licht in die Abstrahlrichtung nach oben zurückreflektiert. In der dargestellten Ausführungsform ist die Verbindung 5 in der

Weise ausgebildet, dass die Oberfläche der Verbindung 5 auf gleicher Höhe angeordnet ist wie die Oberfläche der Trägerelemente 2. Damit ist ein ebener Übergang für die Leiterbahn 7 gegeben. Die Leiterbahn 7 ist beispielsweise aus Metall ausgebildet und in gewissem Maße flexibel. Dadurch können geringe Änderungen der relativen Position der zwei nebeneinander angeordneten Trägerelemente auftreten, ohne dass die Leiterbahn 7 beeinträchtigt wird.

Fig. 3 zeigt in einer schematischen Aufsicht den Träger 3 mit fünf Trägerelementen 2, 2‘, 2‘‘. Die Trägerelemente 2, 2‘, 2‘‘ sind jeweils über eine mechanische Verbindung 5 elastisch miteinander verbunden. Auf dem ersten und dem letzten Trägerelement 2‘‘ ist eine Kontaktfläche 9, 10 der Leiterbahn 7 vorgesehen. Die Kontaktfläche 9, 10 kann insbesondere Teil der Leiterbahn 7 sein. Die Kontaktflächen 9, 10 sind jeweils als schmaler Streifen ausgebildet, der angrenzend an die mechanische Verbindung 5 nahezu über die gesamte Breite des Trägerelementes 2‘‘ angeordnet ist. Die erste Kontaktfläche 9 ist über ein Verbindungsstück 15 auf das benachbarte Trägerelement 2 geführt. Das Verbindungsstück 15 steht mit einem zweiten Verbindungsstück 16 in Verbindung. Das zweite Verbindungsstück 16 ist senkrecht zur Längserstreckung des Trägers 2 in einen Mittenbereich des Trägerelementes 2 geführt. Im Kontaktbereich 24 wird das zweite Verbindungsstück 16 bei der Montage des Halbleiterchips 4 mit einem Anschlusskontakt des Halbleiterchips 4 verbunden. Die erste Kontaktfläche 9, das Verbindungsstück 15, das zweite Verbindungsstück 16 und der Kontaktbereich 24 können insbesondere einstückig ausgebildet und Teil der Leiterbahn 7 sein oder gemeinsam die Leiterbahn 7 bilden.

Das zweite Verbindungsstück 16 ist von einer Chipkontaktfläche 17 umgeben. Die Chipkontaktfläche 17 ist elektrisch vom zweiten Verbindungsstück 16 isoliert. Die Chipkontaktfläche 17 wiederum ist über ein weiteres Verbindungsstück 18 zu einem weiteren zweiten Verbindungsstück 19 des benachbarten Trägerelementes 2, 2‘

geführt. Das weitere zweite Verbindungsstück 19 ist von einer weiteren Chipkontaktfläche 17 umgeben. Die Chipkontaktfläche 17 weist nahezu die gleiche Fläche wie das Trägerelement 2, 2‘ auf. Somit kann mit der Chipkontaktfläche 17 ein Halbleiterchip großflächig unterstützt und elektrisch kontaktiert werden.

Die Chipkontaktfläche 17 kann im Wesentlichen die gesamte Grundfläche eines Halbleiterchips abdecken. Jede der Chipkontaktflächen 17 kann insbesondere einstückig mit einem der weiteren Verbindungsstücke 16, 19 ausgebildet sein. Die Chipkontaktflächen 17 und die weiteren Verbindungsstücke 16, 19 können ebenfalls Teil der Leiterbahn 7 sein oder gemeinsam diese bilden. Somit kann die Leiterbahn 7 im Wesentlichen die gesamte Grundfläche eines Halbleiterchips 4 abdecken. Beispielsweise kann die Chipkontaktfläche 17 wenigstens 90 % der Grundfläche eines Halbleiterchips 4 bedecken. Die Grundfläche eines Halbleiterchips 4 kann hierbei durch die zweidimensionale Ausdehnung des Halbleiterchips 4 entlang der Oberfläche des Trägerelements 2, 2‘ gegeben sein.

Die Ausbildung des zweiten Verbindungsstückes 16, 19 dient dazu, um einen zweiten elektrischen Anschluss des Halbleiterchips elektrisch zu kontaktieren. Abhängig von der gewählten Ausführungsform kann das zweite Verbindungsstück 16, 19 bis zu einem Endbereich mit einer Isolationsschicht versehen sein.

Das auf der rechten Seite vorletzte Trägerelement 2‘ weist ein weiteres Verbindungsstück 18 auf, das zu der Kontaktfläche 10 des endseitigen Trägerelementes 2‘‘ geführt ist. Das weitere Verbindungsstück 18 kann Teil der Kontaktfläche 10 und somit auch Teil der Leiterbahn 7 sein. Das erste und das letzte Trägerelement 2‘‘ weisen eine Montagefläche 14 auf, über die das Modul 1 mechanisch fixiert werden kann. Beispielsweise kann die Fixierung mithilfe einer Klammer durchgeführt werden.

Abhängig von der gewählten Ausführungsform kann eine Schutzdiode 26 in das Trägerelement 2 integriert sein. Beispielsweise kann das Trägerelement 2, 2‘, 2‘‘ aus Silizium bestehen und die Schutzdiode durch eine entsprechende Dotierung hergestellt sein.

Fig. 4 zeigt einen Prozessabschnitt, bei dem auf den Träger 3 der Fig. 3 auf die entsprechenden Trägerelemente 2 jeweils ein Halbleiterchip 4 aufgebracht wurde. Die Halbleiterchips 4 wurden beispielsweise über eine Lotverbindung oder eine Klebeverbindung auf dem jeweiligen Trägerelement 2 befestigt. Nach der Montage der Halbleiterchips 4 auf dem Träger 3 sind Wachstumssubstrate der Halbleiterchips 4 entfernt worden. In der dargestellten Ausführungsform ist zwischen zwei benachbarten Halbleiterchips 4 eine Füllschicht 27 eingebracht. Die Füllschicht 27 besteht z.B. aus einem elektrisch isolierenden Material wie z.B. Kunststoff. Die Füllschicht erhöht die mechanische Stabilität und reduziert das Vorliegen von Hohlräumen. Auf die Füllschicht 27 kann auch verzichtet werden. Somit sind die Halbleiterchips 4 in der dargestellten Ausführungsform als dünne Halbleiterchips ausgebildet. In der dargestellten Ausführungsform sind die Halbleiterchips 4 über eine Verbindungsschicht 11 mit den Trägerelementen 2 mechanisch und/oder elektrisch verbunden. Die Verbindungsschicht 11 kann als Lotverbindung oder Klebeverbindung ausgebildet sein. Der Träger 3 weist auf einer Unterseite eine zweite Verbindungsschicht 20 auf.

Anschließend wird ein Konversionselement 8 auf die freie Oberseite der Halbleiterchips 4 aufgelegt und mit den freien Oberseiten der Halbleiterchips 4 verbunden. Die Verbindung kann beispielsweise mithilfe eines lichtdurchlässigen Klebers, insbesondere Silikon ausgeführt werden. Das Konversionselement 8 ist, wie bereits beschrieben, in Form eines steifen Plättchens ausgebildet. Dieser Verfahrensstand ist in Fig. 5 dargestellt.

Fig. 6 zeigt in einer vergrößerten Darstellung das Modul 1, das über eine zweite Verbindungsschicht 20 mit einem weiteren Träger 12 verbunden ist. Die zweite Verbindungsschicht 20 ist beispielsweise mithilfe einer Klebeschicht oder einer Lotschicht ausgebildet. Der weitere Träger 12 ist aus einem thermisch leitenden Material, beispielsweise aus Metall ausgebildet. Insbesondere kann der weitere Träger 12 in Form einer Metallplatte ausgebildet sein. Durch die Ausbildung des Trägers 3 in Form von mehreren elastisch miteinander verbundenen Trägerelementen 2 werden thermische Verspannungen reduziert, die durch die Montage beispielsweise beim Auflöten der Trägerelemente 2 auf den weiteren Träger 12 erzeugt werden. Die Trägerelemente 2 sind beispielsweise aus Silizium, Aluminiumnitrid, Aluminiumoxid, Siliziumnitrid ausgebildet. Es können auch andere elektrisch isolierende Materialien verwendet werden, die elektrisch isolierend sind und einen thermischen Ausdehnungskoeffizienten zwischen 3 und 6 x 10^{-6}/K aufweisen. Der weitere Träger 12 kann beispielsweise aus Kupfer bestehen, das einen thermischen Ausdehnungskoeffizienten von 16 x 10^{-6}/K aufweist.

Fig. 7 zeigt eine weitere Ausführungsform, bei der die Leiterbahn 7 auf dem ersten und dem letzten Trägerelement 2 über eine Durchkontaktierung 21 auf der Rückseite des Trägers 3 geführt ist. Zudem ist der weitere Träger 12 von einem Rahmen 22 umgeben. Auf dem Rahmen 22 ist eine weitere Leiterbahn 23 ausgebildet, die mit der jeweiligen Durchkontaktierung 21 elektrisch leitend verbunden ist. Auf diese Weise ist eine elektrische Kontaktierung des Moduls 1 von der Unterseite her möglich.

Fig. 8 zeigt in einem schematischen Querschnitt durch ein Trägerelement 2 im Bereich des Kontaktbereiches 24 des weiteren Verbindungsstückes 18. Das Trägerelement 2 ist beispielsweise aus Siliziumnitrid ausgebildet. Die Chipkontaktfläche 17 ist im unteren Bereich beispielsweise aus Titan/Platin/Gold ausgebildet. Ebenso ist das weitere Verbindungsstück 18 im unteren Bereich aus Titan/Platin/Gold

ausgebildet. Zudem weisen die Kontaktfläche 17 und das weitere Verbindungsstück 18 in einem oberen Bereich eine Gold/Zinn-Schicht auf. Das weitere Verbindungsstück 18 ist seitlich über eine Isolationsschicht 25 von der Chipkontaktfläche 17 elektrisch isoliert. Die Isolationsschicht 25 ist beispielsweise als Siliziumnitrid ausgebildet.

Die Halbleiterchips 4 können verschiedene Kontaktanschlüsse aufweisen. Entsprechend können die Leiterbahnen 7 auf dem Träger 3 auch unterschiedlich ausgebildet sein. Beispielsweise kann der Halbleiterchip 4 mit zwei Rückseitenkontakten ausgebildet sein. Bei dieser Ausführungsform ist eine elektrische Umverdrahtung im Halbleiterchip 4 vorgesehen, um die p- und n-Anschlüsse der aktiven pn-Zone elektrisch zu kontaktieren.

Ein solcher Halbleiterchip 4 weist beispielsweise mehrere n-Anschlüsse und einen p-Anschluss auf. Durch eine Umverdrahtungsebene sind mehrere n-Anschlüsse des Halbleiterchips 4 auf einen einzigen Rückseitenkontakt geführt. Zudem ist ein zweiter Rückseitenkontakt für den p-Anschluss vorgesehen. Die Rückseitenkontakte sind durch eine elektrisch isolierende Schicht auf der Unterseite des Halbleiterchips geführt.

Obwohl die Erfindung im Detail durch das bevorzugte Ausführungsbeispiel näher illustriert und beschrieben wurde, so ist die Erfindung nicht durch die offenbarten Beispiele eingeschränkt und andere Variationen können vom Fachmann hieraus abgeleitet werden, ohne den Schutzumfang der Erfindung zu verlassen.

Die vorliegende Anmeldung beansprucht die Priorität der deutschen Anmeldung DE 102013103600.7, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Patentansprüche

1. Modul (1) mit
- einem Träger (3), der wenigstens zwei nebeneinander angeordnete Trägerelemente (2) aufweist, und
- wenigstens zwei Halbleiterchips (4) zur Erzeugung von Licht, wobei ein Halbleiterchip (4) auf einem Trägerelement (2) angeordnet ist, und
- einer Leiterbahn (7), die mit den zwei Halbleiterchips (4) elektrisch verbunden ist,
wobei
- die Trägerelemente (2) über eine flexible Verbindung (5) miteinander verbunden sind, und
- sich die Leiterbahn (7) über die zwei Trägerelemente (2) erstreckt.

2. Modul nach Anspruch 1, wobei die Verbindung (5) aus einem elastischen Material, insbesondere mit einem Material, das elastischer ist als das Material, mit dem die Trägerelemente (2) gebildet sind, gebildet ist.

3. Modul nach einem der vorhergehenden Ansprüche, wobei auf den Halbleiterchips (4) ein einteiliges Konversionselement (8) zur Verschiebung einer Wellenlänge einer Lichtstrahlung angeordnet ist, wobei das Konversionselement (8) eine so hohe Steifigkeit, insbesondere einen höheren Young'schen Modul als das Material der Verbindung, aufweist, dass das Konversionselement als weiterer Träger zur Stabilisierung des Moduls wirkt.

4. Modul nach Anspruch 3, wobei das Konversionselement (8) eine steife Platte, insbesondere eine Keramikplatte aufweist.

5. Modul nach wenigstens einem der vorhergehenden Ansprüche, wobei die Halbleiterchips (4) über die Leiterbahn (7) elektrisch in Serie geschaltet sind.

6. Modul nach wenigstens einem der vorhergehenden Ansprüche, wobei der Träger (3) zwei Durchkontaktierungen (21) aufweist, über die Anschlussflächen (23) auf einer Rückseite des Trägers ausgebildet sind.

7. Modul nach einem der Ansprüche 2 bis 6, wobei die Verbindung (5) aus einem Kunststoffmaterial ausgebildet ist.

8. Modul nach wenigstens einem der vorhergehenden Ansprüche, wobei eine Oberseite der mechanischen Verbindung (5) auf gleicher Höhe wie eine Oberseite der Trägerelemente (2) angeordnet ist.

9. Modul nach wenigstens einem der vorhergehenden Ansprüche, wobei die Leiterbahn (7) im Wesentlichen eine gesamte Grundfläche eines Halbleiterchips (4) abdeckt.

10. Modul nach wenigstens einem der vorhergehenden Ansprüche, wobei der Träger (3) auf einem weiteren Träger (12), insbesondere auf einer Trägerplatte befestigt ist, und wobei die Trägerplatte insbesondere als Metallplatte ausgebildet ist.

11. Modul nach einem der Ansprüche 7 bis 10 wobei das Kunststoffmaterial reflektierende Teilchen (6) aufweist.

12. Modul nach einem der vorhergehenden Ansprüche, wobei die Halbleiterchips in Form von Halbleiterschichten, insbesondere in Form von Epischichten ausgebildet sind.

13. Modul nach einem der vorhergehenden Ansprüche, wobei zwischen zwei Halbleiterchips (4) eine Füllschicht (27) vorgesehen ist.

14. Modul nach einem der vorhergehenden Ansprüche, wobei wenigstens in einem der Trägerelemente (2) eine Schutzdiode (26) integriert ist.

FIG 1

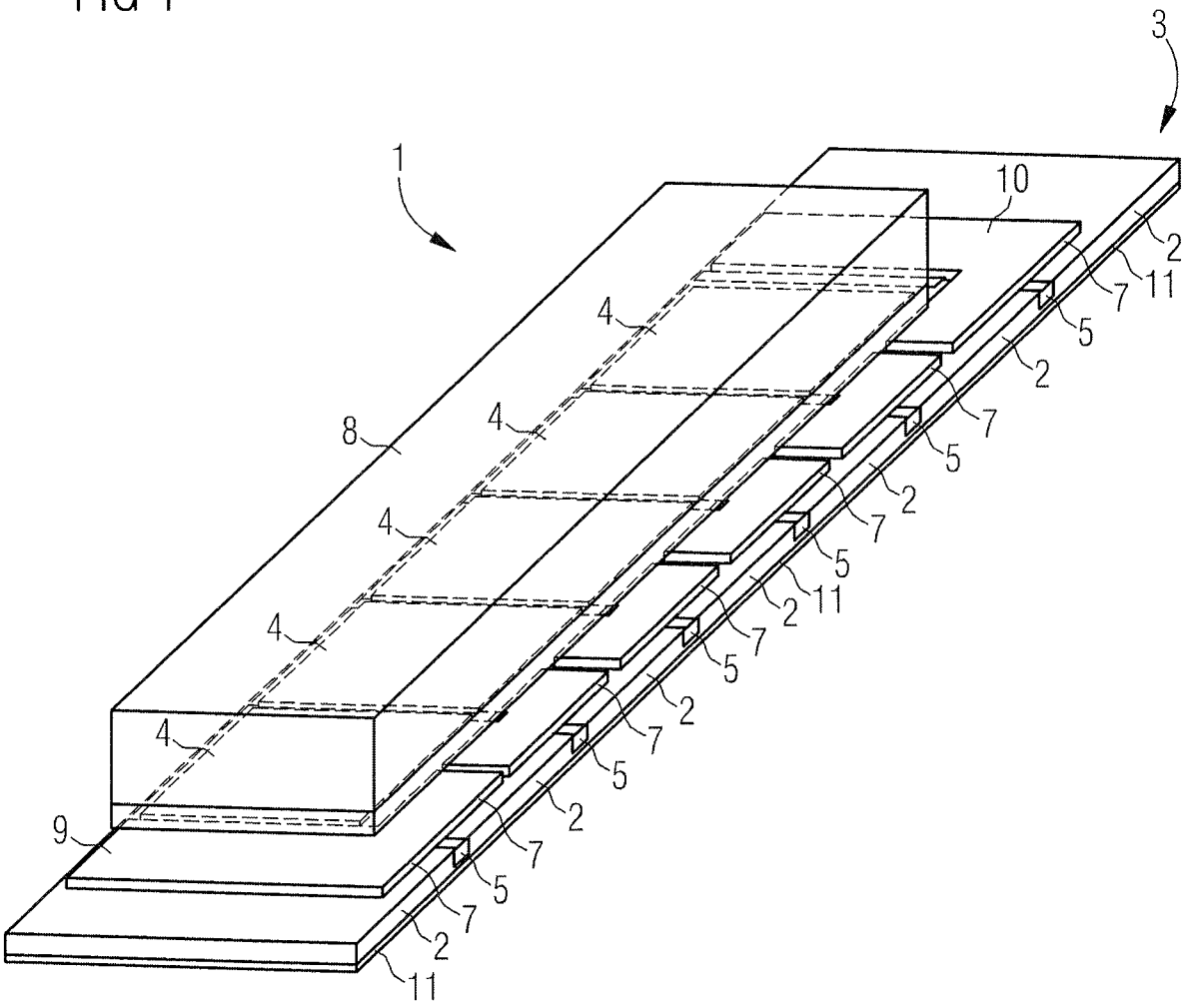


FIG 2

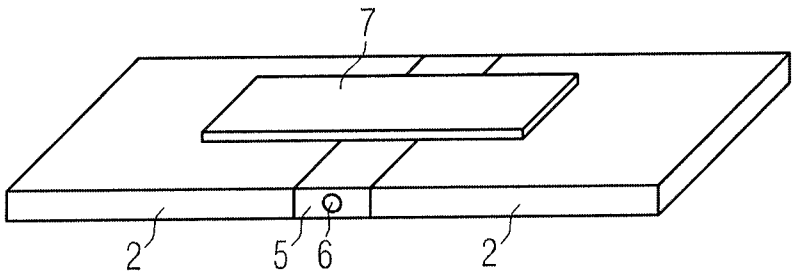


FIG 3

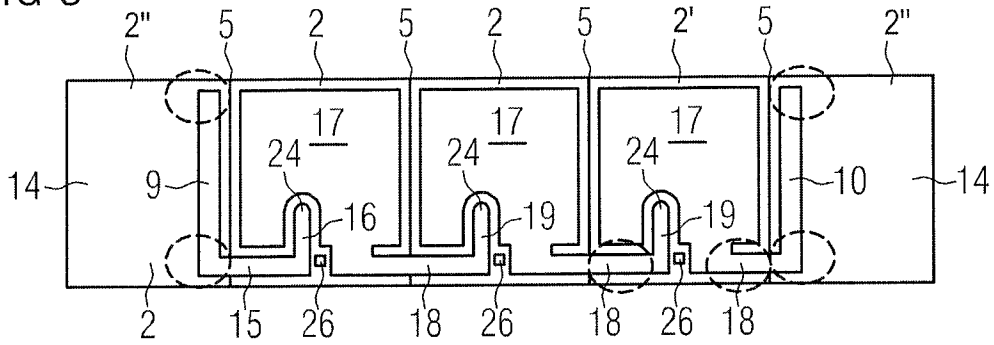


FIG 4

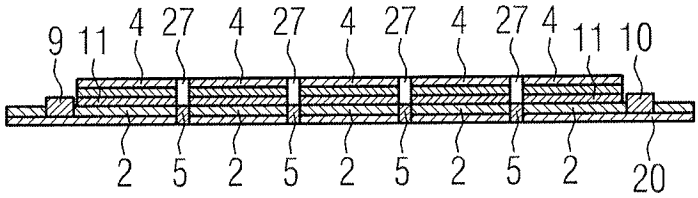


FIG 5

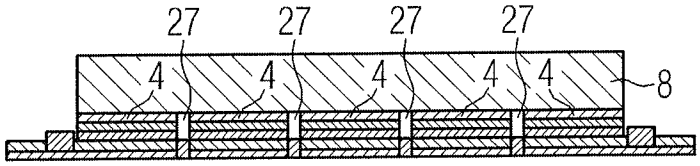


FIG 6

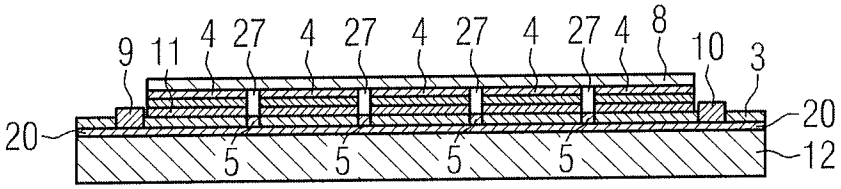


FIG 7

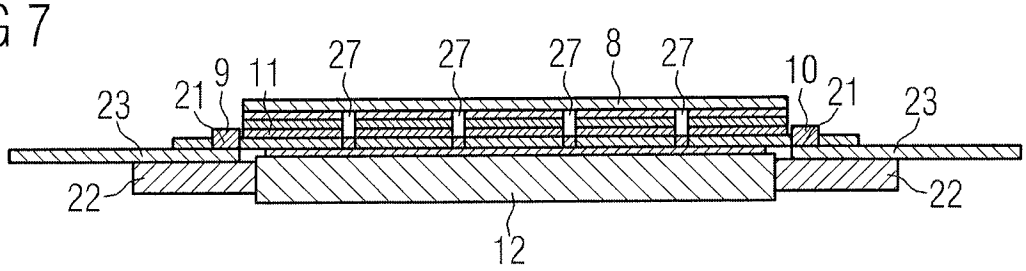
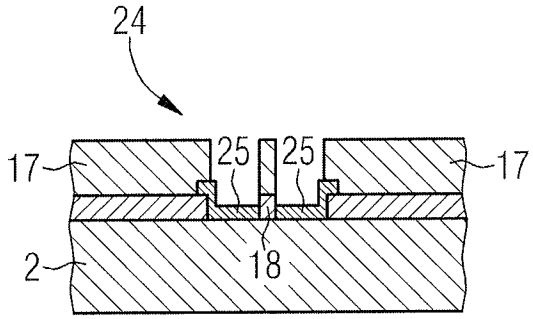


FIG 8



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/056320

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L25/075 H01L33/48
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2013/015472 A1 (LO HSING-FEN [TW]) 17 January 2013 (2013-01-17)	1-3,5-14
A	paragraphs [0002], [0012] - [0024], [0027], [0028]; figures 1-4,7,8	4
A	WO 2013/021519 A1 (TOSHIBA KK [JP]; AKIMOTO YOSUKE [JP]; SUGIZAKI YOSHIAKI [JP]; KOJIMA A) 14 February 2013 (2013-02-14) figure 2	1-14
A	EP 1 727 212 A1 (MATSUSHITA ELECTRIC IND CO LTD [JP] PANASONIC CORP [JP]) 29 November 2006 (2006-11-29) paragraphs [0119] - [0120]; figure 12	9,14

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 June 2014	02/07/2014

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Simeonov, Dobri

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2014/056320

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 10 2011 013052 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 6 September 2012 (2012-09-06) paragraph [0029]; figure 1A	10
A	US 2010/051984 A1 (WEST SCOTT [US]) 4 March 2010 (2010-03-04) paragraph [0024]	11
A	EP 2 325 883 A2 (KOITO MFG CO LTD [JP]) 25 May 2011 (2011-05-25) paragraphs [0052] - [0055], [0057]; figure 9	4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2014/056320

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2013015472 A1	17-01-2013	CN 102881780 A	16-01-2013
		TW 201304203 A	16-01-2013
		US 2013015472 A1	17-01-2013
WO 2013021519 A1	14-02-2013	CN 103828053 A	28-05-2014
		EP 2742531 A1	18-06-2014
		JP 2013038212 A	21-02-2013
		TW 201308673 A	16-02-2013
		WO 2013021519 A1	14-02-2013
EP 1727212 A1	29-11-2006	CN 1934720 A	21-03-2007
		EP 1727212 A1	29-11-2006
		JP 2005268581 A	29-09-2005
		KR 20070006833 A	11-01-2007
		US 2007284588 A1	13-12-2007
		WO 2005091385 A1	29-09-2005
DE 102011013052 A1	06-09-2012	CN 103477451 A	25-12-2013
		DE 102011013052 A1	06-09-2012
		US 2014042466 A1	13-02-2014
		WO 2012119950 A1	13-09-2012
US 2010051984 A1	04-03-2010	CN 102132428 A	20-07-2011
		EP 2332187 A2	15-06-2011
		JP 2012516026 A	12-07-2012
		KR 20110051222 A	17-05-2011
		TW 201027797 A	16-07-2010
		US 2010051984 A1	04-03-2010
		US 2011171762 A1	14-07-2011
		WO 2010027672 A2	11-03-2010
EP 2325883 A2	25-05-2011	CN 102109136 A	29-06-2011
		EP 2325883 A2	25-05-2011
		JP 2011108588 A	02-06-2011
		KR 20110056239 A	26-05-2011
		US 2011121732 A1	26-05-2011

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2014/056320

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L25/075 H01L33/48
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X A	US 2013/015472 A1 (LO HSING-FEN [TW]) 17. Januar 2013 (2013-01-17) Absätze [0002], [0012] - [0024], [0027], [0028]; Abbildungen 1-4,7,8	1-3,5-14 4
A	WO 2013/021519 A1 (TOSHIBA KK [JP]; AKIMOTO YOSUKE [JP]; SUGIZAKI YOSHIAKI [JP]; KOJIMA A) 14. Februar 2013 (2013-02-14) Abbildung 2	1-14
A	EP 1 727 212 A1 (MATSUSHITA ELECTRIC IND CO LTD [JP] PANASONIC CORP [JP]) 29. November 2006 (2006-11-29) Absätze [0119] - [0120]; Abbildung 12	9,14

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
24. Juni 2014	02/07/2014

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Simeonov, Dobri

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DE 10 2011 013052 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 6. September 2012 (2012-09-06) Absatz [0029]; Abbildung 1A	10
A	US 2010/051984 A1 (WEST SCOTT [US]) 4. März 2010 (2010-03-04) Absatz [0024]	11
A	EP 2 325 883 A2 (KOITO MFG CO LTD [JP]) 25. Mai 2011 (2011-05-25) Absätze [0052] - [0055], [0057]; Abbildung 9	4

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2014/056320

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2013015472 A1	17-01-2013	CN 102881780 A	16-01-2013
		TW 201304203 A	16-01-2013
		US 2013015472 A1	17-01-2013
WO 2013021519 A1	14-02-2013	CN 103828053 A	28-05-2014
		EP 2742531 A1	18-06-2014
		JP 2013038212 A	21-02-2013
		TW 201308673 A	16-02-2013
		WO 2013021519 A1	14-02-2013
EP 1727212 A1	29-11-2006	CN 1934720 A	21-03-2007
		EP 1727212 A1	29-11-2006
		JP 2005268581 A	29-09-2005
		KR 20070006833 A	11-01-2007
		US 2007284588 A1	13-12-2007
		WO 2005091385 A1	29-09-2005
DE 102011013052 A1	06-09-2012	CN 103477451 A	25-12-2013
		DE 102011013052 A1	06-09-2012
		US 2014042466 A1	13-02-2014
		WO 2012119950 A1	13-09-2012
US 2010051984 A1	04-03-2010	CN 102132428 A	20-07-2011
		EP 2332187 A2	15-06-2011
		JP 2012516026 A	12-07-2012
		KR 20110051222 A	17-05-2011
		TW 201027797 A	16-07-2010
		US 2010051984 A1	04-03-2010
		US 2011171762 A1	14-07-2011
		WO 2010027672 A2	11-03-2010
EP 2325883 A2	25-05-2011	CN 102109136 A	29-06-2011
		EP 2325883 A2	25-05-2011
		JP 2011108588 A	02-06-2011
		KR 20110056239 A	26-05-2011
		US 2011121732 A1	26-05-2011