

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
24 décembre 2008 (24.12.2008)

PCT

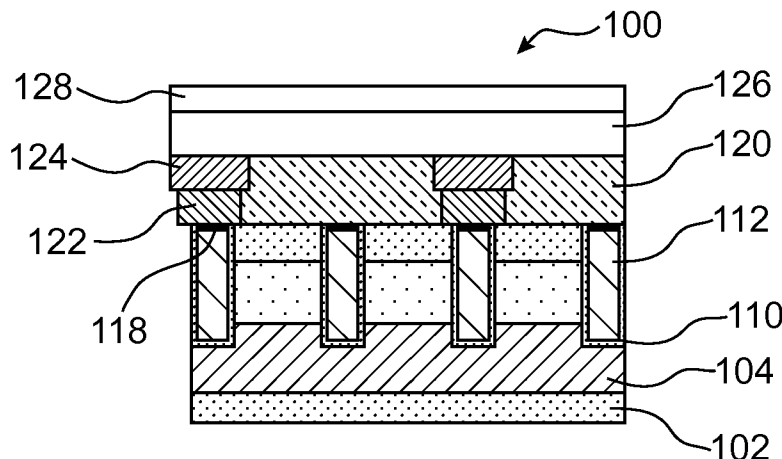
(10) Numéro de publication internationale  
**WO 2008/155379 A2**

- (51) Classification internationale des brevets :  
*H01L 29/786* (2006.01) *H01L 29/423* (2006.01)  
*H01L 21/336* (2006.01)
- (21) Numéro de la demande internationale :  
PCT/EP2008/057773
- (22) Date de dépôt international : 19 juin 2008 (19.06.2008)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :  
0755936 21 juin 2007 (21.06.2007) FR
- (71) Déposant (pour tous les États désignés sauf US) : **COM-  
MISSARIAT A L'ENERGIE ATOMIQUE** [FR/FR]; 25  
rue Leblanc, Bâtiment "Le Ponant D", F-75015 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : **MAYER,  
Frédéric** [FR/FR]; 28 ter rue Ampère, F-38000 Grenoble  
(FR). **CLAVELIER, Laurent** [FR/FR]; 11 B, rue Vic-  
tor Hugo, F-38700 Voiron (FR). **POIROUX, Thierry**  
[FR/FR]; 55 rue du Boutet, F-38340 Voreppe (FR).  
**BILLIOT, Gérard** [FR/FR]; 229 chemin des Drogeaux,  
F-38330 St Nazaire Les Eymes (FR).
- (74) Mandataire : **ILGART, Jean-Christophe**; Brevalet, 3,  
rue du Docteur Lancereaux, F-75008 Paris (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de  
protection nationale disponible) : AE, AG, AL, AM, AO,  
AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG,  
ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL,  
IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK,  
LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,  
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL,

[Suite sur la page suivante]

(54) Title: FIELD EFFECT TRANSISTOR WITH ALTERNATING ELECTRICAL CONTACTS

(54) Titre : TRANSISTOR A EFFET DE CHAMP A CONTACTS ELECTRIQUES ALTERNES



**FIG.30**

(57) Abstract: Field effect transistor (100) comprising: - a support layer (104), - a plurality of semiconductor based active zones (106), each active zone being intended to form a channel and disposed between two gates (112) situated one beside the other consecutively, the active zones and the gates being disposed on the support layer, each gate comprising a first face on the side of the support layer and a second face opposite the first face, - the second face of a first of the two gates being connected electrically to a first electrical contact (118, 122, 124) made on the second face of said first of the two gates, and the first face of a second of the two gates being connected electrically to a second electrical contact (118, 130, 132) passing through the support layer, the gates of the transistor not

being electrically interconnected.

(57) Abrégé : Transistor a effet de champ (100) comportant : - une couche support (104), - une pluralité de zones actives (106) a base de semi-conducteur, chaque zone active étant destinée a former un canal et disposée entre deux grilles (112) situées l'une a cote de l'autre consécutivement, les zones actives et les grilles étant disposées sur la couche support, chaque grille comportant une première face du cote de la couche support et une seconde face opposée a la première face, - la seconde face d'une première des deux grilles étant reliée électriquement a un premier contact électrique (118, 122, 124) réalisé sur la seconde face de ladite première des deux grilles, et la première face d'une seconde des deux grilles étant reliée électriquement a un second contact électrique (118, 130, 132) traversant la couche support, les grilles du transistor n'étant pas reliées électriquement entre elles.

WO 2008/155379 A2



PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY,  
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA,  
ZM, ZW.

européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,  
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL,  
NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,  
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**(84) États désignés** (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),

**Publiée :**

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

**TRANSISTOR A EFFET DE CHAMP  
A CONTACTS ELECTRIQUES ALTERNES**

**DESCRIPTION**

**5    DOMAINE TECHNIQUE ET ART ANTÉRIEUR**

L'invention concerne le domaine des transistors à effet de champ, et notamment les FinFET (transistors à effet de champ à ailettes).

Afin de palier aux inconvénients liés à la  
10 réduction des dimensions des transistors CMOS, notamment l'augmentation de la consommation énergétique due aux fuites dans ces transistors et l'augmentation des contraintes technologiques, des dispositifs dits « multi-grilles » ont été développés, comme par exemple  
15 les FinFET. Par rapport aux transistors CMOS, les transistors FinFET possèdent un meilleur contrôle électrostatique, permettant d'obtenir une meilleure pente sous le seuil et donc un courant de fuite à l'état bloqué plus faible, et un courant à l'état  
20 passant plus élevé grâce à l'existence de plusieurs canaux de transport. Ces grilles peuvent notamment être indépendantes les unes des autres, permettant par exemple de pouvoir moduler la tension de seuil par l'intermédiaire de la seconde grille.

25           La figure 1 représente un exemple d'un FinFET 1. Le FinFET 1 comporte une source 2, un drain 4 et  $n$  doigts 6 formant chacun deux canaux, parallèles les uns par rapport aux autres et réalisés sur une couche d'oxyde 8 d'un substrat SOI (silicium sur  
30 isolant) initial. Sur l'exemple de la figure 1, le

FinFET 1 comporte trois doigts 6 formés sur une face de la couche d'oxyde 8. Chaque doigt 6 comporte une portion de zone active 10 d'épaisseur  $T_{Si}$  sur laquelle est formée une portion de masque dur 12 et enfin une grille 14 de longueur  $L_G$  réalisée au-dessus de la portion de masque dur 12 et sur les côtés du masque dur 12 et de la zone active 10. La conduction entre la zone active 10 et la grille 14 est réalisée au niveau des côtés, le masque dur 12 empêchant la conduction entre la grille 14 et la zone active 10 au niveau de la face supérieure de la zone active 10. Dans un tel FinFET à grilles connectées (les différentes grilles 14 sont reliées électriquement entre elles), la densité du courant circulant dans les zones actives 10 est proportionnelle à la valeur  $W_{eq} = n \times 2 \times T_{Si}$ . La densité d'intégration du FinFET 1 dépend donc directement de la capacité à minimiser l'espace entre les doigts 6.

Il est également connu de l'art antérieur de réaliser des FinFETs à grilles non connectées, c'est-à-dire comportant des grilles se trouvant en contact avec les côtés des zones actives et qui ne sont pas reliées électriquement entre elles. Dans ce cas, les tensions de grille à appliquer au FinFET 1 pour chaque grille sont donc indépendantes les unes des autres, permettant ainsi de moduler la tension de seuil liée à l'une des grilles par rapport à la tension de seuil liée à l'autre grille.

Un procédé de réalisation d'un FinFET à grilles non connectées 20 est décrit en liaison avec les figures 2A à 2E.

On réalise tout d'abord la structure représentée sur la figure 2A comportant un substrat 22, une couche d'oxyde enterrée 24, une couche active 26 à base de semi-conducteur, par exemple du Si, et une  
5 couche de masque dur 28.

Une étape de photolithographie par faisceau d'électrons, puis une étape de gravure du masque dur 28 et de la couche active 26 forment les doigts, c'est-à-dire les canaux, du FinFET 20 (figure 2B).

10 Comme représenté sur la figure 2C, on dépose ensuite un empilement de grille formé par un diélectrique de grille 29 tel que du SiO<sub>2</sub> et un matériau de grille 30 tel que du Si polycristallin, sur la couche d'oxyde 24, recouvrant également les doigts  
15 du FinFET 20.

On réalise ensuite une planarisation, par exemple mécano-chimique avec arrêt sur la couche de masque dur 28 (figure 2D).

Enfin, des contacts électriques sont  
20 réalisés au-dessus de chaque grille 30. Pour cela, un matériau diélectrique 31 est déposé sur l'ensemble de la structure. Des via, ou trous de contact, 32 et des portions métalliques 34 sont ensuite réalisés dans ce diélectrique 31 par lithographie, gravure et dépôt de  
25 métal. L'ensemble est ensuite planarisé, comme représenté sur la figure 2E.

Dans un tel FinFET à grilles non connectées, les dimensions des zones de canal, des grilles, des via et des portions métalliques sont  
30 soumises à des contraintes. La règle de dessin la plus contraignante peut être soit le pas minimum entre deux

portions métalliques 34 consécutives (« Pas<sub>portion</sub> » sur la figure 2E), soit le pas minimum entre deux ensembles grille 30/couche active 26/via 32 (« Pas<sub>via</sub> » sur la figure 2E), en tenant compte du désalignement possible des via 32. Par exemple, pour le nœud technologique 45 nm, la règle de dessin pour la largeur d'un doigt est égale à environ 9 nm. La largeur de la grille 30 ainsi que celle de la portion métallique 34 et du via 32 est égale à environ 45 nm. Le désalignement maximum des via 32 est égal à environ 13 nm (valeur à 5 fois l'écart type près). Pour éviter de court-circuiter deux grilles, le pas minimum est donc égal à environ 58 nm (13 nm + 45 nm) pour l'ensemble grille 30/couche active 26/via 32. Or, le pas minimum pour la réalisation des portions métalliques 34 est d'environ 90 nm. Le pas minimum des portions métalliques 34 est donc plus grand que celui de l'ensemble grille 30/couche active 26/via 32. Ce sont donc les portions métalliques 34 qui imposent la distance entre deux zones de canal de la couche active 26, c'est-à-dire la distance entre deux doigts du FinFET.

On voit donc que dans ce type de structure, les règles de dessin des contacts électriques sont contraignantes et limitent la densité d'intégration de tels transistors.

#### **EXPOSÉ DE L'INVENTION**

Un but de la présente invention est de proposer un transistor à effet de champ offrant une meilleure densité d'intégration.

Pour cela, la présente invention propose un transistor à effet de champ comportant au moins :

- une couche support,
- une zone active à base d'au moins un semi-conducteur, destinée à former un canal, disposée sur une face de la couche support, entre une première et une seconde grilles réalisées sur ladite face de la couche support et comportant chacune une première face du côté de la couche support et une seconde face opposée à la première face,
- un premier contact électrique réalisé sur la seconde face de la première grille et relié électriquement à la seconde face de la première grille, et un second contact électrique traversant la couche support et relié électriquement à la première face de la seconde grille.

La présente invention permet donc d'améliorer la densité d'intégration d'un transistor à effet de champ tel qu'un FinFET à grilles non connectées en relâchant la contrainte sur les dimensions des contacts électriques, en ne connectant qu'une grille sur deux par face.

Dans cette nouvelle approche, le pas minimum des contacts électriques est multiplié par deux par rapport aux dispositifs de l'art antérieur. C'est donc l'ensemble grille/zone active/via qui impose la distance minimum entre les doigts.

L'invention concerne en outre un transistor à effet de champ comportant au moins :

- une couche support,

- une pluralité de zones actives à base d'au moins un semi-conducteur, chaque zone active étant destinée à former un canal et disposée entre deux grilles situées l'une à côté de l'autre  
5 consécutivement, les zones actives et les grilles étant disposées sur la couche support, chaque grille comportant une première face du côté de la couche support et une seconde face opposée à la première face,  
- la seconde face d'une première des deux  
10 grilles étant reliée électriquement à un premier contact électrique réalisé sur la seconde face de ladite première des deux grilles, et la première face d'une seconde des deux grilles étant reliée électriquement à un second contact électrique  
15 traversant la couche support,  
les grilles du transistor n'étant pas reliées électriquement entre elles.

On réalise ainsi un transistor comportant des grilles non reliées électriquement entre elles,  
20 c'est-à-dire isolées électriquement les unes des autres, et comportant des contacts électriques alternés au niveau de deux faces opposées du transistor. L'ensemble des grilles du transistor sont donc indépendantes les unes des autres, cette isolation  
25 électrique étant également réalisée entre les grilles reliées électriquement à des contacts électriques formés sur une même face du transistor. L'amélioration de la densité d'intégration peut donc s'appliquer à des transistors à grilles non connectées tels que des  
30 FinFET.

De préférence, la couche support peut comporter des creux dans lesquels peuvent être disposées les grilles.

La couche support peut être à base d'au moins un matériau diélectrique tel que du  $\text{SiO}_2$  et/ou de l' $\text{Al}_2\text{O}_3$  et/ou du nitrure et/ou du diamant et/ou à base d'au moins un matériau pouvant être gravé sélectivement par rapport aux autres matériaux du transistor, tel que du Si et/ou du Ge et/ou du SiGe.

Le transistor peut comporter en outre une portion d'un masque dur disposée sur la ou les zones actives.

La portion du masque dur peut comporter au moins une couche d'oxyde tel que du  $\text{SiO}_2$  et/ou une couche de nitrure.

La ou les zones actives peuvent être à base d'au moins un semi-conducteur, contraint ou non, tel que du Si et/ou du Ge et/ou du SiGe et/ou n'importe quel semi-conducteur de type III-V.

Les grilles peuvent être à base d'au moins un matériau métallique et/ou de polysilicium.

Les premières et secondes grilles peuvent être en partie entourées d'au moins un diélectrique de grille à base d'un matériau diélectrique tel que du  $\text{SiON}$  et/ou du  $\text{SiO}_2$  et/ou de  $\text{HfO}_2$ .

Le transistor peut comporter en outre un matériau diélectrique, tel que du  $\text{SiO}_2$ , recouvrant au moins en partie des portions de la couche support et formant des tranchées d'isolation telles que des tranchées d'isolation peu profondes.

Le premier et/ou le second contact électrique peut comporter en outre des portions de siliciure formées contre la première et/ou la seconde face de la première et/ou de la seconde grille, ou la première et/ou la seconde des deux grilles.

Le transistor peut comporter des portions de siliciure formées sur des zones de source et de drain du transistor.

Le premier et/ou le second contact électrique peut comporter chacun un via à base d'un premier matériau conducteur et une portion métallique à base d'un second matériau conducteur, le via étant disposé entre la portion métallique et la première et/ou la seconde grille, ou entre la portion métallique et la première et/ou la seconde des deux grilles.

Le transistor peut comporter en outre des espaceurs diélectriques disposés sur la couche support et au moins contre les grilles.

Le transistor peut comporter en outre :

- une pluralité de zones actives à base d'au moins un semi-conducteur, chaque zone active pouvant être disposée entre deux grilles situées l'une à côté de l'autre consécutivement, les zones actives et les grilles pouvant être disposées sur la couche support, chaque grille pouvant comporter une première face du côté de la couche support et une seconde face opposée à la première face,

- la seconde face de l'une des deux grilles pouvant être reliée électriquement à un premier contact électrique réalisé sur la seconde face de ladite une des deux grilles, et la première face de l'autre des

deux grilles pouvant être reliée électriquement à un second contact électrique traversant la couche support.

Le transistor peut comporter en outre des zones de source et de drain formées sur ladite face de la couche support et reliées électriquement à des contacts électriques réalisés du côté de ladite face de la couche support et/ou du côté d'une face opposée à ladite face de la couche support en traversant la couche support.

L'invention a également pour but de proposer un procédé de réalisation d'un transistor à effet de champ, tel un transistor à doubles grilles auto-alignées et indépendantes, dont la mise en œuvre soit facilitée par rapport aux procédés de l'art antérieur.

La présente invention concerne également un procédé de réalisation d'un transistor à effet de champ, comportant au moins les étapes suivantes :

- photolithographie et gravure d'au moins deux emplacements de grilles dans une couche active à base d'au moins un semi-conducteur disposée sur une couche support, formant dans la couche active et entre les emplacements de grilles au moins une zone active destinée à former un canal,

- dépôt d'un matériau de grille au moins dans les emplacements de grilles, formant une première et une seconde grilles comportant chacune une première face du côté de la couche support et une seconde face opposée à la première face,

- réalisation d'au moins un premier contact électrique sur la seconde face de la première grille,

ce premier contact étant relié électriquement à la seconde face de la première grille,

- réalisation, à travers la couche support, d'au moins un second contact électrique relié électriquement à la première face de la seconde grille.

L'invention concerne également un procédé de réalisation d'un transistor à effet de champ, comportant au moins les étapes suivantes :

- photolithographie et gravure d'une pluralité d'emplacements de grilles dans une couche active à base d'au moins un semi-conducteur disposée sur une couche support, formant dans la couche active une pluralité de zones actives, chacune étant destinée à former un canal et étant disposée entre deux emplacements de grilles disposés l'un à côté de l'autre consécutivement,

- dépôt d'un matériau de grille au moins dans les emplacements de grilles, formant une pluralité de grilles comportant chacune une première face du côté de la couche support et une seconde face opposée à la première face, chaque zone active étant disposée entre deux grilles situées l'une à côté de l'autre consécutivement,

- réalisation d'au moins un premier contact électrique sur la seconde face d'une première des deux grilles, ce premier contact étant relié électriquement à la seconde face de ladite première des deux grilles,

- réalisation, à travers la couche support, d'au moins un second contact électrique relié électriquement à la première face d'une seconde des deux grilles,

les grilles du transistor n'étant pas reliées électriquement entre elles.

La gravure des emplacements de grilles peut également être réalisée en partie dans la couche support.

Le procédé peut comporter en outre, avant l'étape de photolithographie et de gravure, une étape de dépôt, tel un dépôt LPCVD, d'un masque dur sur la couche active, les emplacements de grilles étant également gravés à travers le masque dur.

Le procédé peut comporter en outre, entre l'étape de photolithographie et de gravure des emplacements de grilles et l'étape de dépôt du matériau de grille, une étape de dépôt d'un diélectrique de grille au moins dans les emplacements de grilles, le matériau de grille étant déposé sur ce diélectrique de grille.

Le procédé peut comporter en outre, entre l'étape de dépôt du matériau de grille et l'étape de réalisation du premier contact électrique, une étape d'implantation de dopants dans des zones de la couche active destinées à former des zones de source et de drain du transistor.

Le procédé peut comporter en outre, entre l'étape de dépôt du matériau de grille et l'étape de réalisation du premier contact électrique, une étape de réalisation d'espaceurs diélectriques sur la couche support et au moins contre les grilles.

Dans ce cas, le procédé peut comporter en outre, entre l'étape de réalisation des espaceurs et l'étape de réalisation du premier contact électrique,

une étape de dépôt d'un matériau diélectrique sur des parties de la couche support non recouvertes par le matériau de grille ou la couche active ou les espaceurs, formant des tranchées d'isolation.

5 Le procédé peut comporter en outre, entre l'étape de dépôt du matériau de grille et l'étape de réalisation du premier contact électrique, une étape de planarisation mécano-chimique avec arrêt sur la couche active ou, lorsque le transistor comporte un masque dur  
10 disposé sur la couche active, avec arrêt sur le masque dur.

Le procédé peut comporter en outre, entre l'étape de dépôt du matériau de grille et l'étape de réalisation du premier contact électrique, une étape de  
15 siliciuration du matériau de grille et/ou de zones de la couche active destinées à former des zones de source ou de drain du transistor.

La réalisation du premier contact électrique peut être obtenue au moins par les étapes  
20 de :

- dépôt d'une couche diélectrique sur la couche active et sur les grilles,  
- photolithographie et gravure d'un emplacement de via dans la couche diélectrique au  
25 niveau de la première grille ou la première des deux grilles,

- dépôt d'un premier matériau conducteur remplissant en partie l'emplacement gravé dans la couche diélectrique, formant un via contactant  
30 électriquement la première grille ou la première des deux grilles,

- dépôt d'un second matériau conducteur dans l'emplacement gravé dans la couche diélectrique sur le via, formant une portion métallique.

La réalisation du second contact électrique  
5 peut être obtenue au moins par les étapes de :

- photolithographie et gravure d'un emplacement de via dans la couche support au niveau de la seconde grille ou la seconde des deux grilles,

- dépôt d'un premier matériau conducteur  
10 remplissant en partie l'emplacement gravé dans la couche support, formant un via contactant électriquement la première face de la seconde grille ou la seconde des deux grilles,

- dépôt d'un second matériau conducteur  
15 dans l'emplacement gravé dans la couche support sur le via, formant une portion métallique.

Le procédé peut comporter en outre, entre l'étape de photolithographie et de gravure de l'emplacement de via dans la couche support et l'étape  
20 de dépôt du premier matériau conducteur dans cet emplacement, une étape de siliciuration de la première face de la seconde grille ou la seconde des deux grilles.

La présente concerne également un procédé  
25 de réalisation d'un transistor à effet de champ, comportant au moins les étapes suivantes :

- photolithographie et gravure d'une pluralité d'emplacements de grilles dans une couche active à base d'au moins un semi-conducteur disposée  
30 sur une couche support, formant dans la couche active une pluralité de zones actives, chacune étant destinée

à former un canal et étant disposée entre deux emplacements de grilles disposés l'un à côté de l'autre consécutivement,

- dépôt d'un matériau de grille au moins  
5 dans les emplacements de grilles, formant une pluralité de grilles comportant chacune une première face du côté de la couche support et une seconde face opposée à la première face, chaque zone active étant disposée entre deux grilles situées l'une à côté de l'autre  
10 consécutivement,

- réalisation d'un premier contact électrique sur la seconde face de chacune d'une des deux grilles, ce premier contact étant relié électriquement à la seconde face de ladite une des deux  
15 grilles,

- réalisation, à travers la couche support, d'un second contact électrique relié électriquement à la première face de chacune de l'autre des deux grilles.

20 Le procédé peut comporter en outre, entre l'étape de dépôt du matériau de grille et l'étape de réalisation du premier contact électrique, une étape de réalisation de zones de source et de drain dans la couche active, la mise en œuvre de l'étape de  
25 réalisation du premier contact électrique et/ou de l'étape de réalisation du second contact électrique à travers la couche support formant également des portions métalliques reliées électriquement aux zones de source et de drain du côté d'une face de la couche  
30 support comportant le premier contact électrique et/ou du côté d'une autre face de la couche support

comportant le second contact électrique à travers la couche support.

Ainsi, les contacts des zones de source et de drain ainsi que les contacts des grilles se trouvant  
5 d'un côté et/ou de l'autre du transistor peuvent être réalisés simultanément.

#### **BRÈVE DESCRIPTION DES DESSINS**

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation  
10 donnés à titre purement indicatif et nullement limitatif en faisant référence aux dessins annexés sur lesquels :

- la figure 1 représente un FinFET à grilles connectées selon l'art antérieur,
- 15 - les figures 2A à 2E représentent les étapes d'un procédé de réalisation d'un FinFET à grilles non connectées selon l'art antérieur,
- les figures 3A à 3P représentent les étapes d'un procédé de réalisation d'un transistor à effet de champ, objet de la présente invention,
- 20 - la figure 4 représente un schéma électrique d'un oscillateur en anneau réalisé à partir de transistors à doubles grilles auto-alignées, objet de la présente invention,
- 25 - la figure 5 représente des simulations électriques de fonctionnement de l'oscillateur à anneau représenté sur la figure 4,
- la figure 6 représente un exemple de buffer logique réalisé à partir de transistors double  
30 grilles selon l'invention.

Des parties identiques, similaires ou équivalentes des différentes figures décrites ci-après portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

5 Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

10 Les différentes possibilités (variantes et modes de réalisation) doivent être comprises comme n'étant pas exclusives les unes des autres et peuvent se combiner entre elles.

#### **EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS**

15 Un procédé de réalisation d'un transistor à effet de champ, ici un FinFET 100, va maintenant être décrit en liaison avec les figures 3A à 3P.

20 Comme représenté sur la figure 3A, on dépose tout d'abord sur un substrat de type semi-conducteur sur isolant, comportant un substrat 102, une couche support 104 et une couche active 106, un masque dur 108, par exemple par un dépôt LPCVD (dépôt chimique en phase vapeur basse pression).

25 Le matériau du substrat 102 est de préférence choisi tel qu'il puisse être facilement consommé par voie chimique et/ou mécanique, par exemple du Si. Dans cet exemple de réalisation, la couche support 104 est à base d'au moins un matériau diélectrique tel que du SiO<sub>2</sub>. La couche active 106 est à base d'au moins un semi-conducteur, ici du Si. La  
30 couche active 106 peut également être à base de SiGe,

et/ou de Ge, et/ou de n'importe quel matériau de type III-V (GaAs, InGaAs, GaN, InP, ...). Enfin, le masque dur 108 comprend ici une couche à base de SiO<sub>2</sub> et/ou une couche de nitrure. Avantageusement, le masque dur 108  
5 comporte un bicouche de SiO<sub>2</sub> et de nitrure. Pour un diamètre de substrat égal à environ 200 mm, l'épaisseur du substrat 102 est par exemple égale à environ 750 µm, celle de la couche support 104 égale à environ 200 nm, et celle de la couche active 106 égale à environ 40 nm.

10 On réalise ensuite une photolithographie par faisceau d'électrons afin de définir les emplacements des grilles, des zones de source et de drain et des canaux destinés à être réalisés dans la couche active 106 du FinFET 100. On grave ensuite dans  
15 le masque dur 108 et la couche active 106 le motif précédemment défini par la photolithographie en mettant en œuvre une gravure anisotrope. La gravure est également réalisée en partie dans la couche support 104, sans la traverser complètement. Ainsi, des creux  
20 sont formés dans la couche support 104 dans lesquels les grilles seront ensuite réalisées. Les figures 3B et 3C représentent respectivement une vue en coupe et une vue de dessus du FinFET 100 après la gravure.

On dépose ensuite, par exemple par un dépôt  
25 CVD (dépôt chimique en phase vapeur), sur l'ensemble du dispositif 100, c'est-à-dire sur le masque dur 108 et dans les emplacements précédemment gravés, un diélectrique de grille 110 par exemple à base de HfO<sub>2</sub>. Le diélectrique de grille 110, déposé sur le masque dur  
30 108 et sur la couche support 104, est également en contact avec les parois latérales de la couche active

106 mises à nu lors de la précédente étape de gravure du masque dur 108 et de la couche active 106. Un matériau de grille 112 par exemple à base d'un métal et/ou de polysilicium, par exemple un bicouche métal  
5 (par exemple du TiN) / polysilicium est ensuite déposé par LPCVD sur le diélectrique de grille 110. Les figures 3D et 3E représentent respectivement une vue en coupe et une vue de dessus du FinFET 100 après dépôt du diélectrique de grille 110 et du matériau de grille  
10 112.

De manière générale, le matériau de grille 112 et le diélectrique de grille 110 peuvent être à base de tout matériau permettant d'obtenir un empilement de grilles tel que : SiON/polysilicium,  
15 SiO<sub>2</sub>/polysilicium, HfO<sub>2</sub>/TiN/polysilicium, SiO<sub>2</sub>/métal, etc. De plus, un tel empilement de grille n'est pas limité à deux matériaux différents, le matériau de grille 112 et le diélectrique de grille 110 pouvant être à base de plusieurs matériaux.

20 On réalise alors, comme représenté sur la figure 3F (vue de dessus), une photolithographie et une gravure du matériau de grille 112 et du diélectrique de grille 110 telle que les portions restantes, ou doigts, de cet empilement de grille forment les grilles et les  
25 diélectriques de grilles du FinFET 100. On réalise ensuite des implantations LDD (dopage faible) dans les portions de la couche active 106 destinées à former une partie de la source et du drain du FinFET 100. Pour chacune de ces portions de la couche active 106, deux  
30 étapes d'implantation sont mises en œuvre pour réaliser les zones de LDD, de chaque côté des portions de la

couche active 106. Ces étapes d'implantation sont réalisées par des faisceaux obliques d'angles  $\theta$  et  $-\theta$  (voir figure 3G,  $|\theta|$  étant la valeur de l'angle entre le faisceau utilisé pour l'implantation et une droite  
5 parallèle à l'axe y). La valeur maximale de  $|\theta|$  est déterminée par la formule :

$$\text{Tan}(\theta_{\text{max}}) = E_{\text{doigt}} / (h_{\text{doigt}} + h_{\text{md}}), \text{ avec}$$

$E_{\text{doigt}}$  : distance entre deux portions consécutives, ou doigts, de la couche active 106  
10 destinées à former une partie des zones de source et de drain ;

$h_{\text{doigt}}$  : hauteur de la couche active 106,

$h_{\text{md}}$  : hauteur du masque dur 108.

Les implantations LDD sont ici de type  
15 opposé au dopage du substrat 102. Par exemple, pour un substrat 102 de type P, les implantations LDD sont réalisées avec des dopants de type N.

Une implantation de poches de dopants est également réalisée dans la couche active 106, à la  
20 frontière entre les zones destinées à former la source et le drain et les zones destinées à former les canaux. Afin d'implanter ces poches à la fois du côté de la source et du côté du drain, deux étapes d'implantation sont mises en œuvre avec des faisceaux d'ions inclinés.  
25 Les dopants de ces poches sont ici du même type que le dopage du substrat 102.

Comme représenté sur la figure 3H, on réalise ensuite des espaceurs 114 sur la couche support 104, le long des parois latérales de la couche  
30 active 106 mises à nu lors de la première étape de gravure et des grilles 112, en déposant un matériau

diélectrique tel que du  $\text{SiO}_2$  et en le gravant selon le motif souhaité. On réalise ensuite des implantations HDD (dopage fort) pour former les zones de source et de drain. Ce dopage fort est réalisé avec des dopants de type opposé au dopage du substrat 102.

Un matériau diélectrique 116, par exemple à base d'oxyde tel que du  $\text{SiO}_2$ , est déposé sur l'ensemble du FinFET 100, recouvrant notamment les portions de la couche support 104 non recouvertes par les espaceurs 114. Une planarisation mécano-chimique avec arrêt au niveau du masque dur 108 permet de supprimer des portions du matériau de grille 112 et du matériau diélectrique 116 se trouvant à un niveau au-dessus du masque dur 108 et former une face plane du FinFET 100 (figures 3I et 3J). Le matériau diélectrique 116 forme ainsi des tranchées d'isolation peu profondes (STI) protégeant les portions de la couche support 104 encore visibles après la réalisation des espaceurs 114.

Comme représenté sur la figure 3K, on réalise une photolithographie et une gravure d'une partie du masque dur 108 pour mettre à nu une partie des zones de source et de drain de la couche active 106. Les portions du masque dur 108 restantes protègent les doigts formés dans la couche active 106.

Sur la figure 3L, on réalise alors une siliciuration des portions mises à nues des zones de source et de drain de la couche active 106 ainsi que des grilles 112. Pour cela, on dépose un métal, par exemple du cobalt et/ou du platine et/ou du palladium et/ou du nickel sur les zones sur lesquelles on veut réaliser un alliage métal - semi-conducteur, ou tout

autre métal pouvant former un alliage métal - semi-conducteur, et par exemple du siliciure comme dans cet exemple de réalisation, ou du germaniure, ou du germanosiliciure. Un premier recuit permet de former le siliciure 118. On retire alors sélectivement le nickel n'ayant pas réagi. Un second recuit permet enfin de réduire la résistivité du siliciure 118.

On forme ensuite des premiers contacts électriques sur une première face du FinFET 100. Pour cela, on dépose une couche de diélectrique 120, par exemple du SiO<sub>2</sub>, par PECVD (dépôt chimique en phase vapeur assisté par plasma) sur la face du FinFET 100 où se trouve le masque dur 108, appelé première face. On réalise ensuite une photolithographie définissant les emplacements des contacts électriques destinés à être réalisés au niveau de la première face du FinFET 100 et une gravure anisotrope de la couche de diélectrique 120. Un dépôt de Ti/TiN formant une barrière de diffusion puis de tungstène dans les emplacements gravés dans la couche de diélectrique 120 permet de former des via 122. Une planarisation mécano-chimique permet ensuite d'éviter les courts circuits en ne mettant du métal que dans les trous de contact, ou via. Un dépôt de métal tel que de l'aluminium sur les via 122 permet enfin de réaliser des portions métalliques 124. Ces premiers contacts électriques, formés par le siliciure 118, les via 122 et les portions métalliques 124, permettent de contacter à la fois une partie des grilles du FinFET 100 et des zones de source et de drain (figures 3M et 3N). Une étape de photolithographie et de gravure permet de définir et

réaliser les pistes de métal d'un premier niveau d'interconnexions relié à ces premiers contacts électriques. Il est possible de réaliser ensuite d'autres niveaux d'interconnexions reliés à ce premier  
5 niveau d'interconnexions, par exemple par photolithographie et gravure.

Le FinFET 100 comporte une pluralité de grilles 112 disposées les unes à côtés des autres, séparées par les doigts formés dans la couche  
10 active 106. Ces premiers contacts électriques sont réalisés de manière à contacter une grille 112 sur deux. En effet, en considérant que chaque doigt de la couche active 106 est disposé entre deux grilles 112, seule une des deux grilles est connectée à un premier  
15 contact électrique tel que réalisé ci-dessus. De même, des premiers contacts électriques sont également réalisés au niveau des zones de source et de drain. Sur l'exemple de la figure 3N, les zones de source et de drain sont reliées à des contacts formés sur la  
20 première face du FinFET 100.

Comme représenté sur la figure 30, on dépose ensuite une autre couche de diélectrique 126, par exemple à base de  $\text{SiO}_2$ , sur la couche de diélectrique 120 et sur les portions métalliques 124  
25 réalisées sur la première face, puis on planarise cette couche diélectrique 126. Un second substrat 128 est ensuite collé par adhésion moléculaire sur cette autre couche diélectrique 126.

Enfin, sur la figure 3P, le premier  
30 substrat 102 est supprimé par élimination mécanique (« grinding » en anglais) et/ou chimique (par exemple à

partir d'une solution d'Hydroxyde de tétraméthylammonium (TMAH)). Des via 130 et des portions métalliques 132 sont alors réalisés au niveau de la seconde face du FinFET 100, afin de contacter les grilles qui ne sont pas contacter par les premiers contacts électriques et former des seconds contacts électriques. Sur la figure 30, une siliciuration de ces grilles est réalisée de manière similaire à la siliciuration décrite précédemment. De même, les via 130 et les portions métalliques 132 sont ici réalisés de manière similaire aux via 122 et portions métalliques 124 de la première face du FinFET 100 (autre couche diélectrique 129, photolithographie, gravure, dépôt métallique). Des niveaux d'interconnexions peuvent ensuite être réalisés, par exemple par photolithographie et gravure, reliés aux seconds contacts électriques.

Ainsi, de manière alternée, les grilles 112 sont connectées à un premier contact électrique et à un second contact électrique de part et d'autre du transistor.

Dans une variante, les contacts électriques formés au niveau des zones de source et de drain peuvent être réalisés non pas du côté de la première face du FinFET, mais du côté de la seconde face du FinFET 100, opposée à la première face. Dans une autre variante, les contacts électriques formés au niveau des zones de source et de drain peuvent être réalisés des deux côtés du FinFET 100, c'est-à-dire à la fois du côté de la première face et de la seconde face du FinFET 100.

Le tableau ci-dessous présente, pour différents nœuds technologiques, le pas minimum à respecter entre les doigts formés dans un FinFET comportant tous les contacts sur une seule face (deuxième colonne, le pas entre les doigts correspondant au pas des portions métalliques) et le pas minimum à respecter entre les doigts formés dans un FinFET comportant des contacts répartis de manière alternée sur ses deux faces tel que décrit précédemment (troisième colonne, le pas entre les doigts correspondant au désalignement des via à 5 écarts types près + taille des via après gravure). La quatrième colonne du tableau exprime le gain en % obtenu sur la distance minimum entre les doigts pour un tel transistor, correspondant à la réduction possible de la surface utilisée pour la réalisation du transistor.

Nœuds technologiques (nm)	Pas des doigts dans le cas de contacts répartis sur les deux faces (en nm)	Pas des doigts dans le cas de contacts sur une seule face (en nm)	Diminution de surface (en %)
65	82,3	130	37
45	58,3	90	35
32	41,5	64	35
22	29,7	44	33
16	20,7	32	35

On voit alors qu'on obtient en moyenne un gain de 35 % sur la distance minimum à respecter entre les doigts.

Les transistors à effet de champ décrits précédemment trouvent leurs applications dans de nombreux domaines.

Un bloc réalisant une fonction logique  
5 comprend divers éléments tels que des inverseurs, des portes logiques simples (NOR, NAND, ...) ou plus complexes (OR-AND, AND-OR, ...), ou encore des bascules et/ou des éléments de mémorisation. Selon le contexte d'utilisation, il peut être intéressant de contrôler la  
10 vitesse de fonctionnement de ce bloc par rapport à sa consommation. Un tel bloc peut par exemple être un oscillateur en anneau 1000 réalisé à partir de plusieurs transistors à doubles grilles auto-alignées et indépendantes représenté sur la figure 4, dont le  
15 fonctionnement est contrôlé par l'intermédiaire d'un signal CMD. Des simulations électriques de cet oscillateur 1000 sont représentées sur la figure 5. Les courbes 1002, 1004, 1006, 1008 et 1010 représentent des variations de paramètres de l'oscillateur 1000 en  
20 fonction des valeurs des tensions Vctrl\_N et Vctrl\_P, Vctrl\_N étant égale à la valeur représentée sur l'axe X et Vctrl\_P étant égale à la valeur VDD - Vctrl\_N. La courbe 1002 représente les variations de la tension maximale du signal d'oscillation obtenu lors du  
25 fonctionnement de l'oscillateur 1000. La courbe 1004 représente la tension minimale de ce signal d'oscillation. La courbe 1006 représente la période du signal de sortie de l'oscillateur 1000. La courbe 1008 représente la consommation statique de l'oscillateur  
30 1000 lorsque le signal Cmd est à '0'. La courbe 1010

représente la consommation dynamique de l'oscillateur 1000 lorsque le signal Cmd est à '1'.

A partir des résultats obtenus sur ces courbes, on voit que la période d'oscillation obtenue  
5 varie entre 3,6 ns et 2 ns environ, que la consommation dynamique varie entre 15  $\mu$ A et 50  $\mu$ A environ et que la consommation statique varie entre 0 et 20  $\mu$ A environ. On voit également que la plage de fonctionnement optimale de cet oscillateur 1000 est obtenue lorsque  
10 Vctrl\_N est compris entre environ -0,2 V et 0,2 V pour la technologie considérée.

Les doubles grilles indépendantes permettent un contrôle de la vitesse de fonctionnement de l'oscillateur par l'intermédiaire d'un contrôle du  
15 temps de commutation des transistors tout en optimisant la consommation du circuit. On optimise donc les performances électriques d'un bloc logique par l'évolution des schémas électriques tout en minimisant son impact en terme de surface grâce à l'invention vis-  
20 à-vis d'un schéma selon l'art antérieur.

La figure 6 représente un buffer logique 2000 réalisé à partir de transistors à double grilles indépendantes tels que précédemment décrits. Pour des raisons de clarté, ce buffer a été réduit, sur cette  
25 figure 6, à un inverseur à deux transistors double grilles. Pour l'implantation d'un tel buffer logique, ou tout autre fonction logique comportant des transistors actifs présentant une longueur de canal L minimum et une importante largeur de transistor W, tel  
30 que par exemple  $W > 20 \times L$ , les contraintes de densité d'intégration sont importantes. Lorsque les transistors

sont de type FinFET, ces contraintes se traduisent par des transistors comportant un grand nombre de doigts. Dans l'exemple représenté sur la figure 6, le PMOS de ce buffer 2000 comporte 40 doigts et le NMOS comporte 5 20 doigts.

Par exemple, pour une hauteur de doigt de 100 nm et un W de 2  $\mu\text{m}$ , ce dispositif nécessite 20 doigts. Les contraintes de reprise de contacts conduisent à l'utilisation de la technique proposée 10 pour augmenter la densité de l'implantation des composants.

Ainsi, la présente invention permet d'augmenter la densité d'intégration de ces transistors en réduisant l'espace nécessaire entre les doigts de 15 ces transistors.

**REVENDICATIONS**

1. Transistor à effet de champ (100) comportant au moins :

5

- une couche support (104),

- une pluralité de zones actives (106) à base d'au moins un semi-conducteur, chaque zone active (106) étant destinée à former un canal et disposée entre deux grilles (112) situées l'une à côté de l'autre consécutivement, les zones actives (106) et les grilles (112) étant disposées sur la couche support (104), chaque grille (112) comportant une première face du côté de la couche support (104) et une seconde face opposée à la première face,

15

- la seconde face d'une première des deux grilles (112) étant reliée électriquement à un premier contact électrique (118, 122, 124) réalisé sur la seconde face de ladite première des deux grilles (112), et la première face d'une seconde des deux grilles (112) étant reliée électriquement à un second contact électrique (118, 130, 132) traversant la couche support (104),

20

les grilles (112) du transistor (100) n'étant pas reliées électriquement entre elles.

25

2. Transistor (100) selon la revendication 1, la couche support (104) comportant des creux dans lesquels sont disposées les grilles (112).

30

3. Transistor (100) selon l'une des revendications précédentes, la couche support (104)

étant à base d'au moins un matériau diélectrique tel que du SiO<sub>2</sub> et/ou de l'Al<sub>2</sub>O<sub>3</sub> et/ou du nitrure et/ou du diamant et/ou à base d'au moins un matériau pouvant être gravé sélectivement par rapport aux autres matériaux du transistor (100), tel que du Si et/ou du SiGe et/ou du SiGe.

4. Transistor (100) selon l'une des revendications précédentes, comportant en outre une portion d'un masque dur (108) disposée sur les zones actives (106).

5. Transistor (100) selon la revendication 4, la portion du masque dur (108) comportant au moins une couche d'oxyde tel que du SiO<sub>2</sub> et/ou une couche de nitrure.

6. Transistor (100) selon l'une des revendications précédentes, les zones actives (106) étant à base d'au moins un semi-conducteur, contraint ou non, tel que du Si et/ou du Ge et/ou du SiGe et/ou n'importe quel semi-conducteur de type III-V, les grilles (112) étant à base d'au moins un matériau métallique et/ou de polysilicium et en partie entourées d'au moins un diélectrique de grille (110) à base d'un matériau tel que du SiON et/ou du SiO<sub>2</sub> et/ou de HfO<sub>2</sub>.

7. Transistor (100) selon l'une des revendications précédentes, comportant en outre un matériau diélectrique (116), tel que du SiO<sub>2</sub>,

recouvrant au moins en partie des portions de la couche support (104) et formant des tranchées d'isolation.

5 8. Transistor (100) selon l'une des revendications précédentes, le premier et/ou le second contact électrique comportant en outre des portions de siliciure (118) formées contre la première et/ou la seconde face de la première et/ou de la seconde des deux grilles (112).

10

9. Transistor (100) selon l'une des revendications précédentes, le premier et/ou le second contact électrique comportant chacun un via (122, 130) à base d'un premier matériau conducteur et une portion métallique (124, 132) à base d'un second matériau conducteur, le via (122, 130) étant disposé entre la portion métallique (124, 132) et la première et/ou la seconde des deux grilles (112).

20

10. Transistor (100) selon l'une des revendications précédentes, comportant en outre des espaceurs diélectriques (114) disposés sur la couche support (104) et au moins contre les grilles (112).

25

11. Transistor (100) selon l'une des revendications précédentes, ledit transistor (100) étant de type FinFET.

30

12. Transistor (100) selon l'une des revendications précédentes, comportant en outre des zones de source et de drain formées sur ladite face de

la couche support (104) et reliées électriquement à des contacts électriques (124) réalisés du côté de ladite face de la couche support et/ou du côté d'une face opposée à ladite face de la couche support (104) en traversant la couche support (104).

13. Procédé de réalisation d'un transistor à effet de champ (100), comportant au moins les étapes suivantes :

10 - photolithographie et gravure d'une pluralité d'emplacements de grilles dans une couche active (106) à base d'au moins un semi-conducteur disposée sur une couche support (104), formant dans la couche active (106) une pluralité de zones actives  
15 (106), chacune étant destinée à former un canal et étant disposée entre deux emplacements de grilles disposés l'un à côté de l'autre consécutivement,

- dépôt d'un matériau de grille (112) au moins dans les emplacements de grilles, formant une pluralité de grilles (112) comportant chacune une première face du côté de la couche support (104) et une seconde face opposée à la première face, chaque zone active (106) étant disposée entre deux grilles (112) situées l'une à côté de l'autre consécutivement,

25 - réalisation d'au moins un premier contact électrique (118, 122, 124) sur la seconde face d'une première des deux grilles (112), ce premier contact (118, 122, 124) étant relié électriquement à la seconde face de ladite première des deux grilles (112),

30 - réalisation, à travers la couche support (104), d'au moins un second contact électrique (118,

130, 132) relié électriquement à la première face d'une seconde des deux grilles (112),

les grilles (112) du transistor (100) n'étant pas reliées électriquement entre elles.

5

14. Procédé selon la revendication 13, la gravure des emplacements de grilles étant également réalisée en partie dans la couche support (104).

10

15. Procédé selon l'une des revendications 13 ou 14, comportant en outre, avant l'étape de photolithographie et de gravure, une étape de dépôt, tel un dépôt LPCVD, d'un masque dur (108) sur la couche active (106), les emplacements de grilles étant également gravés à travers le masque dur (108).

15

16. Procédé selon l'une des revendications 13 à 15, comportant en outre, entre l'étape de photolithographie et de gravure des emplacements de grilles et l'étape de dépôt du matériau de grille (112), une étape de dépôt d'un diélectrique de grille (110) au moins dans les emplacements de grilles, le matériau de grille (112) étant déposée sur ce diélectrique de grille (110).

20

25

17. Procédé selon l'une des revendications 13 à 16, comportant en outre, entre l'étape de dépôt du matériau de grille (112) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape d'implantation de dopants dans des zones de la couche

30

active (106) destinées à former des zones de source et de drain du transistor (100).

18. Procédé selon l'une des revendications 5 13 à 17, comportant en outre, entre l'étape de dépôt du matériau de grille (112) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape de réalisation d'espaceurs diélectriques (114) sur la 10 couche support (104) et au moins contre les grilles (112).

19. Procédé selon la revendication 18, comportant en outre, entre l'étape de réalisation des 15 espaceurs (114) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape de dépôt d'un matériau diélectrique (116) sur des parties de la couche support (104) non recouvertes par le matériau de grille (112) ou la couche active (106) ou les espaceurs (114), formant des tranchées d'isolation.

20

20. Procédé selon l'une des revendications 13 à 19, comportant en outre, entre l'étape de dépôt du matériau de grille (112) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape 25 de planarisation mécano-chimique avec arrêt sur la couche active (106) ou, lorsque le transistor comporte un masque dur (108) disposé sur la couche active (106), avec arrêt sur le masque dur (108).

30

21. Procédé selon l'une des revendications 13 à 20, comportant en outre, entre l'étape de dépôt du

matériau de grille (112) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape de siliciuration (118) du matériau de grille (112) et/ou de zones de la couche active (106) destinées à former des zones de source ou de drain du transistor (100).

22. Procédé selon l'une des revendications 13 à 21, la réalisation du premier contact électrique (118, 122, 124) étant obtenue au moins par les étapes de :

- dépôt d'une couche diélectrique (120) sur la couche active (106) et sur les grilles (112),
- photolithographie et gravure d'un emplacement de via dans la couche diélectrique (120) au niveau de la première des deux grilles (112),
- dépôt d'un premier matériau conducteur remplissant en partie l'emplacement gravé dans la couche diélectrique (120), formant un via (122) contactant électriquement la première des deux grilles (112),
- dépôt d'un second matériau conducteur dans l'emplacement gravé dans la couche diélectrique (120) sur le via (122), formant une portion métallique (124).

23. Procédé selon l'une des revendications 13 à 22, la réalisation du second contact électrique (118, 130, 132) étant obtenue au moins par les étapes de :

- photolithographie et gravure d'un emplacement de via dans la couche support (104) au niveau de la seconde des deux grilles (112),

5 - dépôt d'un premier matériau conducteur remplissant en partie l'emplacement gravé dans la couche support (104), formant un via (130) contactant électriquement la première face de la seconde des deux grilles (112),

10 - dépôt d'un second matériau conducteur dans l'emplacement gravé dans la couche support (104) sur le via (130), formant une portion métallique (132).

24. Procédé selon la revendication 23, comportant en outre, entre l'étape de photolithographie et de gravure de l'emplacement de via dans la couche support (104) et l'étape de dépôt du premier matériau conducteur dans cet emplacement, une étape de siliciuration (118) de la première face de la seconde des deux grilles (112).

20

25. Procédé selon l'une des revendications 13 à 24, comportant en outre entre l'étape de dépôt du matériau de grille (112) et l'étape de réalisation du premier contact électrique (118, 122, 124), une étape de réalisation de zones de source et de drain dans la couche active (106), la mise en œuvre de l'étape de réalisation du premier contact électrique (118, 122, 124) et/ou de l'étape de réalisation du second contact électrique (118, 130, 132) à travers la couche support (104) formant également des portions métalliques (124) reliées électriquement aux zones de source et de drain

25  
30

du côté d'une face de la couche support (104) comportant le premier contact électrique (118, 122, 124) et/ou du côté d'une autre face de la couche support (104) comportant le second contact électrique  
5 (118, 130, 132) à travers la couche support (104).

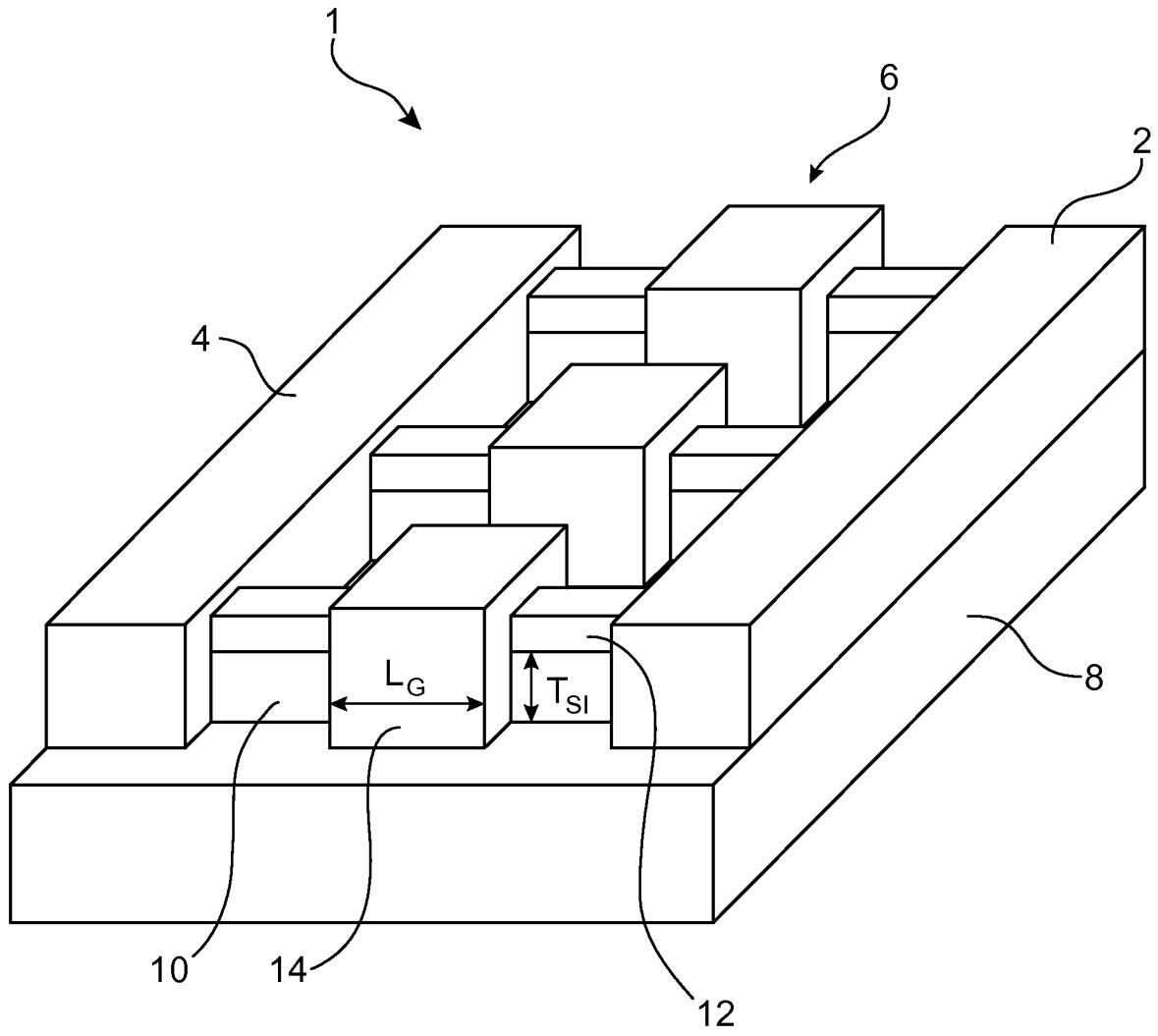


FIG.1

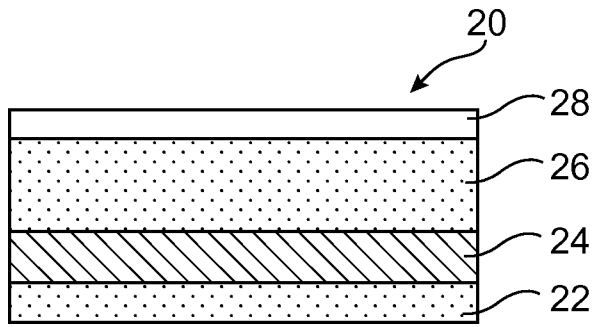


FIG. 2A

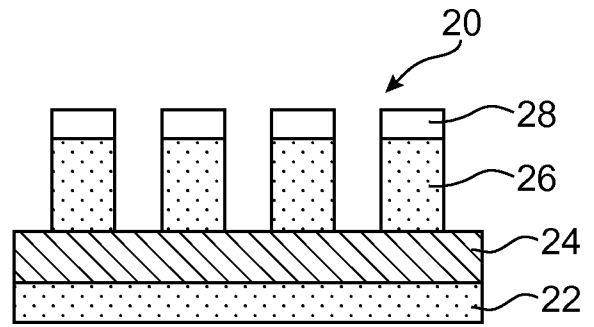


FIG. 2B

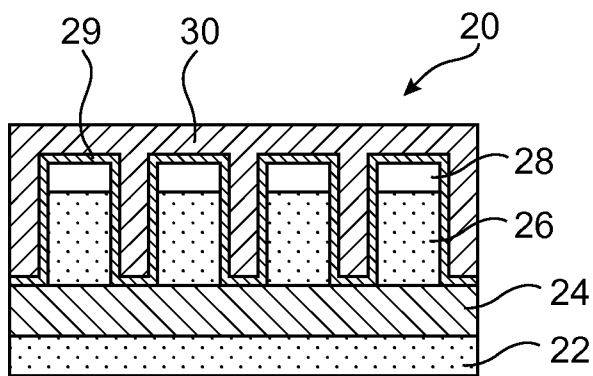


FIG. 2C

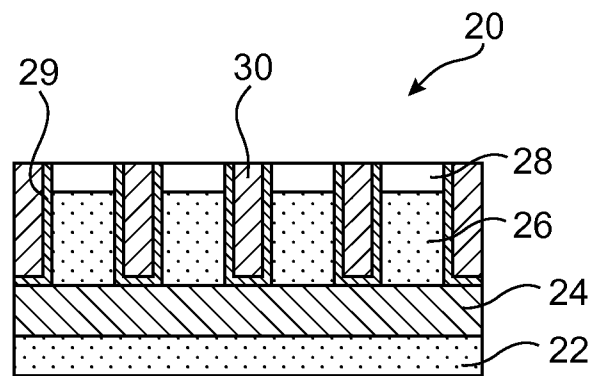


FIG. 2D

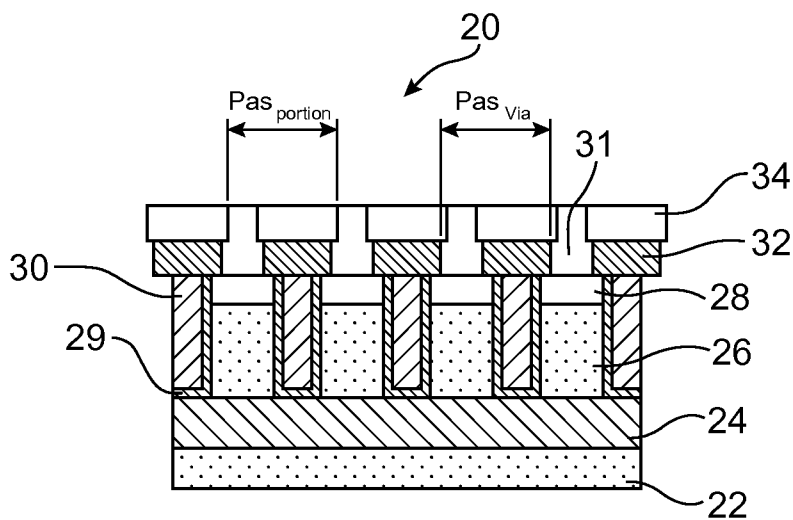


FIG. 2E

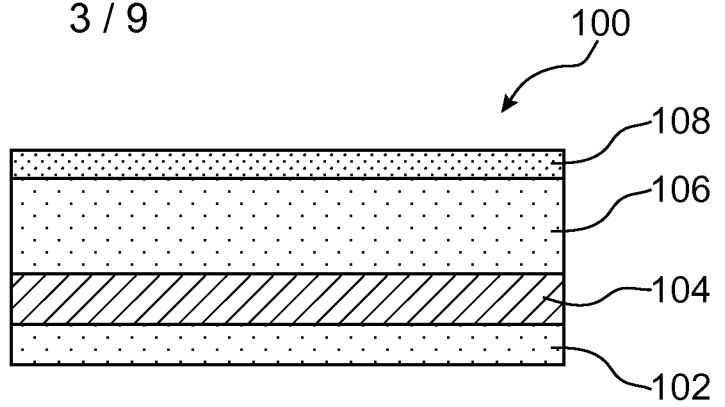


FIG. 3A

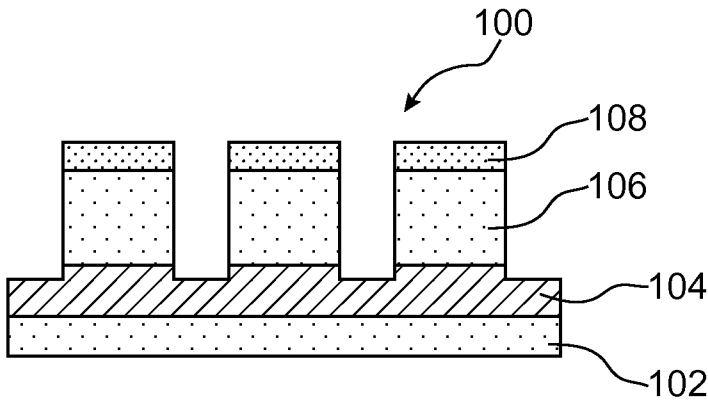


FIG. 3B

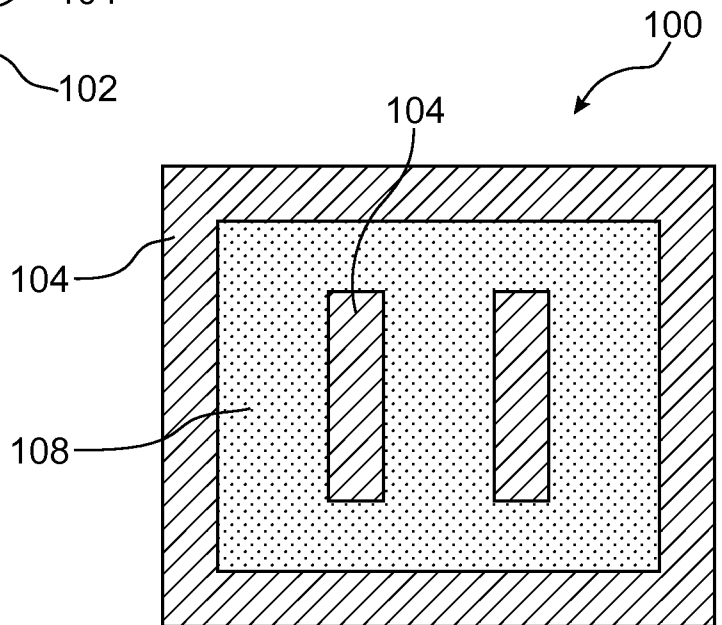


FIG. 3C

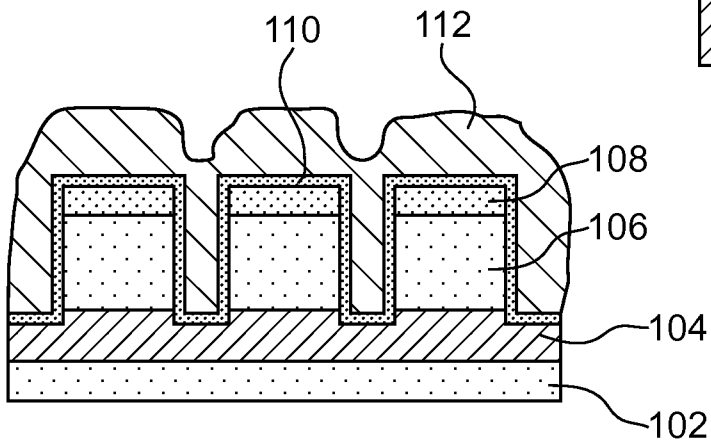


FIG. 3D

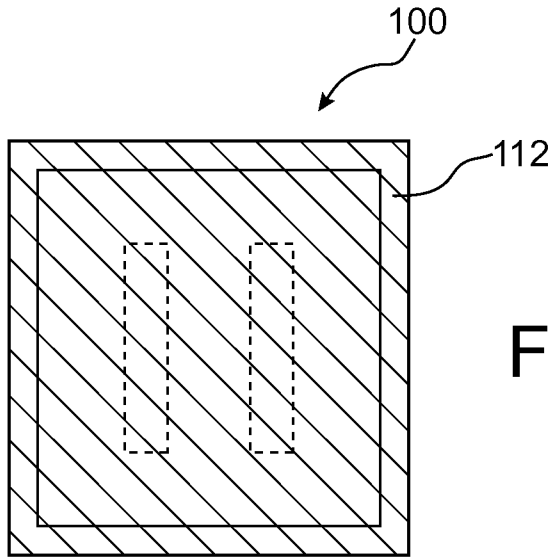


FIG. 3E

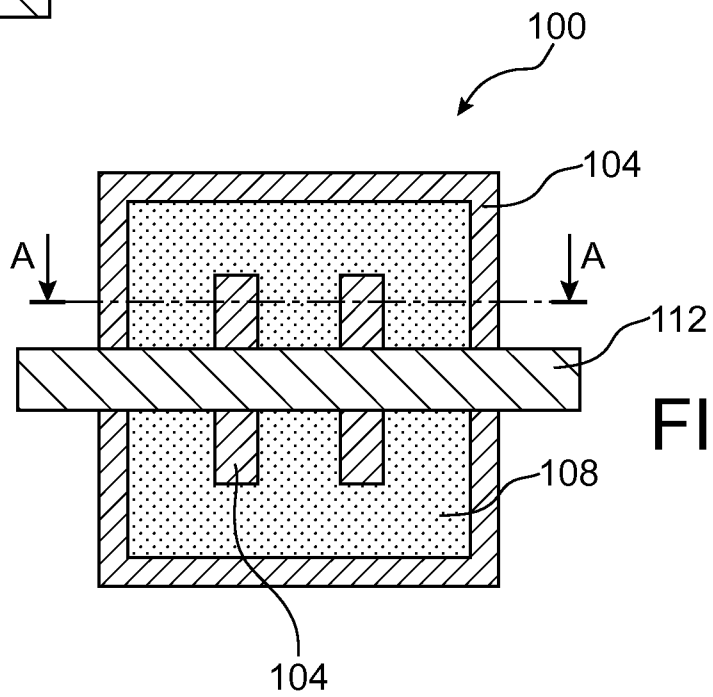


FIG. 3F

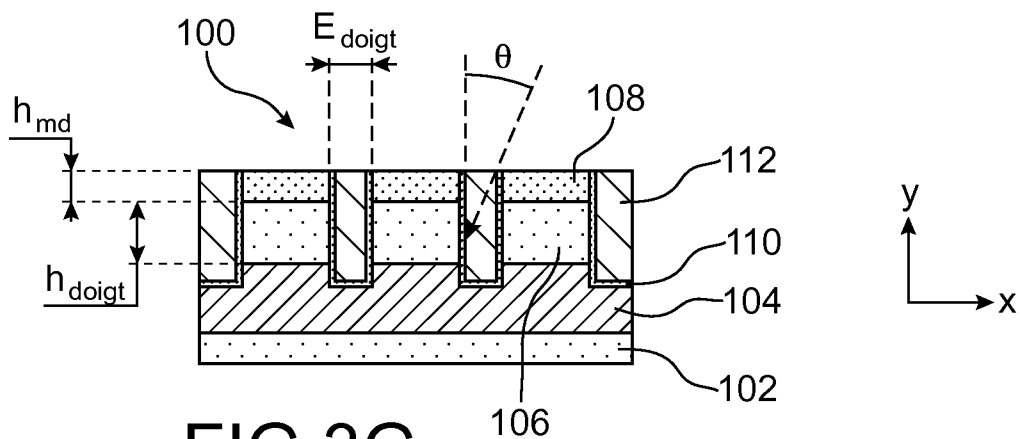


FIG. 3G

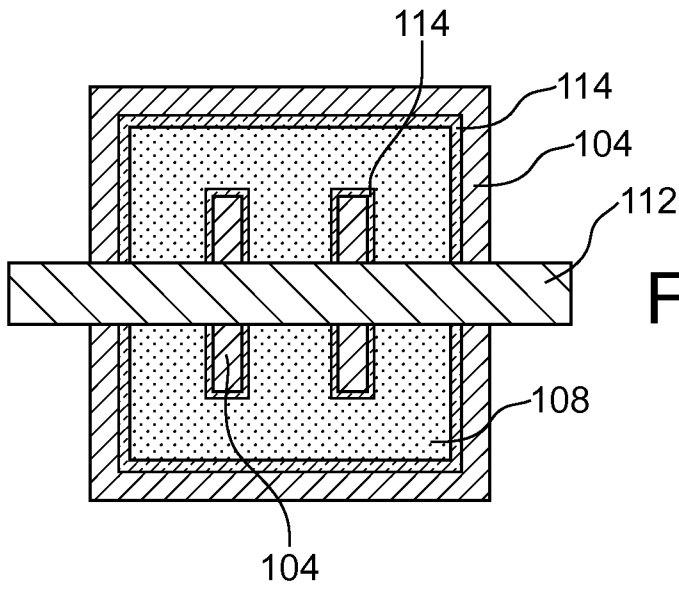


FIG. 3H

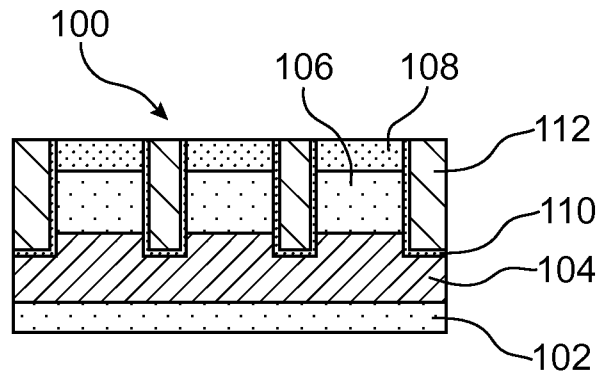


FIG. 3I

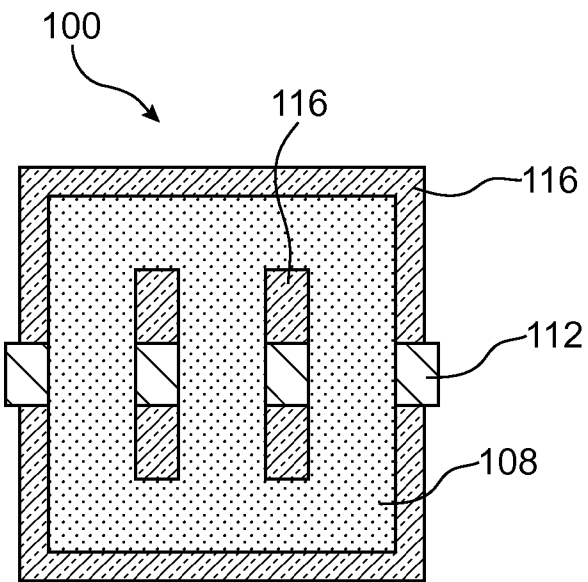


FIG. 3J

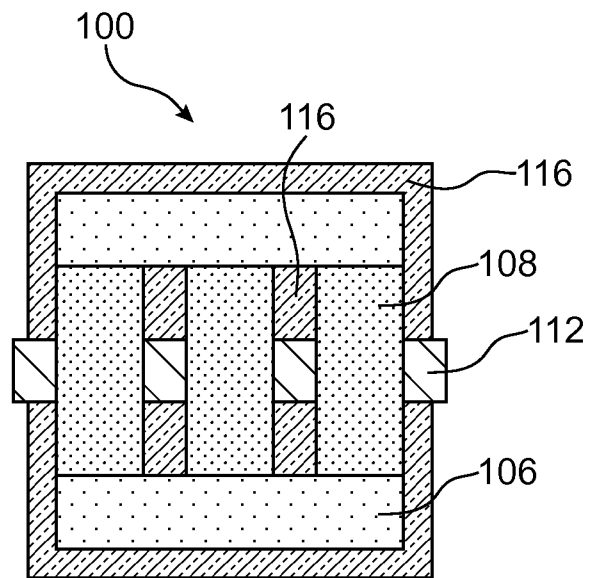


FIG. 3K

6 / 9

FIG.3L

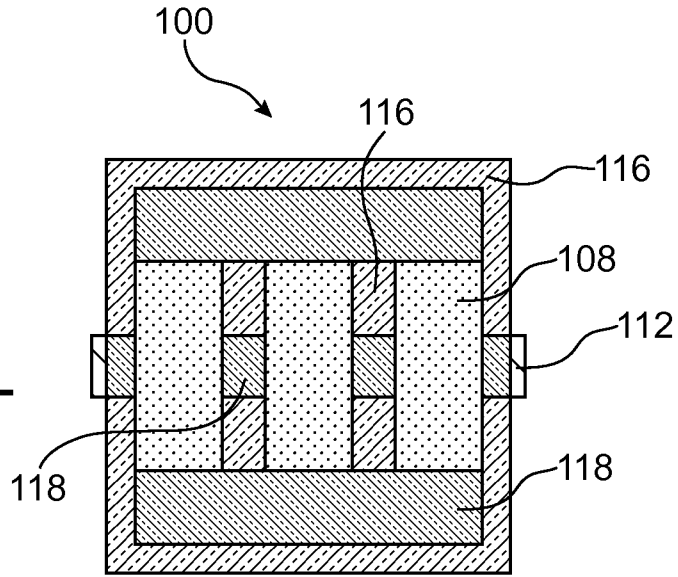


FIG.3M

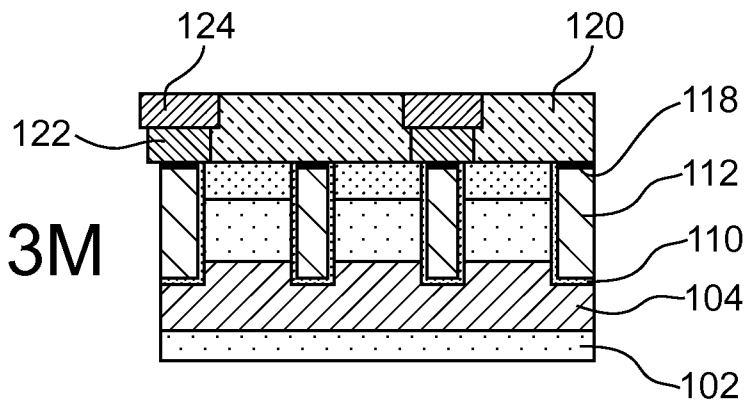
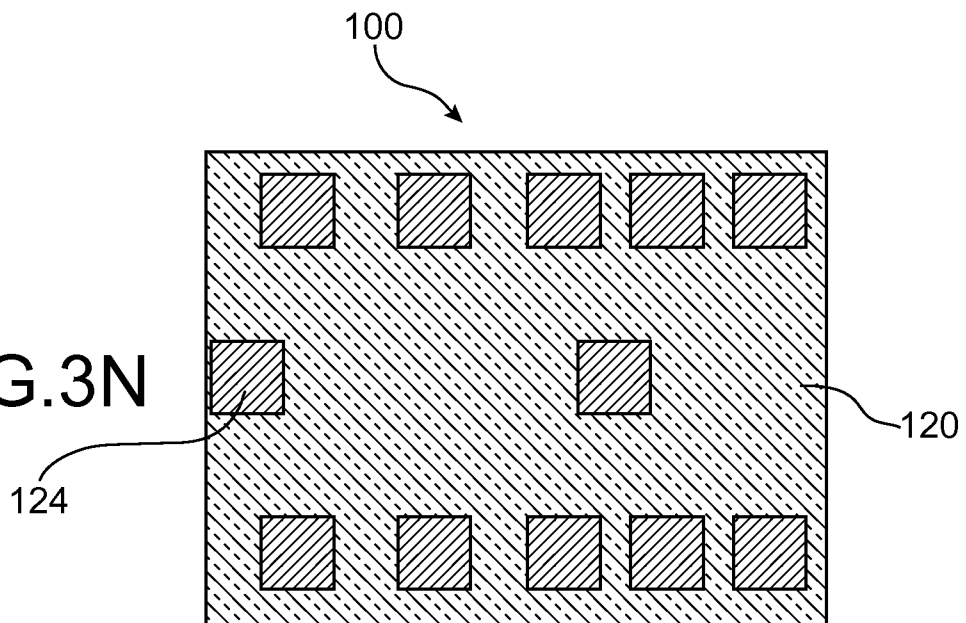


FIG.3N



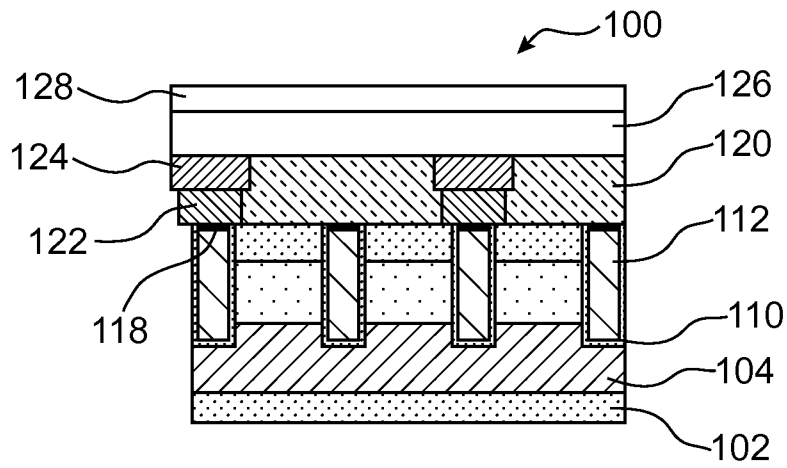


FIG.30

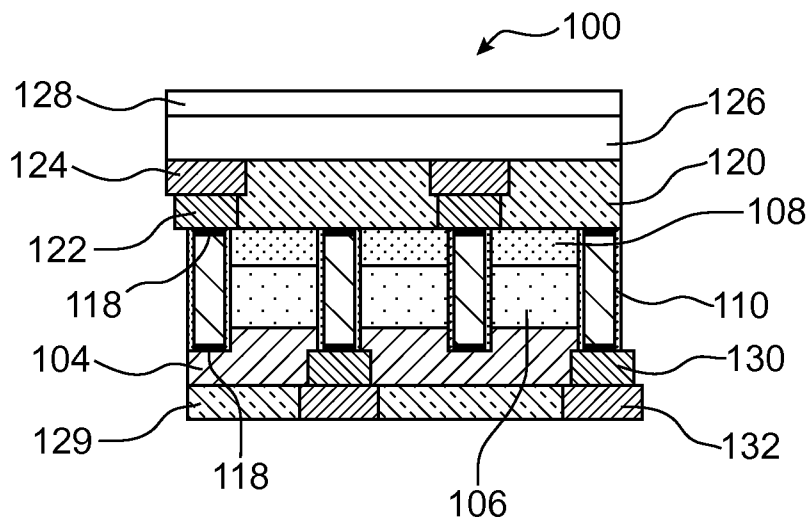


FIG.3P

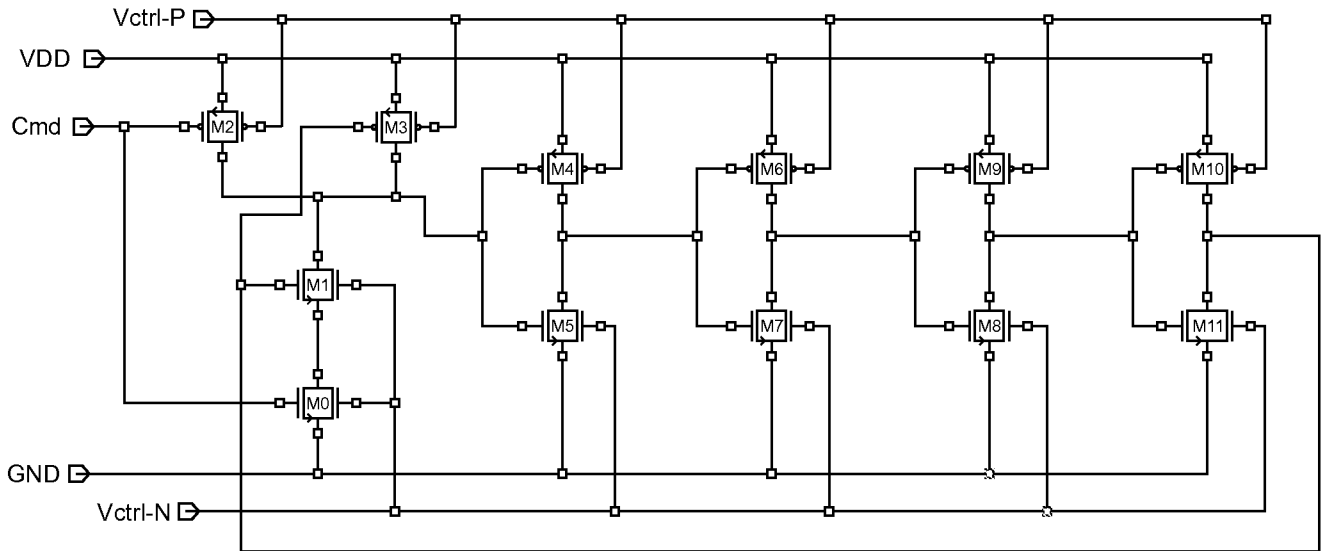


FIG.4

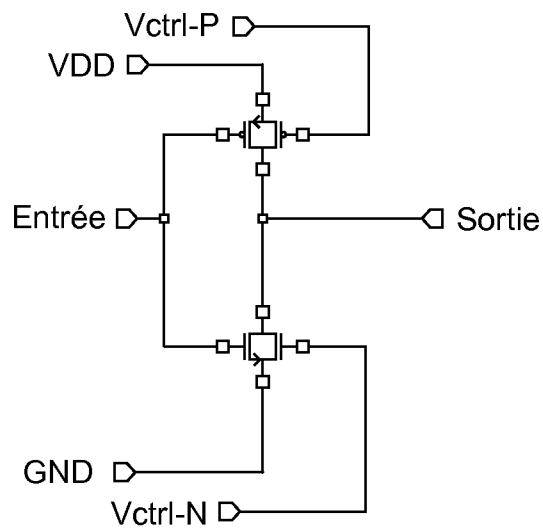


FIG.6

9 / 9

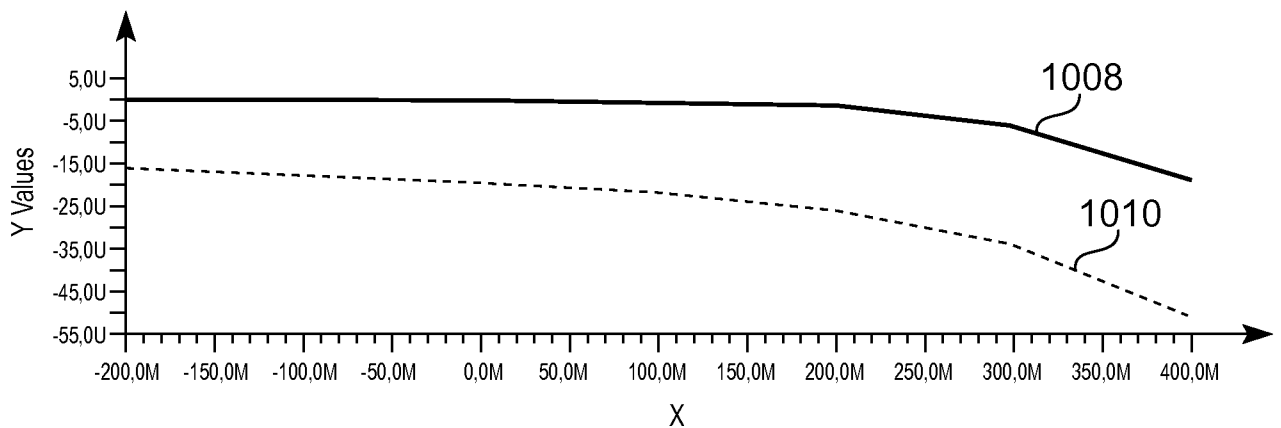
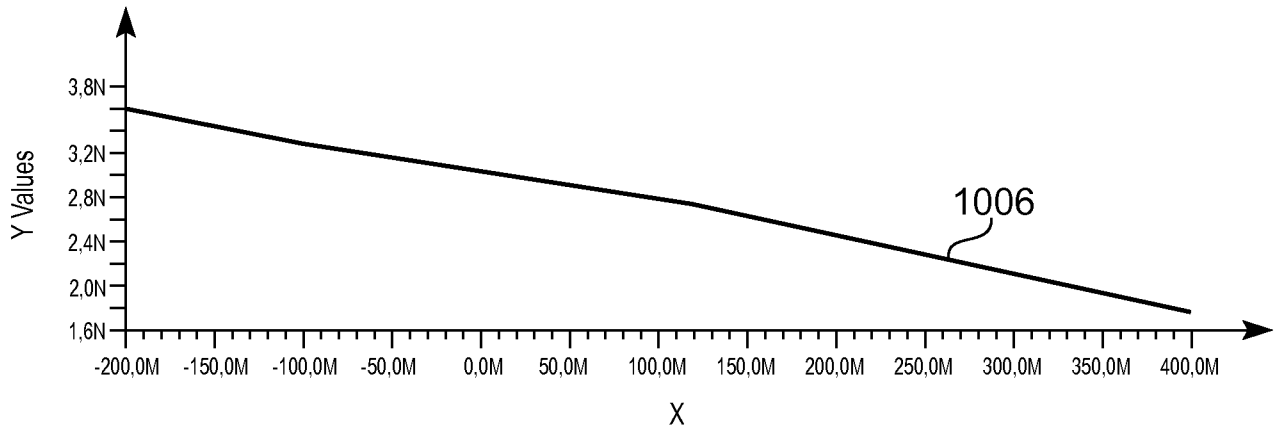
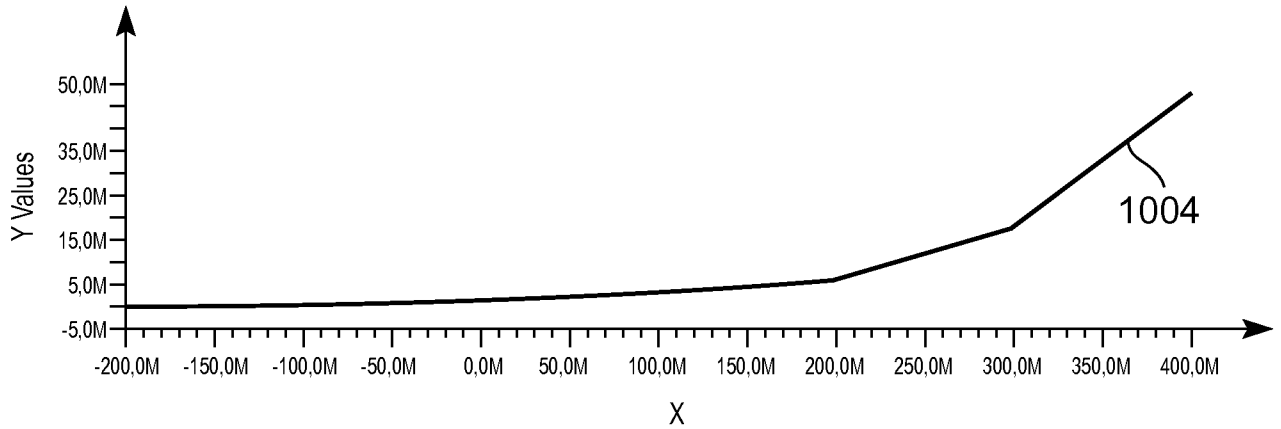
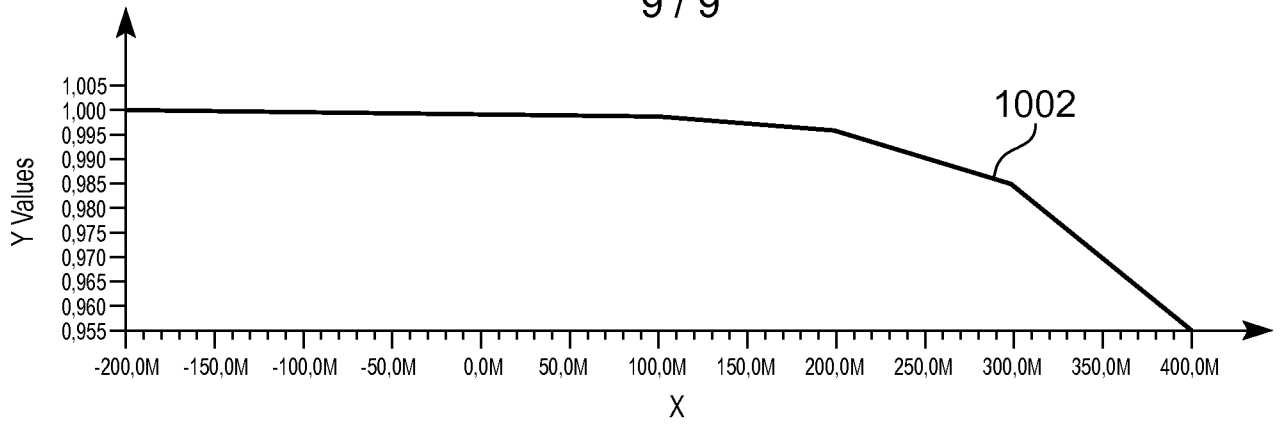


FIG.5