

(1)

九、發明說明

【發明所屬之技術領域】

本發明係有關積體電路封裝。

【先前技術】

以晶片或晶粒的形式之積體電路典型上係由安裝於印刷電路板的封裝體所包圍。此封裝體於例如是封裝基板的平地部（land）側上具有許多外部接點，該等接點係連接至印刷電路板，且專門用於積體電路的各種電源、接地及訊號接腳。連接封裝體的接點與印刷電路板的接點之典型技術包含焊錫球、接腳、及插座技術。在接點不是由附接於封裝基板的導通接點或平地部的焊錫球所形成之情況中，典型的封裝體參考係做為基板柵格陣列（LGA）封裝體。

封裝基板典型上具有使外部的平地部連接至基板封裝的相對側上之接點的內部佈線層，而該等接點係連接至積體電路晶片或晶粒。內部佈線層典型上含有用於接地匯流排、電源匯流排及複數條訊號線之分離的層。各種層係藉由延伸穿過基板的通孔而被連接至外部平地部。

一般而言，晶粒所需的電流量會決定晶粒的性能。若封裝電阻高，則封裝體中的電流流動將會降低，且封裝體與晶粒將需要更多的電源。若電阻低，則積體電路晶粒可以較低電源（例如，1.3 至 1.5 伏特）而作用。因此，目的之一就是發展低電阻率封裝體。

(2)

如以上所提及，封裝基板具有多個導電層，且相對於這些層的功率消耗一般會最小。封裝基板的大部分功率消耗發生於接點或平地部。因此，就某種意義來說，平地部決定了封裝基板的整體電阻率。

依據目前的製程，封裝基板的外部導電平地部為塗覆銅的結構。例如，形成於基板封裝體中的銅接點係塗覆有一層鎳層，接著是鈮的塗層，再接著是金的塗層。

【發明內容及實施方式】

圖 1 顯示積體電路封裝體的剖面側視圖，此積體電路封裝在物理上及電氣上係連接至印刷配線板或印刷電路板（PCB），以構成電子組裝件。電子組裝件可為如電腦（例如，桌上型、膝上型、手持式、伺服器）、無線通訊裝置（例如，蜂巢式電話、無線電話、傳呼器等）、電腦相關的週邊（例如，印表機、掃描器、監視器等）、娛樂裝置（例如，電視、收音機、立體音響裝置、錄音帶與光碟播放器、錄影機、動畫專家群組音頻第三層播放器（MP3）等）、及類似裝置之電子系統的一部分。圖 1 例舉做為桌上型電腦的一部分之電子組裝件。圖 1 顯示電子組裝件 100，其包含晶粒 110，在物理上及電氣上係連接至封裝基板 120。晶粒 110 為積體電路晶粒（例如微處理器晶粒），其具有例如係經由晶粒 110 的外部表面上之接點 130 的互連線，而互連或連接至電源/接地或晶粒外部的輸入/輸出訊號。接點 130 可與構成例如是封裝基板 120

(3)

的外部表面上之晶粒凸塊層的接點 140 對準。在相對於包含接點 140 的表面之封裝基板 120 的表面上的是平地接點 150。連接至各個平地接點 150 的是焊錫凸塊 160，其可用來使封裝體 170 連接至電路板 180，如主機板或其他電路板。

圖 2 顯示圖 1 的封裝基板之平地接點中的其中之一接點的例子。圖 3 描述用以形成接點上的塗覆層之代表性程序流程。參照圖 2，封裝基板 120 包含平地接點 150，其各個平地接點包含形成於封裝基板 120 中或封裝基板 120 上之接點 210，當作接觸點。接點 210 具有許多覆蓋於表面（如同所看到的頂部表面）上的塗覆層。在一實施例中，接點 210 為導電材料，如銅或銅的合金。接點 210 可藉由經過電介質材料（諸如聚合物（例如，聚亞醯胺）材料）的封裝基板 120 上之相鄰接點而被分開。

覆蓋於接點 210 的表面（如同所看到的頂部表面）上的是第一塗覆層 220。在接點 210 為銅材料的一實施例中，第一塗覆層 220 為所形成的鎳材料。參照圖 3 中的程序流程，程序 300 包含沈積例如鎳材料的第一塗覆層於封裝基板的平地接點（例如封裝基板 120 的平地接點 210）上（方塊 310）。將鎳材料的第一塗層沈積於銅材料的接點上之一種技術為經由無電鍍沈積程序。

覆蓋於圖 2 的結構中之第一塗層 220 上為層 230。在一實施例中，層 230 係選擇為金的材料。圖 3 中所述的程序流程包含沈積第一金層於第一塗層上（方塊 320）。沈

(4)

積金材料的一種技術為經由電鍍程序。

覆蓋於圖 2 中所顯示的結構中之層 230 上於一實施例中為鈀材料的層 240。圖 3 的程序 300 包含沈積鈀層於第一金層上（方塊 330）。在一實施例中，鈀係經由電鍍程序而被沈積。

鈀的沈積之後接著是第二金層的沈積（方塊 340，圖 3）。在一實施例中，第二金層係藉由電鍍程序而被沈積。圖 2 顯示金覆蓋層 240 的材料之覆蓋層 250。因此，圖 2 中所顯示的結構包含夾在或配置於金的材料之層 230 與層 250 之間的層 240。

在一實施例中，鎳（Ni）/金（Au）/鈀（Pd）的塗層係沈積到以下的厚度：Ni 5.6 微米；Au 0.025 微米；Pd 0.08 微米；Au 0.06 微米。此例中的複合塗層之總厚度為 5.75 微米。若此複合塗層與利用 5.6 微米的鎳、0.8 微米的鈀、及 0.6 微米的金之 5.73 微米的複合厚度之習知技術塗層相比較，可預知具有額外金層的堆層之複合堆層的電阻將會比較厚堆疊具有更高的電阻。然而，雖然整體電阻可預知為較高，但是當如所述之鈀材料係夾在金層之間時，已發現金屬的電子結構（例如，功函數）會使得經過複合堆層的電子穿隧更簡單。

在先前詳細的說明中，已參考其特定實施例。然而，顯然可知的是，在不脫離以下申請專利範圍之寬廣精神及範圍之下，可做不同的修改及改變。因此，說明書及圖式係視為例示，而非限制的意義。

(5)

【圖式簡單說明】

圖 1 顯示包含藉由安裝於印刷電路板之封裝體所包圍的微處理器之電腦系統；

圖 2 顯示封裝基板上的平地部之示意剖面側視圖；以及

圖 3 顯示形成封裝基板的平地部上之塗層的流程圖。

【主要元件符號說明】

100：電子組裝件

110：晶粒

120：封裝基板

130：接點

140：接點

150：平地接點

160：焊錫凸塊

170：封裝體

180：電路板

210：接點

220：第一塗覆層

230：層

240：層

250：覆蓋層

圖 1

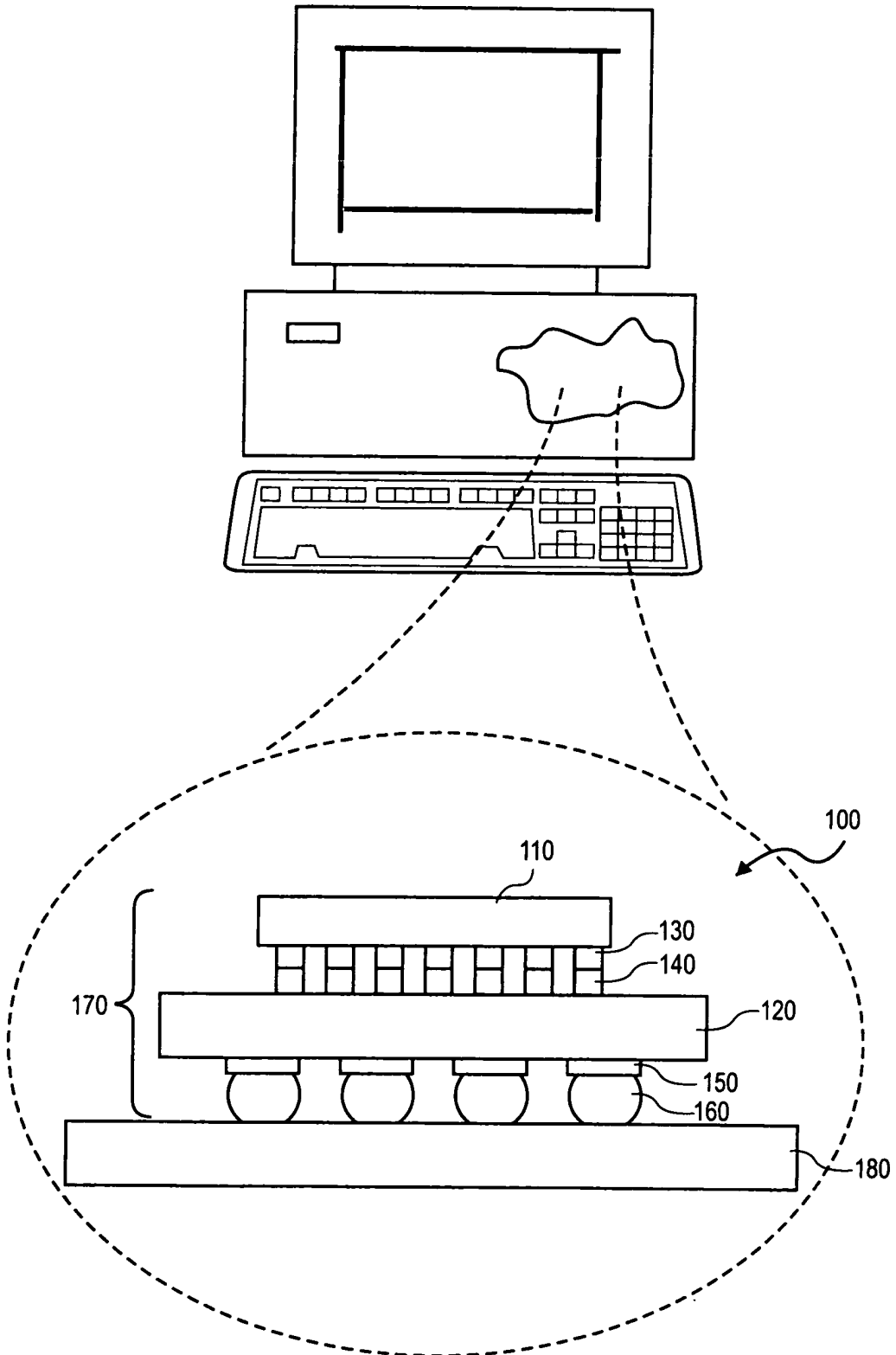


圖 2

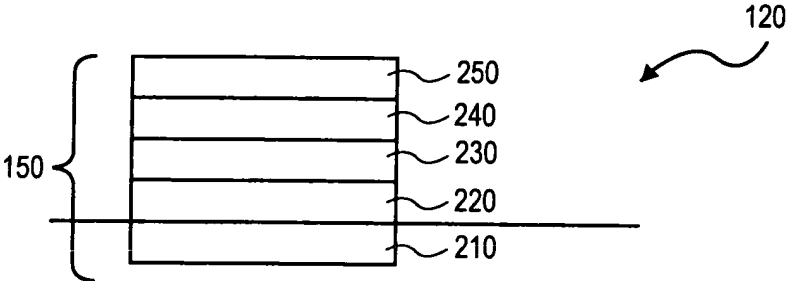
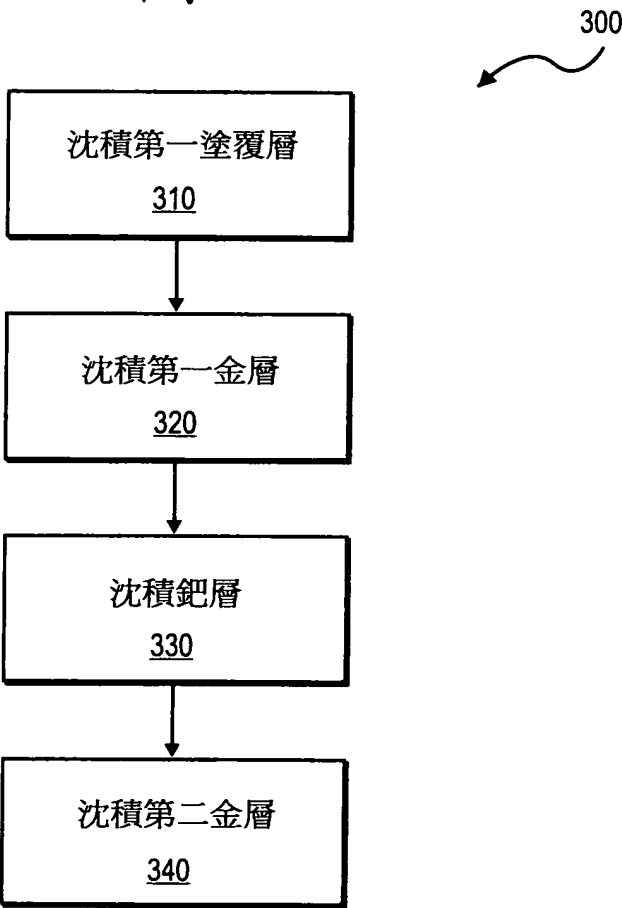


圖 3



七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖

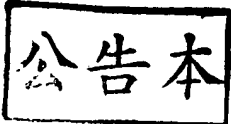
(二)、本代表圖之元件代表符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(此處由本局於收
文時黏貼條碼)

發明專利說明書

98年12月10日修正替換頁



(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95146721

※申請日期：95 年 12 月 13 日

※IPC 分類：H01L^{23/28}_(2006.01) ^{21/56}_(2006.01)

一、發明名稱：

(中) 封裝基板之製造方法、電子裝置及計算系統

(英) Method for fabricating package substrate, electronic apparatus and computing system

二、申請人：(共 1 人)

1. 姓 名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID

地 址：(中) 美國加州聖大克拉瑞密遜學院路 2 2 0 0 號

(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

三、發明人：(共 5 人)

1. 姓 名：(中) 畢傑 沙哈
(英) SAHA, BIJAY S.國 籍：(中) 美國
(英) U.S.A.2. 姓 名：(中) 富山宗弘
(英) TOYAMA, MUNEHIRO國 籍：(中) 日本
(英) JAPAN3. 姓 名：(中) 艾柏 納瑟
(英) NASIR, EHAB A.國 籍：(中) 美國
(英) U.S.A.

4. 姓 名：(中) 歐瑪 比海爾

國 籍：(英) BCHIR, OMAR J.
(中) 美國
(英) U.S.A.

5. 姓 名：(中) 查瑞瓦那 古魯墨西
(英) GURUMURTHY, CHARAVANA K.
國 籍：(中) 印度
(英) INDIA

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 ; 2005/12/28 ; 11/320,273 ☒ 有主張優先權

98年12月10日修正替換頁

五、中文發明摘要

發明之名稱：封裝基板之製造方法、電子裝置及計算系統

一種方法，包括形成塗層於封裝基板的平地接點上，此塗層包括配置於第一層與第二層之間的第一材料，第一層與第二層的各層係由包含金的第二材料所做成。一種裝置，包括封裝基板，其包含複數個平地接點，其中這些平地接點的各個平地接點包括塗層，此塗層包含配置於第一層與第二層之間的第一材料，第一層與第二層的各層係由包含金的第二材料所做成。

六、英文發明摘要

發明之名稱： Method for fabricating package substrate, electronic apparatus and computing system

A method includes forming a coating on a land contact of a package substrate, the coating including a first material disposed between a first layer and a second layer, each of the first layer and the second layer being made of a second material including gold. An apparatus includes a package substrate including a plurality of land contacts wherein each of the plurality of land contacts includes a coating including a first material disposed between a first layer and a second layer, each of the first layer and the second layer being made of a second material including gold.

98年12月10日修正本

十、申請專利範圍

附件 5：第 95146721 號專利申請案

中文申請專利範圍替換本

民國 98 年 12 月 10 日修正

1. 一種封裝基板之製造方法，包含：

形成第一塗層於該封裝基板的平地接點上，該平地接點包含銅；

形成第二塗層於該封裝基板的該平地接點上，該封裝基板的該平地接點係組構用以連接至電路晶粒，該第二塗層包含配置於一第一層與一第二層之間的第一材料，以及該第一層與該第二層的各層係由包含金的第二材料所做成，

其中該第一材料包含鈮。

2. 如申請專利範圍第 1 項之方法，其中該第一塗層包含鎳。

3. 如申請專利範圍第 1 項之方法，其中該第一材料包含鈮且該第一塗層包含鎳。

4. 如申請專利範圍第 1 項之方法，其中形成該第二塗層包含電沈積該第一層及該第二層。

5. 如申請專利範圍第 4 項之方法，其中電沈積包含電鍍。

6. 一種電子裝置，包含：

一封裝基板，組構用以連接至電路晶粒，該封裝基板包含複數個平地接點，其中該等複數個平地接點的各個平

地接點包含第一塗層及第二塗層，該第二塗層包含配置於一第一層與一第二層之間的第一材料，且其中該第一塗層係配置於該第二塗層與該平地接點之間，該平地接點包含銅，該第一層與該第二層的各層係由包含金的第二材料所做成，

其中該第一材料包含鈮。

7.如申請專利範圍第 6 項之裝置，其中該第一塗層包含鎳。

8.如申請專利範圍第 6 項之裝置，其中該等接點包含該封裝基板的第一側上之第一複數個接點，該封裝基板另包含該封裝基板的第二對側上之複數個第二接點，該裝置另包含：

晶片，係耦接至該等第二接點。

9.一種計算系統，包含：

計算裝置，包含：

微處理器；

印刷電路板；以及

基板，其中該微處理器係經由該基板而耦接至該印刷電路板，該基板包含複數個平地接點，其中該等複數個平地接點的各個平地接點包含第一塗層及第二塗層，該第二塗層包含配置於一第一層與一第二層之間的第一材料，且其中該第一塗層係配置於該第二塗層與該平地接點之間，該平地接點包含銅，該第一層與該第二層的各層係由包含金的第二材料所做成，

其中該第一材料包含鈮。

10.如申請專利範圍第 9 項之系統，其中該第一塗層
包含鎳。