

公告本

89年4月18日修正/更正/補充

年 月 日 修正

申請日期：87.2.27 案號：87102838

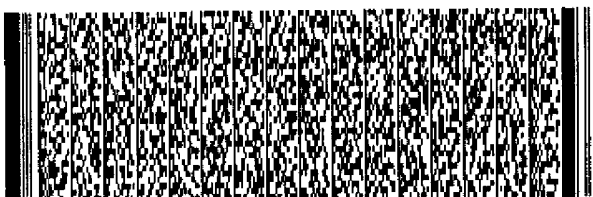
類別：401L²¹/76

(以上各欄由本局填註)

發明專利說明書

421850

一、發明名稱	中文	在導電型矽基底上製造半導體裝置的方法
	英文	A Process For Fabricating Semiconductor Device In A Silicon Substrate Of One Conductive Type
二、發明人	姓名(中文)	1. 肯塔雨尼 威廉 F. 2. 林柔特 史提芬
	姓名(英文)	1. William F. Cantarini 2. Steven C. Linzotte
	國籍	1. 美國 US 2. 美國
	住、居所	1. 美國加州90277里當斗海灘凱迷柔房地#201822 2. 美國加州90815長島卡發克斯大道 2286 號
三、申請人	姓名(名稱)(中文)	1. 國際整流公司
	姓名(名稱)(英文)	1. International Rectifier Corporation
	國籍	1. 美國
	住、居所(事務所)	1. 美國加州90245躍西康多凱撒斯街233號
	代表人姓名(中文)	1. 克雷佛特 C. 雷斯利
代表人姓名(英文)	1. Clevert C. Lesley	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1997/02/28 60/039,487

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

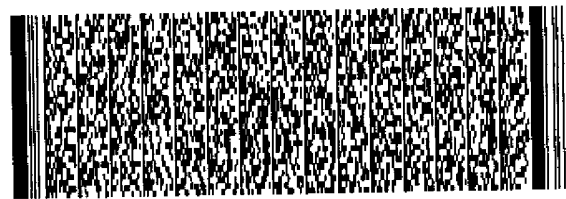
相關申請案

本申請案發明擁有在1997年·2月28日所提出申請的 Provisional Application Serial No. 60/039,487 的優先權。

發明背景

本發明是有關於半導體裝置，更特別的是有關於一種新穎的結構，在單矽晶圓內形成平面功能電路胞(planar cells)陣列，而且是與另一平面功能電路胞陣列做電性絕緣，同時可以將一個或多個功率裝置積體化到相同的晶片中，當作平面功能電路胞。

時常要使用到由大量功能電路胞(cells)所形成的半導體裝置。比如眾所周知且一般被用來產生控制信號給固態繼電器用的光伏產生器PVGs(photovoltaic generators)。這類的裝置使用由輸入端施加能量來對隔開並絕緣的光伏裝置的光敏表面進行輻射的LED。光伏裝置(photovoltaic device)的輸出可以當作一開關裝置的輸入，比如MOS-開極裝置(MOS-gated device)，一般的功率MOSFET或IGBT，其載端會切換到"on"，以反應出該LED已被施加電源。繼電器的輸入與輸出端是用LED與光伏裝置之間間隙來絕緣開。通常，光伏裝置包含大量的串接光伏功能電路胞，以產生足夠打開該功率開關裝置的電壓。這些裝置是眾所周知的，且由本發明的專利所有權人



五、發明說明 (2)

International Rectifier Corporation of El Segundo in CA 的公司所生產名為"PVI"的產品在市場上銷售。

可以用不同的方式來製作多功能電路胞光產生器。一種已知的產生器是使用如Daniel M Hinzer在美國專利 4,755,697與4,996,577中所示的一堆或一群的光伏功能電路胞。其它的裝置使用互相成介面絕緣，並在其表面上串接在一起的平面陣列功能電路胞。還有另外的其它已知裝置，分佈在矽晶片表面上的個別功能電路胞是互相介面絕緣開，或是介電質-絕緣，如美國專利4,227,098與4,390,790中所示。然而習用技術的裝置具有製造成本昂貴且較低製造良率的缺點。

此外，平面陣列光伏產生功能電路胞在以介電質區隔的矽晶圓上形成。有一很厚的"控制"晶圓被氧化連結到並絕緣開如美國專利5,549,762中所示的一薄裝置晶圓，並在該薄裝置晶圓內形成介面。然而該裝置卻需要相當昂貴的起始晶圓。

所以需要製造一種能由大量絕緣功能電路胞所形成並串接在一起的光伏產生器，以產生打開信號給功率MOS-閘極裝置，但卻可以很容易的製造出，且利用已存在的可靠製作設備及技術，而與MOS-閘極裝置積體化在一起。

而且還需要產生其它由大量絕緣功能電路胞所形成的裝置，將該絕緣功能電路胞連接起來，但卻可以很容易的製造出，並与其它裝置積體化在一起。

發明摘要



五、發明說明 (3)

本發明提供一種新穎的包含溝渠結構的裝置結構，該溝渠結構是用來將在單一晶圓內形成的多功能電路胞半導體裝置的各個功能電路胞作電性絕緣。

一個或多個N+或P+擴散層，可以先在輕摻雜的N或P型起始晶圓內形成。另外，這些擴散層可以在溝渠製作完成之後才形成。個別的平面及間隔功能電路胞或盆區，常藉蝕刻掉圍繞該擴散區的一陣列的相交溝渠來形成。該溝渠延伸到預定深度，並被填滿介電質及多晶矽，以電性絕緣開每個功能電路胞。不同功能電路胞的擴散層被連接到相鄰功能電路胞的一個或多個擴散層，以串聯或並聯連接預設數目的功能電路胞。

該矽基底的背面則接地到至少是溝渠底部的準位，同時有一絕緣氧化層以沉積在背部表面上。可以使用支撐結構來確定該溝渠化的接地晶圓是在一起的。

依據本發明，可以在單一晶圓內，形成的介電質絕緣平面式光伏產生功能電路胞，而且進一步的，與相同晶圓內的一個或多個功率裝置積體化在一起。

複數個N+(或P+)擴散層在輕摻雜的P型(或N型)起始晶圓內形成，而且每一個擴散層都被環形的P+(或N+)接觸擴散層所包圍。要注意的是，這些擴散層是在製程結束才做成的。然後才藉蝕刻掉介於P+(或N+)接觸擴散層間一陣列的相交溝渠，形成個別的平面及間隔功能電路胞或盆區。該溝渠延伸到預設的深度，並填滿介電質及多晶矽。接著將基底變薄，以介電質方式將每個盆區絕緣開。每個功能



五、發明說明 (4)

電路胞的N+頂部接觸區被連接到相鄰功能電路胞的P+接觸區，以連接預定數目的串接功能電路胞。

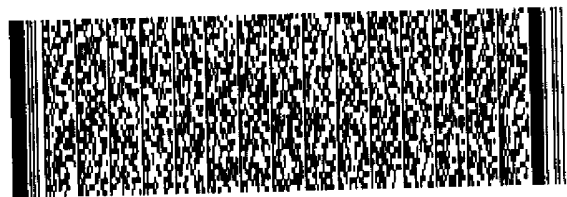
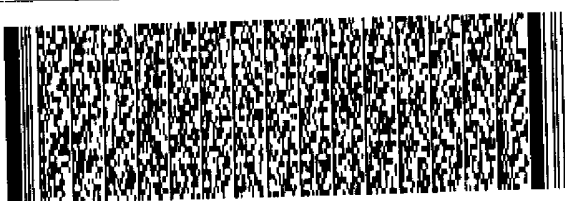
MOS-閘極裝置可以積體化到相同的晶片內，如同在晶圓的溝渠化或非溝渠化區域中的光伏產生器結構。MOS-閘極裝置可以是橫向式或垂直式的MOSFET，或是橫向式或垂直式的IGBT，在研磨晶圓背面之前便形成，而且可以在光伏產生器功能電路胞形成前或之後緊接著形成，或是利用某些與光伏產生器相同的製造步驟來形成。

該裝置的上表面接著曝露在光源下，比如間隔LED的輻射輸出，以便從每個功能電路胞中產生輸出電壓。這些串接的輸出會產生能控制MOS-閘極裝置切換的信號。

依據本發明的進一步特性，很重要的是，其它裝置可以積體化到該晶圓的其它介電質絕緣的功能電路胞中。例如，MOS-閘極裝置，如BJTs，MOSFETs，IGBTs，GTDs以及這類的裝置，可以在共用晶圓的其它絕緣功能電路胞內形成。積體化到其它位阱內的裝置可以是橫向傳導裝置，或是垂直傳導裝置，其中包含垂直傳導裝置的該功能電路胞也會包含一底部接觸區。很重要的是，整個晶圓可以與包含不同內部連接電路單元的所有功能電路胞一起使用，以形成一特殊的電路。

本發明的其它特性與優點將會從參照相關圖式的以下說明中而更為明顯。

圖式之簡單說明



五、發明說明 (5)

圖1顯示經間隔且較淺M區擴散處理後的一部分裝置晶圓剖示圖。要注意的是，該步驟可以在圖5的步驟之後才進行。

圖2顯示圖1的晶圓經較淺P+接觸區擴散處理後的剖示圖。

圖3顯示圖2的晶圓經形成隔開並定義出絕緣功能電路胞或盆區的絕緣溝渠後的剖示圖。

圖4顯示圖3的晶圓在溝渠內壁上形成氧化層，在溝渠內形成以介電質方式絕緣開各個功能電路胞的多晶矽區，沉積並定出重疊氧化層圖案，以及沉積並定出接觸金屬層圖案後的剖示圖。

圖5顯示圖4的晶圓在經研磨晶圓背面並在晶圓背面上形成絕緣層後的剖示圖。

圖6顯示圖5中顯示出連接各個串接裝置的接觸區的一部分裝置的上視圖。

圖7顯示依據本發明在N型基底內形成光伏產生裝置的另一個實施例。

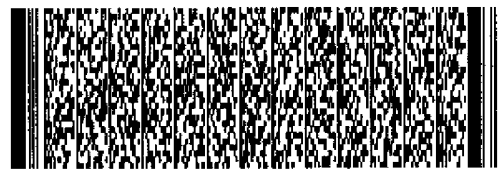
圖8顯示本發明在圖5的相同基底內形成橫向MOSFET的另一個實施例。

圖9顯示本發明在圖5的相同基底內形成橫向IGBT的另一個實施例。

圖式中的參考圖號：

10 基底

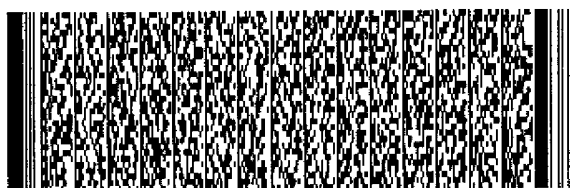
18 氧化層



五、發明說明(6)

20	N+擴散層	21	N+擴散層	22	N+擴散層觸環
25	P+接觸環	26	P+接觸環	27	P+接觸環
30	氧化層				
40	溝渠				
40a	溝渠	40b	溝渠	40c	溝渠
50	氧化層	51	氧化層		
52	多晶矽				
60	層間矽氧化層(LTO 塗層)				
110	基底				
120	擴散區	121	擴散區	122	擴散區
125	擴散區	126	擴散區	127	擴散區
230	N型區	232	P+區		
236	硼區	240	閘氧化層	242	多晶矽層
250	N+源極區	252	N+源極區	254	N+汲極區
272	源極接觸窗	274	源極接觸窗		
330	N型"加強"區				
332	P+區	336	硼區		
340	閘氧化層	342	多晶矽層		
350	N+源極區	354	N+陰極區		
360	P+集極區(或陽極區)				
362	P型浪區				

本發明之詳細說明



五、發明說明 (7)

首先參閱圖1，顯示一部分矽晶圓基底10的剖面圖。一佈植光罩層，一般是二氧化矽，是從晶圓的前緣表面上形成的。接著，利用適當的微影技術，將傳統的光阻層加到氧化層的頂部表面上，並在其中定義出圖案以產生一陣列的矩形或其它形狀的開口。接著將氧化層的曝露部分蝕刻掉，而且去除掉光阻層。N型雜質，如磷或砷，會經由氧化層中的開口而離子佈植到矽內。該離子佈植接著會被驅入，以形成較淺的N+擴散層20, 21, 22。

移開氧化層18，同時另一個光罩氧化層30在晶圓的前緣表面上形成。此外，第一氧化層18是在N+擴散層20, 21, 22被驅入之前便被移開的，而第二氧化層30是與N+擴散層20, 21, 22的驅入動作同時形成的。

將光阻層沉積在氧化層30上，然後定義出圖案，以定義開口給一般是環形的接觸擴散層。將氧化層的曝露部分蝕刻掉，將光阻層移開，並將較淺的硼雜質劑量佈植到曝露的矽表面區域，以形成P+接觸環25, 26, 27，如圖2所示。另外，從P+接觸環25, 26, 27延伸的中央P+收集指區域，也可以安置在每個N+擴散區的中央。緊接著該離子佈植步驟，進行雜質佈植的驅入處理。氧化層30可以在該驅入步驟之後或之前移開。

必須注意的是，佈植的能量與雜質劑量，以及驅入時間及溫度，可以依已知習用技術所使用的雜質分佈而定。因此，處理該裝置以形成格網狀的較深絕緣溝渠40，圍繞並絕緣開每個P+接觸區，並延伸進入矽基底10，到達約80至130微米的深度。該溝渠的部分顯示於圖3中，如標示號



五、發明說明 (8)

數40a, 40b, 40c所示的剖面。該溝渠會產生基底10內的以介電質方式絕緣開的盆區或功能電路胞。該溝渠可以使用一般已知的微影定義圖案與蝕刻技術來形成。

在陣列溝渠40形成後，在該溝渠的內壁上，熱成長或沉積一薄氧化層或是如TEOS的其它介電層，如圖4所示的氧化層50與51。接著用多晶矽52填滿溝渠。除了填滿溝渠外，該多晶矽及介電層還會沉積到晶圓的頂部前緣表面上，而且在相對應的電漿平坦化蝕刻步驟中被去除掉。所以，在基底10內形成複數個相同的介電質絕緣光伏產生器功能電路胞。選取介電質氧化層50與51的厚度，以便將矽基底10界面上的輻射反射做最佳處理，來改善該裝置的效率，並/或增加各個功能電路胞間的介電質絕緣。

如果有需要，給功能電路胞用的擴散層圖案可以在該處理階段中形成。

在形成介電質絕緣盆區或功能電路胞之後，覆蓋的氧化層60會沉積在晶圓的頂部前緣表面上。接著使用微影光罩步驟以及蝕刻步驟，來定義出氧化層的圖案，形成N+與P+區的接觸開口。

所以，接觸金屬層沉積在氧化層60上，並被蝕刻掉，以形成接觸帶，70，71，72，73，如圖4與圖6中所示，來將功能電路胞的N+擴散區連接到相鄰功能電路胞的P+接觸擴散區。

然後，該晶圓被塗佈上一層保護性的透明塗層。該晶圓的背面接著被研磨掉，直到達溝渠40的底部。也可藉研磨約5微米的溝渠，來移開與溝渠40底部排在一起的介電



五、發明說明 (9)

質氧化層50與51部分，直到介電質氧化層50與51在基底表面的底部上被曝露出來。所以，會留下來75到125微米之間厚度的晶圓。因此，二氧化矽或其它介電質的鈍化層80，沉積在晶圓的背面上，如圖5所示。

該晶圓可以切割成具有預定串接功能電路胞數目的單元，一般是16個，該功能電路胞都具有焊墊端(未顯示)，以製造出能被LED照射到時，產生打開MOS-開極功率裝置所需電壓的裝置。

較佳的情形是，格網狀的較深絕緣溝渠40是沿著 $\langle 100 \rangle$ 材料的100到001平面做沉積的。例如，當使用到 $\langle 100 \rangle$ 定向的起始材料時，標記線(溝渠)會位於 $\langle 110 \rangle$ 與 $\langle 111 \rangle$ 平面內。因為晶圓是因背面移除而接地很淺的，該溝渠可以定向在與 $\langle 110 \rangle$ 平面及 $\langle 111 \rangle$ 平面成 45° 角的位置上，所以會增加基底的機械強度。

圖7顯示依據本發明的另一個實施例，在N-基底110內形成矩形或其它形狀的淺P+擴散區120至122陣列以及形成方形環的N+接觸擴散區125至127陣列。P+擴散區與N+接觸擴散區首先以圖1與圖2中相類似的方式來形成，除了相對應雜質的取代，相對應雜質劑量與能量的改變，以及驅入時間與溫度以外。製程中的其它步驟基本上是與圖3到圖6所示的步驟相同的，其中具相同結構的部分是用相同的參考圖號來表示。該裝置也以如圖5與圖6的方式內連在一起。

優點是，圖1到圖7中所示的裝置是利用一種簡單且非常便宜的起始晶圓來形成的，所以能降低成本。進一步的



五、發明說明 (10)

優點是，更昂貴的製造步驟，亦即溝渠的形成以及填滿介電質與多晶矽的溝渠，都能朝製造的結束部分來形成，在完成五個微影步驟中的三個步驟之後，以及在P+與N+擴散區形成之後。因此，對齊微影光罩的誤差與摻雜的誤差，以及驅入擴散區的誤差，都能在非常昂貴的溝渠形成步驟之前便被偵測出。

圖8顯示本發明的另一個實施例，其中在圖1到圖6的製程中所形成的光伏產生器功能電路胞，是其相同p型基底內約橫向高電壓N通道MOSFET被積體化在一起，而且是被絕緣開相對應PVG功能電路胞的相同深溝渠所相互絕緣開。

MOSFET最好是以環狀多角功能電路胞的形狀來形成，比如方形，矩形或六角形功能電路胞，雖然也可以用內連掌狀(Interdigitated)結構。圖8中所顯示的該N通道MOSFET，可以使用一些已知製造出橫向MOSFET方法中的其中一個來形成。在圖8中，例如，均勻佈植的磷被加到MOSFET主動區上的裸露矽表面中。磷的離子佈植接著被驅入深到晶圓的頂部表面以下，以形成超級深N型區230。該起始的超級深N+離子佈植接著進行一段非常長的驅動時間。

下個製造步驟中，要在晶圓的表面上成長一層氧化層，並將光阻層沉積其上且適當的定義出窗口圖案。該氧化層以及底下的薄氧化層接著經由光阻層中該間隔開的窗口而被蝕刻掉，以曝露出矽表面。然後，移開光阻層，將重劑量的硼雜質離子佈植到所裸露的矽表面區域，以形成



五、發明說明 (11)

較深的中央本體部分之P+區232。接著，對該離子佈植進行較短時間的驅入處理。

然後，在該P+區232上成長出氧化物片段。剛開始時，P+區被驅入到較淺的深度，以將光阻層沉積其表面上，並定義避免表面硼在這些氧化物片段的成長過程中被去除掉，出窗口圖案，藉該窗口圖案，將除了在該P+區232底下以外的所有氧化層都蝕刻掉。光阻層接著被移開，並在晶圓整個曝露出的主動區上，成長出薄的開氧化層240。

多晶矽層242被沉積到晶圓上，而光阻層被沉積到該多晶矽層上。依據另一個光單步驟，定義出該光阻層的圖案，以行成開口，並當成蝕刻該多晶矽層的光罩，所以含在開氧化層240上形成窗口。接著，該開氧化層被蝕刻掉，以曝露出剩餘的多晶矽網與矽基底的表面，同時將硼經由該擴散窗口而進行離子佈植。此時的硼雜質劑量比重劑量的硼雜質低。在擴散後，此硼雜質劑量將會與重劑量的硼雜質區合併，形成低濃度的p型通道硼區236，比從較高濃度離子佈植製程中所產生的本體部分之P+區232還要淺。這些區域一般是被驅入到一預定的深度。所以，會形成成套管狀的較輕摻雜硼區236，雖然很明顯的，在這些區域與P+區232所重疊的地方，會合併成另一區域。

圍繞較深P+區232的P(-)型較淺硼區236，是較輕摻雜的通道區，在該開氧化層底下延伸。

要注意的是，在包含P-驅入的每個驅入處理中，所有接面都連續移動到較深處。N型區230移動的程度較小，



五、發明說明 (12)

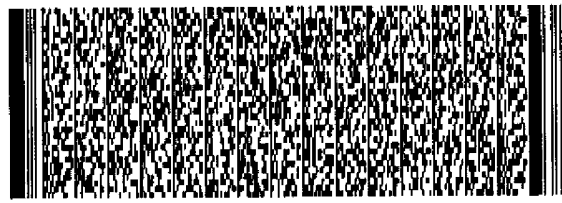
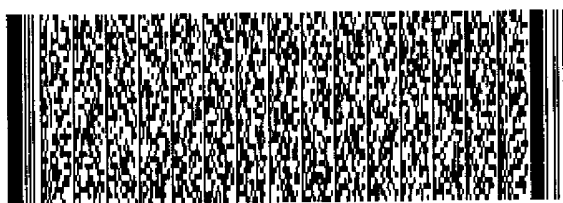
而P+區232移動的程度較大。同時對熟悉該技術領域的人士來說，已知當擴散層被驅入到較深處時，也同時會做橫向移動，所以較淺硼區236最後會在閘氧化層底下擴散開。

該表面接著進行適當的去除玻璃處理，而砷原子則被離子佈植並做驅入處理，以形成套管狀N+源極區250與套管狀汲極區254。

接著，在晶圓表面上形成一層間矽氧化層或LTO塗層60，並再覆蓋一層光阻層，用微影技術定義出接觸光單的開口。由光阻層中該開口所曝露出的表面被適當的蝕刻掉，以曝露出底下N+源極區250, 252與N+汲極區254的內部週邊部分。在移開光阻層後，隨後沉積的鋁層以微影方式定義出圖案並進行蝕刻，以分別形成源極接觸窗272與汲極接觸窗274，以及源極，汲極與閘極(未顯示)。

可以在晶圓的表面上沉積一層非晶矽層(未顯示)，再以微影方式定義出圖案並進行蝕刻，以曝露出射極與閘極較佳的方式是，至少有一些形成PVG功能電路胞以及形成MOSFET的離子佈植步驟，是要同時進行的，以降低光單的步驟。同時較佳的方式是，至少有一些驅入步驟也要同時進行。另外，皆有一個PVG功能電路胞或MOSFET區接受離子佈植時，另一個則被光阻或氧化層覆蓋住。在擴散與驅入步驟之後，同時對PVG功能電路胞以及MOSFET所覆蓋的氧化層與金屬層，進行沉積處理並定義出圖案。

還要注意的是，當做另一個實例，該PVG功能電路胞可以與垂直式MOSFET積體化在一起，其中該MOSFET是在與溝渠



五、發明說明 (13)

40 形成時，同時形成另外的溝渠，並形成溝渠MOSFET的閘結構。在該實施例中，在溝渠側壁上所形成的薄介電層當作是閘氧化層，而該溝渠是被當作閘極用經過摻雜的多晶矽所填滿，較淺的P型區一般是被去除掉的，而較深P型區是被輕摻雜處理，當做是介於N+源極與汲極之間的通道區。在該晶圓的背部表面上進行另一個光罩步驟，使得鈍化氧化層只在PVG功能電路胞底下的背部表面上形成，而且另一個金屬接觸窗是在鄰接該垂直式MOSFET的背部表面上形成。

還要注意的是，相類似的裝置可以在N型基底內形成，其中圖7所示的PVG功能電路胞是與一P通道MOSEFT積體化在一起。

圖9顯示本發明的另一個實施例，其中圖5與圖6中所示的PVG功能電路胞是與一橫向IGBT積體化在一起，並驅動該IGBT。在本實施例中，首先將均勻的磷離子佈植到IGBT主動區的上方裸露矽表面中。磷離子佈植接著被驅入到P-晶圓的上表面底下，以形成超級深的N型"加強"區330。該起始的超級深N型"加強"離子佈植，接著進行一段長時間的驅入處理。

在下個製造步驟中，氧化層在晶圓的表面上成長，而光阻層則被沉積其上，並適當的定義出窗口。要注意的是，也可以在溝渠絕緣步驟中完成。氧化層與底下的薄氧化層，都經由光阻層上的間隔窗口進行蝕刻，以曝露出矽表面。接著，移開光阻層，將重的硼劑量離子佈植到裸露的矽表面區，以以形成較深的中央本體部分之P+



五、發明說明 (14)

區332, 334。緊接著該雜子佈植步驟，進行一般離子佈植的起始驅入處理，通常是在乾的氮加1%氧的氣氛下，以得到1-2微米的起始驅入，比如說。

接著，氧化物片段含在P+區332上成長。該P+區開始時是被驅入到較淺的深度，以避免將光阻層沉積其表面上，並定義避免表面硼在這些氧化物片段的成長過程中被去除掉。出窗口圖案，藉該窗口圖案，將除了在該P+區332底下以外的所有氧化層都蝕刻掉。光阻層接著被移開，並在晶圓裝整個曝露出的主動區上，成長出薄的開氧化層340。

多晶矽層342被沉積到晶圓上，而光阻層被沉積到該多晶矽層上。依據另一個光罩步驟，定義出該光阻層的圖案，以行成開口，並當成蝕刻該多晶矽層的光罩，所以含在開氧化層340上形成窗口。接著，該開氧化層被蝕刻掉，以曝露出剩餘的多晶矽網與矽基底的表面，同時將硼經由該擴散窗口而進行雜子佈植。此時的硼雜質劑量比重劑量的硼雜質低。在擴散後，此硼雜質劑量將會與重劑量的硼雜質區合併，形成低濃度的P型通道硼區336，圍繞住並比從較高濃度離子佈植製程中所產生的本體部分之P+區332還要淺。這些區域一般是被驅入到一預定的深度。所以，會形成成套管狀的較輕摻雜硼區，雖然很明顯的，在這些區域與P+區332所重疊的地方，會合併成另一區域。

圍繞較深深P+區332的P(-)型較淺硼區336，是較輕摻雜的通道區，在該開氧化層底下延伸。

要注意的是，在包含P-驅入的每個驅入處理中，所有



五、發明說明 (15)

接面都連續移動到較深處。N型區330移動的程度較小，而P+區332移動的程度較大。同時對熟悉該技術領域的人士來說，已知當擴散層被驅入到較深處時，也同時會做橫向移動，所以較淺硼區336最後會在閘氧化層底下擴散開。

該表面接著進行適當的去除玻璃處理，而砷原子則被雜子佈植並做驅入處理，以形成N+源極區350與N+陰極區354。P+集極或陽極區360也含在N+陰極區354內形成。

接著，在晶圓表面上形成一層間矽氧化層或LTO塗層60，並再覆蓋一層光阻層，同微影技術定義出接觸光罩的開口。由光阻層中該開口所曝露出的表面被適當的蝕刻掉，以曝露出底下N+源極區，陰極區的內部週邊部分，以及P+中央本體區。

在移開光阻層後，隨後沉積的鋁層以微影方式定義出圖案並進行蝕刻，以分別形成源極接觸窗272與汲極接觸窗274，以及源極，汲極與閘極(未顯示)。鋁射極會將每個P+本體區短路到其相對應套管式N+源極區的內部週邊上。

可以在晶圓的表面上沉積一層非晶矽層(未顯示)，再以微影方式定義出圖案並進行蝕刻，以曝露出射極與閘極墊。在製造過程中，非晶矽層可以用適當的電漿蝕刻方法來進行蝕刻。

P型浪區(resurf region)362也可以在介於P型本體區與陰極擴散區的該裝置表面上形成。

另外，垂直向IGBT可以與PVG功能電路胞積體化在一起。集極區是在晶圓的底部表面上形成，而使用適當的微



五、發明說明 (16)

影步驟，在晶圓中IGBT的背部表面上形成金屬接觸窗，在PVG功能電路胞的背部表面上形成鈍化氧化層。

要注意的是，一個或多個MOSFET或IGBT可以與本發明中的PVG功能電路胞積體化在一起，而且相互連接，以形成單一晶片上不同的電路裝置，比如三相橋。

此外，在上述所有裝置中，可焊接金屬層可以沉積在該接觸金屬層之上。

另外，上述任何裝置都可以當作是相對應的晶片而安置到電路板上，而且可以與絕緣開的且是被設計來產生照射到晶圓或晶片表面上輻射的LED，安置在一起。可以使用任何適當種類的LED。

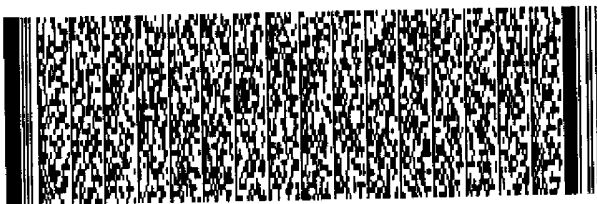
雖然本發明已經參照特定的實施例做了說明，許多其它的變動與修改，以及其它的使用，對於熟知該技術領域的人士而言，將會變得更為明顯。因此，較佳的情形是，本發明並不受限於所揭露的特定實施例，而是只受限於所申請的專利範圍。



四、中文發明摘要 (發明之名稱：在導電型矽基底上製造半導體裝置的方法)

在輕摻雜P型或N型起始晶圓內，形成N+或P+擴散層。藉蝕刻掉介於各個P+型(或N+型)間的一交錯溝渠陣列，形成個別的平面型與間隔型功能電路胞(Cell)或盆區(Tub)。該溝渠穿過薄裝置層而延伸到一預設的深度，同時填滿介電質與多晶矽，以便將每個盆區做電性絕緣。至少每個功能電路胞有一個擴散層，是連接到相鄰功能電路胞的擴散層，以連接的每一預設數目的功能電路胞。N+(或P+)擴散層可以是被一環形P+或N+接觸擴散層所包圍。MOS-開極裝置可以積體化到相同得晶片內，而且可以是橫向或垂直的MOSFET或橫向或垂直的IGBT。

英文發明摘要 (發明之名稱：A Process For Fabricating Semiconductor Device In A Silicon Substrate Of One Conductive Type)



六、申請專利範圍

1. 一種在導電型矽基底上製造半導體裝置的方法，該製造方法包含以下的步驟：

定出圖案(patterning)並蝕刻(etching)掉該矽基底上表面中被選定的區域，以形成溝渠(trench)結構，該溝渠定義為一複數個功能電路胞(cell)；

在該溝渠的側壁與底部表面上形成一絕緣層；

沉積一層多晶矽(polysilicon)，使得該溝渠被填滿；
以及

去除掉在該矽基底上底表面的部分，直到該溝渠的底表面被去除掉。

2. 如申請專利範圍第1項所述之在導電型矽基底上製造半導體裝置的方法，所包含的步驟有：

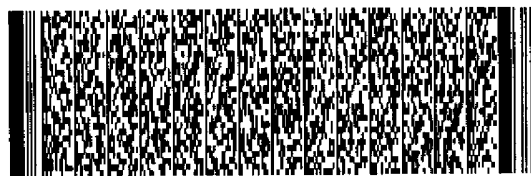
將具有一種導電型與另一種導電型其中之一的雜質，加入到該矽基底上表面中被選定的區域，以形成第一擴散區，而該另一種導電型是與該一種導電型是相反的；

沉積一覆蓋絕緣層在該上表面；

定出圖案並蝕刻掉該覆蓋絕緣層中被選定的區域，以形成至少一個開口到其中一個該相對應的功能電路胞內之其中一個第一擴散區，以及至少另一個開口到與該功能電路胞相鄰的第二擴散區；

沉積一導電層；

定出圖案並蝕刻掉部分該導電層，以形成至少一個相互連接接觸區，接觸到該相對應的功能電路胞之第一擴散區



六、申請專利範圍

以及該相鄰功能電路胞的第二擴散區。

3. 如申請專利範圍第1項所述之在導電型矽基底上製造半導體裝置的方法，進一步包含的步驟有，藉去除掉部分的該多晶矽層以及該絕緣層，而將該矽基底的上表面平坦化，其中該絕緣層是在沉積一層覆蓋絕緣層的該步驟之前，而在該基底的上表面上所形成的。

4. 如申請專利範圍第1項所述之在導電型矽基底上製造半導體裝置的方法，進一步包含的步驟有，在移開部分該矽基底的該底部表面之前，將一層保護性塗層塗佈到該基底的上表面。

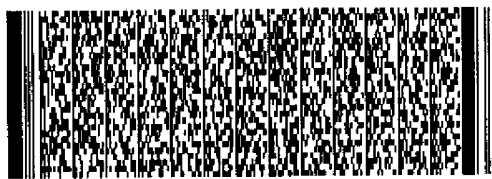
5. 如申請專利範圍第1項所述之在導電型矽基底上製造半導體裝置的方法，其中該溝渠是在該基底的 $\langle 100 \rangle$ 晶體方位上形成的，並沿著該矽基底的 $\langle 110 \rangle \pm 30$ 度平面以及 $\langle 111 \rangle \pm 30$ 度平面作定向。

6. 一種在具有一種導電型矽基底形成的半導體裝置，該半導體裝置係包含有：

一溝渠在該矽基底內形成，分隔開並包圍在該基底內所形成的至少二個元件的每一個，而且從該基底的上表面向該基底的底部表面延伸；

一側壁絕緣層，在該溝渠的側壁上形成；

一多晶矽區，在該溝渠內形成，並從介於該絕緣材料層



六、申請專利範圍

的該基底的該上表面向該底部表面延伸，因而填滿該溝渠。

7. 如申請專利範圍第6項所述之一種導電型矽基底形成的半導體裝置，至少一個該功能電路胞，包含一具有該導電型之一以及另一導電型的第一區，該另一導電型與該導電型是相反的，在該矽基底的該上表面上形成；該裝置更進一步包含：

一覆蓋絕緣層，在該矽基底的該上表面形成，具有至少一個開口到一個相對應該元件中的該第一區，以及至少有另一開口到其中一個相鄰該元件的一第二區；以及

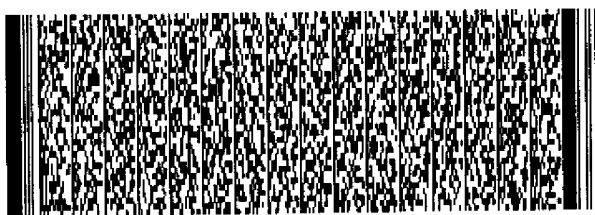
一導電層，包含至少一個內接觸區，連接該相對應該元件的該第一區以及該相鄰元件的該第二區。

8. 如申請專利範圍第6項所述之一種導電型矽基底形成的半導體裝置，其中該側壁絕緣層是從二氧化矽與TEOS中選取。

9. 如申請專利範圍第6項所述之一種導電型矽基底形成的半導體裝置，進一步包含一鈍性層，在該矽基底的底部表面上形成。

10. 如申請專利範圍第6項所述之一種導電型矽基底形成的半導體裝置，其中至少有一功能電路胞，包含：

一另一導電型層，與該導電型相反，在該基底的該上表



六、申請專利範圍

面內形成；

一接觸區，具有該另一導電型，在該上表面內形成，且其摻雜比具有該一導電型層的摻雜還要重；

一本體區，具有該導電型，在該上表面內形成，且間隔開並包圍住該接觸區；一源極區，具有該另一導電型，在該上表面上的一部分該本體區內形成，並形成一通道區在介於該源極區與該另一導電型層之間的該上表面內；

一閘極區，安置在該上表面之上，並覆蓋住且與該通道區絕緣開，同時能夠依據所施加的適當閘極電壓，將該通道反轉；

一覆蓋絕緣層，進一步在該矽基底的該上表面上的該另一導電型層，以及該閘極上形成，並具有至少一個開口，通到該源極區，以及具有至少一個開口通到該接觸區；

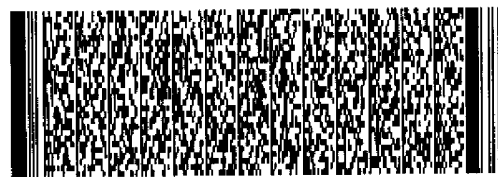
至少一源極接觸區，是由通到該源極區的該開口內的一導電層所形成；以及至少一陽極接觸區，是由通到該接觸區的該開口內的該導電層所形成。

11. 如申請專利範圍第6項所述之一種導電型矽基底形成的半導體裝置，其中至少有一功能電路胞，包含：

一種具有一種導電型矽基底的半導體裝置，該半導體裝置係包含有：

一另一導電型層，與該導電型相反，在該基底的該上表面內形成；

一陰極區，具有該另一導電型，在該上表面內形成，且其摻雜比具有該另一導電型屏的摻雜還要重；



六、申請專利範圍

一 陽極區，具有該導電型，在該上表面的該陰極區內形成；

一本體區，具有該導電型，在該上表面內形成，且間隔開並包圍住該接觸區；

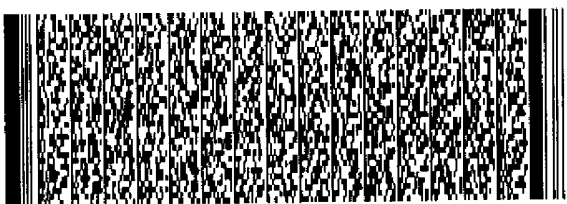
一源極區，具有該另一導電型，在該上表面上的一部分該本體區內形成，並形成一通道區在介於該源極區與該另一導電型層之間的該上表面內；

一閘極區，安置在該上表面之上，並覆蓋住且與該通道區絕緣開，同時能夠依據所施加的適當閘極電壓，將該通道反轉；

一覆蓋絕緣層，進一步在該矽基底的該上表面上的該另一導電型層，以及該閘極上形成，並具有至少一個開口，通到該源極區，以及具有至少一個開口通到該接觸區；

至少一源極接觸區，是由通到該源極區的該開口內的一導電層所形成；以及

至少一陽極接觸區，是由通到該陽極區的該開口內的該導電層所形成。



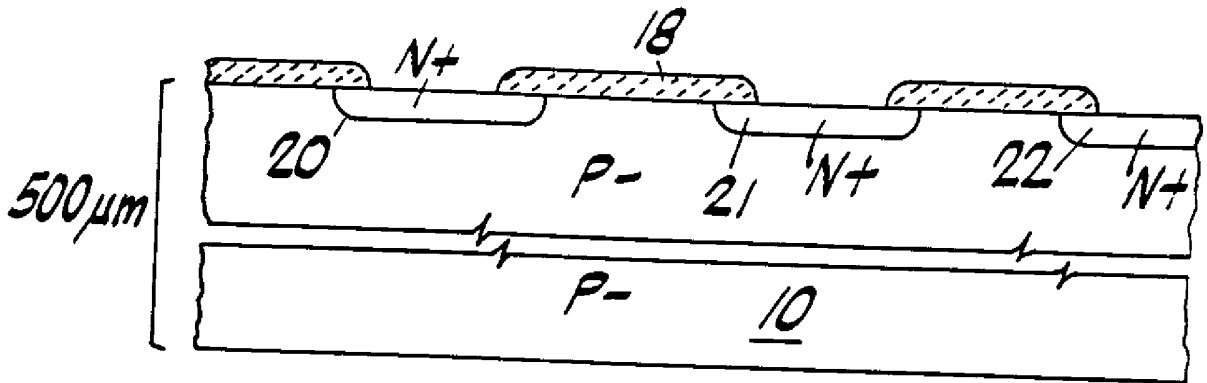


圖 1

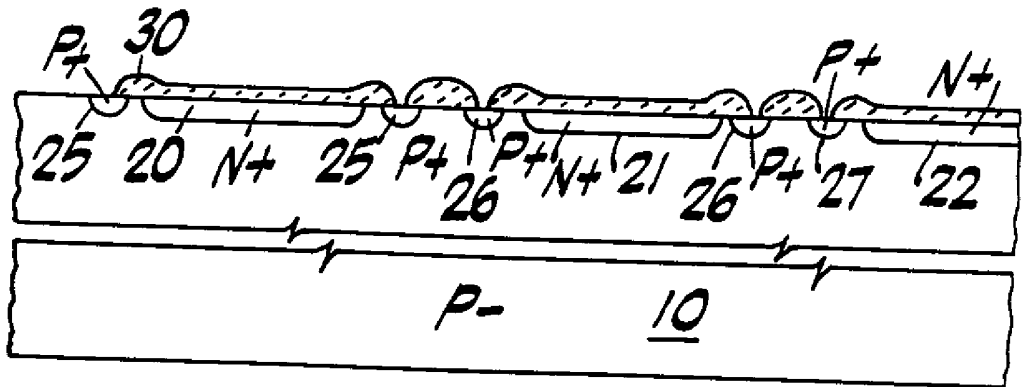


圖 2

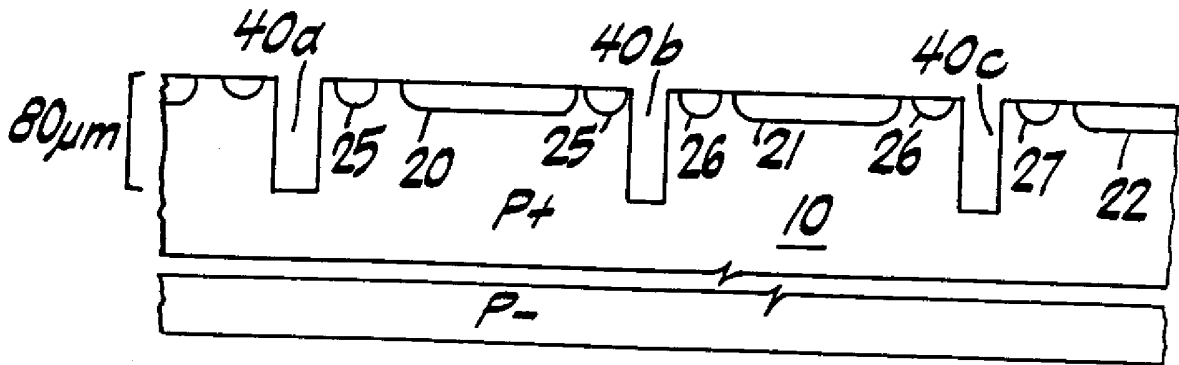


圖 3

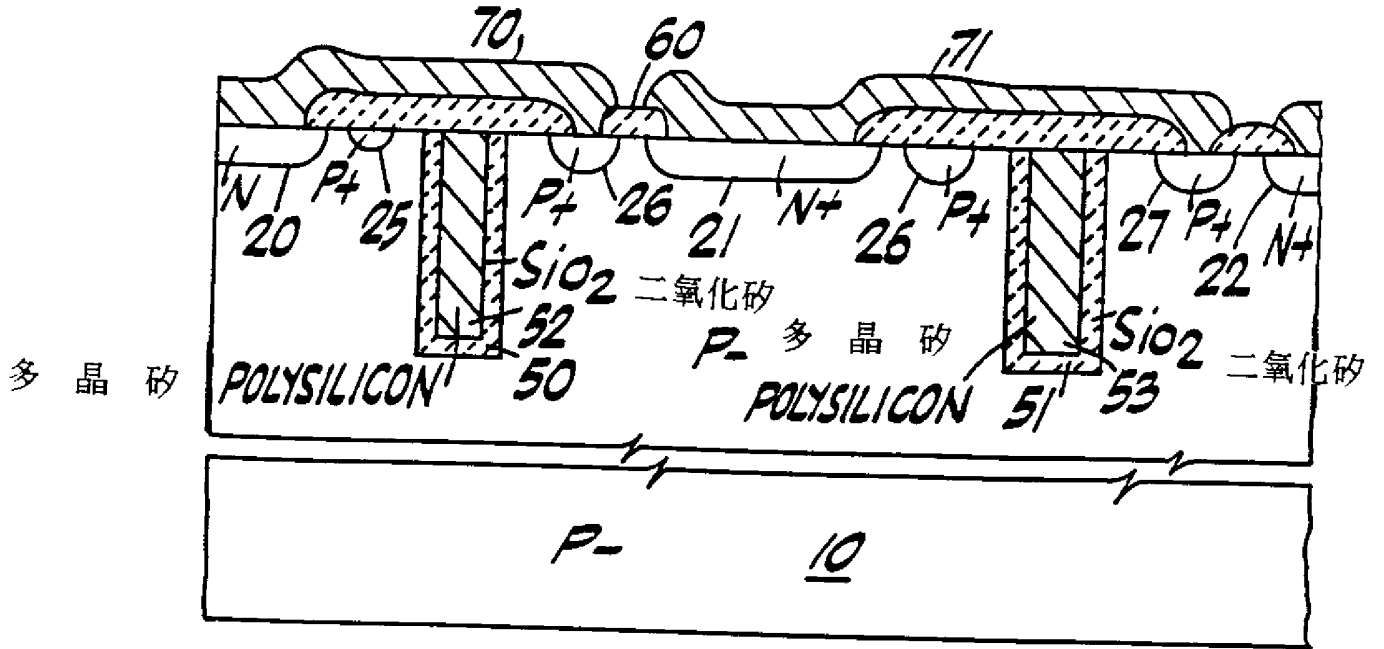


圖 4

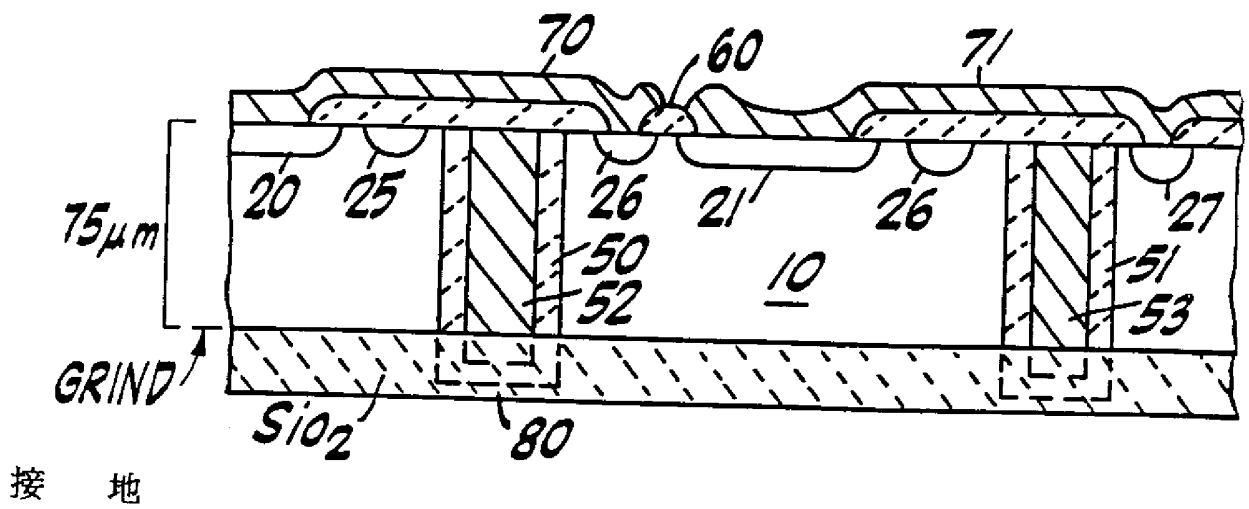


圖 5

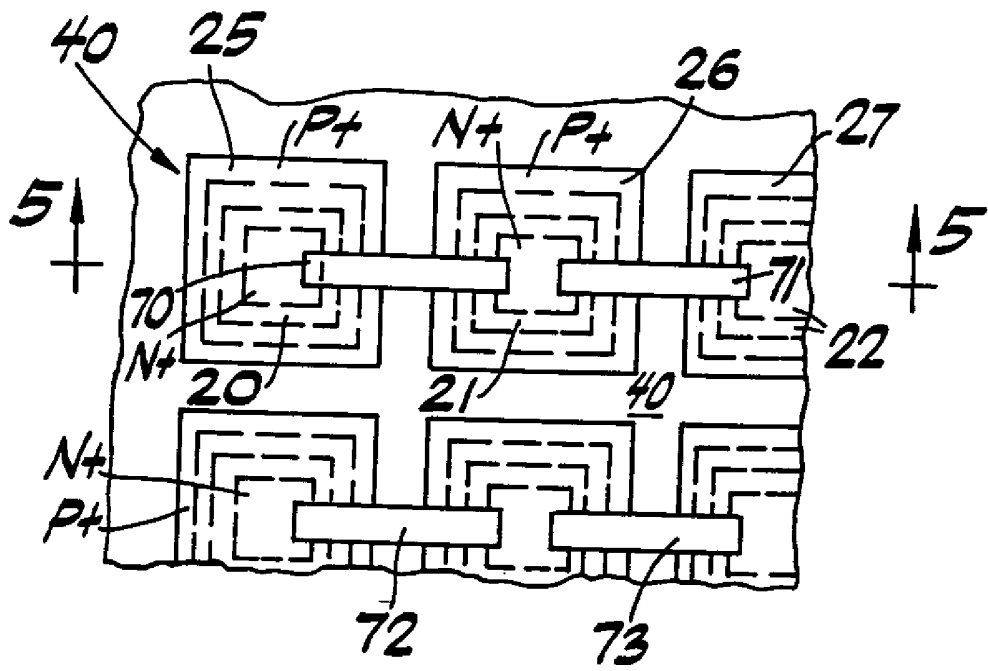


圖 6

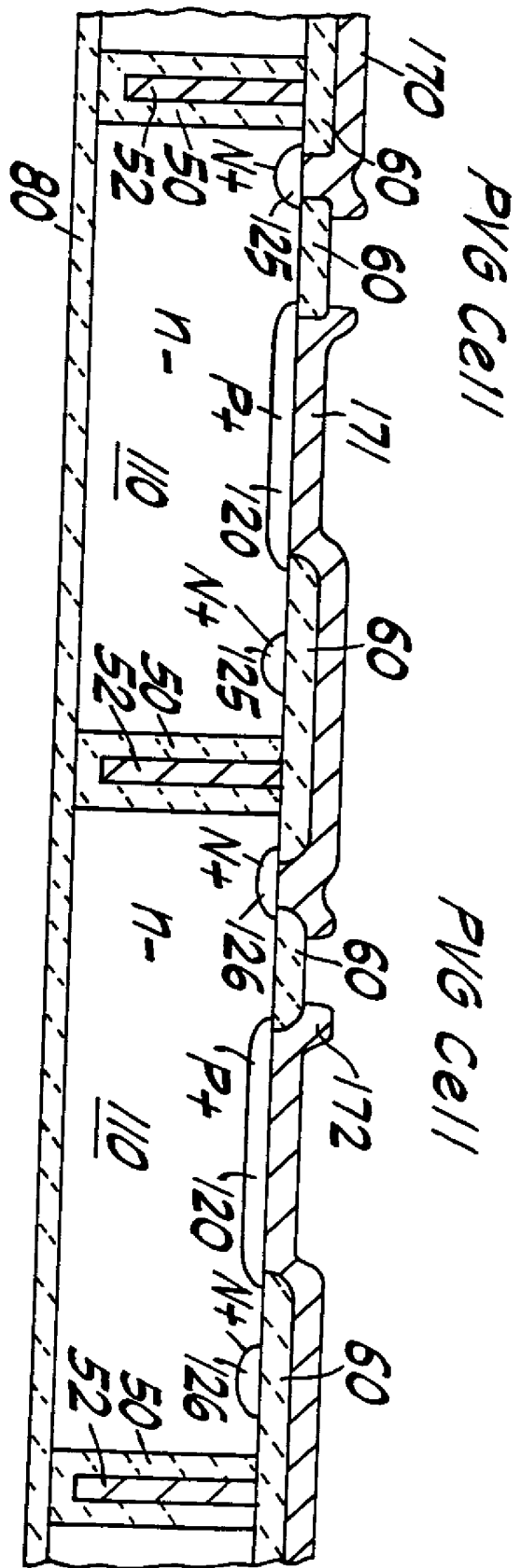
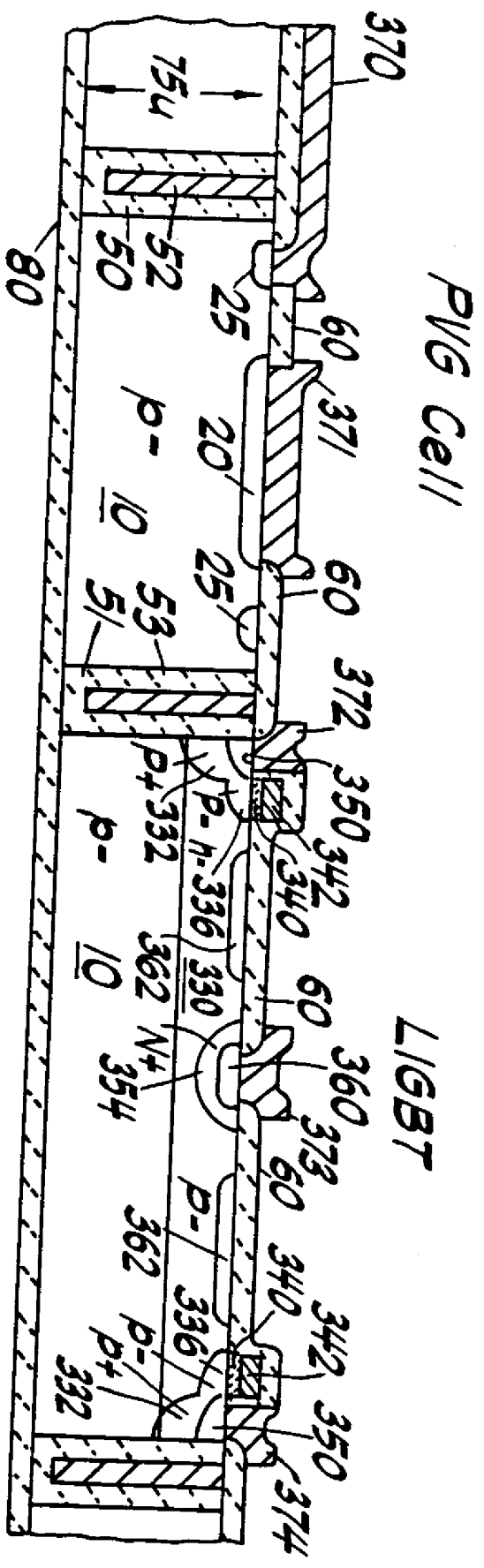


圖 7



公告本

89年4月18日修正/更正/補充

年 月 日 修正

申請日期：87.2.27 案號：87102838

類別：401L²¹/76

(以上各欄由本局填註)

發明專利說明書

421850

一、發明名稱	中文	在導電型矽基底上製造半導體裝置的方法
	英文	A Process For Fabricating Semiconductor Device In A Silicon Substrate Of One Conductive Type
二、發明人	姓名(中文)	1. 肯塔雨尼 威廉 F. 2. 林柔特 史提芬
	姓名(英文)	1. William F. Cantarini 2. Steven C. Linzotte
	國籍	1. 美國 US 2. 美國
	住、居所	1. 美國加州90277里當斗海灘凱迷柔房地#201822 2. 美國加州90815長島卡發克斯大道 2286 號
三、申請人	姓名(名稱)(中文)	1. 國際整流公司
	姓名(名稱)(英文)	1. International Rectifier Corporation
	國籍	1. 美國
	住、居所(事務所)	1. 美國加州90245躍西康多凱撒斯街233號
	代表人姓名(中文)	1. 克雷佛特 C. 雷斯利
代表人姓名(英文)	1. Clevert C. Lesley	

