



(12) 发明专利

(10) 授权公告号 CN 101051641 B

(45) 授权公告日 2012. 05. 23

(21) 申请号 200710092267. 8

H01L 21/28(2006. 01)

(22) 申请日 2007. 04. 03

(56) 对比文件

(30) 优先权数据

103463/2006 2006. 04. 04 JP

US 2006/0008992 A1, 2006. 01. 12, 全文.

JP 特开 2002-198523 A, 2002. 07. 12, 全文.

US 6376320 B1, 2002. 04. 23, 全文.

(73) 专利权人 瑞萨电子株式会社

JP 特开 2004-266203 A, 2004. 09. 24, 全文.

JP 特开 2004-79893 A, 2004. 03. 11, 全文.

地址 日本神奈川县

(72) 发明人 鸟羽功一 石井泰之 川岛祥之

町田悟 中川宗克 齐藤健太郎

松井俊一 桥本孝司 奥山幸祐

审查员 刘中涛

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 27/115(2006. 01)

H01L 29/78(2006. 01)

H01L 29/40(2006. 01)

H01L 29/423(2006. 01)

H01L 29/49(2006. 01)

H01L 21/8247(2006. 01)

H01L 21/336(2006. 01)

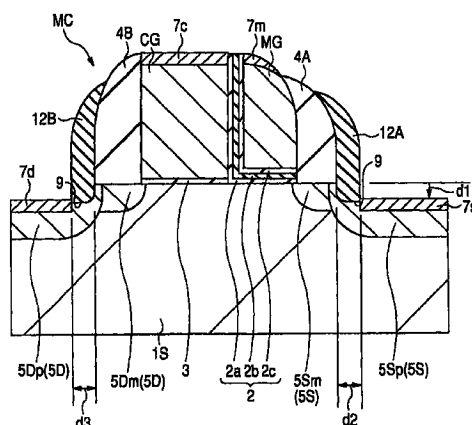
权利要求书 7 页 说明书 14 页 附图 22 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

公开一种具有非易失存储器的半导体器件, 其干扰缺陷能得到减少或防止。非易失存储器的存储单元具有存储栅电极, 该存储栅电极通过用于电荷存储的绝缘膜而在半导体衬底的主表面上方形成。在存储栅电极的侧面上形成第一侧壁, 并且在第一侧壁的侧面处形成第二侧壁。在存储单元中源极的n⁺型半导体区域的上表面上形成硅化层, 其在存储栅电极 MG 侧上的端部分由第二侧壁限定。



1. 一种半导体器件,包括在半导体衬底的主表面上方的多个非易失存储单元,每个所述非易失存储单元包括:

第一栅绝缘膜,由包括第三绝缘膜、用于电荷存储的绝缘膜和第四绝缘膜的层叠膜构成,并且在所述半导体衬底上方形成;

存储栅电极,其在第一栅绝缘膜上方形成,并且具有第一侧面和第二侧面,所述第一侧面和第二侧面沿所述半导体衬底的主表面定位在相互相对侧上;

第一侧壁,其在所述存储栅电极的第一侧面上形成;

第二侧壁,其在所述第一侧壁的侧面上形成;

第一半导体区域,以与所述存储栅电极的第一侧面自对准的方式,在所述半导体衬底的主表面中形成;

第二半导体区域,以与所述第一侧壁的侧面自对准的方式,在所述半导体衬底的主表面中形成,使得与所述第一半导体区域电耦合;和

第一硅化层,以与所述第二侧壁的侧面自对准的方式,在所述第二半导体区域上方形成,

在所述第二半导体区域上方以与所述第一侧壁的侧面自对准的方式形成第一凹陷,所述第一凹陷比所述存储栅电极下方的所述半导体衬底的主表面低,

所述第二侧壁被形成覆盖所述第一凹陷的侧面,以及

在通过所述第二侧壁而与所述第一半导体区域和所述第二半导体区域之间的接合端隔开的位置处,形成所述第一硅化层在存储栅电极侧上的端部分,

其中所述第一侧壁和所述第二侧壁由绝缘膜构成,

其中在所述半导体衬底的主表面中,形成由隔离区域所限定的有源区域,

其中通过在所述半导体衬底的主表面中形成的沟中掩埋用于隔离的绝缘膜,形成所述隔离区域,

其中在邻近所述有源区域的所述用于隔离的绝缘膜的上表面中,形成第三凹陷,使得允许在所述沟的侧面上存在的所述半导体衬底的一部分被暴露,以及

其中在所述第三凹陷中形成第五侧壁,使得覆盖在所述沟的侧面上存在、并且从所述第三凹陷暴露的所述半导体衬底的一部分。

2. 根据权利要求1的半导体器件,其中每个所述非易失存储单元还包括:

第二栅绝缘膜,其在所述半导体衬底的主表面上方形成;

控制栅电极,其具有第三侧面和第四侧面,所述第三侧面与所述存储栅电极的第二侧面相对并且设置在所述第二栅绝缘膜上方的一个位置处以通过所述第一栅绝缘膜而邻近所述存储栅的第二侧面,所述第四侧面定位为沿所述半导体衬底的主表面而与第三侧面相对;

第三侧壁,其在所述控制栅电极的第四侧面上形成;

第四侧壁,其在所述第三侧壁的侧面上形成;

第三半导体区域,以与所述控制栅电极的第四侧面自对准的方式,在所述半导体衬底的主表面中形成;

第四半导体区域,以与所述第三侧壁的侧面自对准的方式,在所述半导体衬底的主表面中形成,使得与所述第三半导体区域电耦合;和

第二硅化层, 以与所述第四侧壁的侧面自对准的方式, 在所述第四半导体区域上方形成,

在所述第四半导体区域上方形成第二凹陷, 所述第二凹陷比所述控制栅电极下方的所述半导体衬底的主表面低,

所述第四侧壁被形成为覆盖所述第二凹陷的侧面, 以及

在通过所述第四侧壁而与所述第三半导体区域和所述第四半导体区域之间的接合端隔开的位置处, 形成所述第二硅化层在控制栅电极侧上的端部分。

3. 根据权利要求 1 的半导体器件, 其中所述第二侧壁的厚度在 10 纳米至 80 纳米的范围内。

4. 根据权利要求 1 的半导体器件, 其中所述第三绝缘膜和所述第四绝缘膜为氧化硅, 所述用于电荷存储的绝缘膜为氮化硅。

5. 一种包括非易失存储单元的半导体器件, 包括:

p 型的第一阱, 在半导体衬底中形成;

第一栅绝缘膜, 其在所述第一阱上方形成;

控制栅电极, 其在所述第一栅绝缘膜上方形成, 具有第一侧面和第二侧面, 所述第一侧面和所述第二侧面沿所述半导体衬底的主表面定位在相互相对侧上;

存储栅电极, 其在所述控制栅电极的第一侧面上形成, 并且具有第三侧面和第四侧面, 所述第三侧面和所述第四侧面沿所述半导体衬底的主表面定位在相互相对侧上;

第二栅绝缘膜, 其在所述控制栅电极的第一侧面和所述存储栅电极的第三侧面之间, 以及在所述存储栅电极和所述第一阱之间形成;

n 型的第一半导体区域, 其以与所述存储栅电极的第四侧面自对准的方式形成在所述第一阱中;

n 型的第二半导体区域, 其以与所述控制栅电极的第二侧面自对准的方式形成在所述第一阱中;

第一侧壁, 其在所述存储栅电极的第四侧面上形成;

第二侧壁, 其在所述控制栅电极的第二侧面上形成;

n 型的第三半导体区域, 其以与所述第一侧壁的侧面自对准的方式形成在所述第一阱中, 使得与所述第一半导体区域电耦合;

n 型的第四半导体区域, 其以与所述第二侧壁的侧面自对准的方式形成在所述第一阱中, 使得与所述第二半导体区域电耦合;

第三侧壁, 其在所述第一侧壁的侧面上形成;

第四侧壁, 其在所述第二侧壁的侧面上形成;

第一硅化层, 其在所述第三半导体区域上方以与所述第三侧壁的侧面自对准的方式形成; 以及

第二硅化层, 其在所述第四半导体区域上方以与所述第四侧壁的侧面自对准的方式形成,

在所述第三半导体区域上方以与所述第一侧壁的侧面自对准的方式形成第一凹陷, 以及在所述第四半导体区域上方以与所述第二侧壁的侧面自对准的方式形成第二凹陷, 所述第一凹陷和所述第二凹陷比所述存储栅电极和控制栅电极下方的所述半导体衬底的主表

面低，

所述第三侧壁形被形成覆盖所述第一凹陷的侧面，以及

所述第四侧壁形被形成覆盖所述第二凹陷的侧面，

其中所述第一侧壁、所述第二侧壁、所述第三侧壁和所述第四侧壁由绝缘膜构成，

其中所述第二栅绝缘膜是包括第三绝缘膜、用于电荷存储的绝缘膜和第四绝缘膜的层叠膜，

其中在所述半导体衬底的主表面中形成由隔离区域限定的有源区域，

其中通过将用于隔离的绝缘膜掩埋到在所述半导体衬底的主表面中形成的沟中，形成所述隔离区域，

其中与所述有源区域邻近地在所述用于隔离的绝缘膜的上表面中形成第三凹陷，使得存在于所述沟的侧面上的所述半导体衬底的一部分被暴露，以及

其中在所述第三凹陷中形成第五侧壁，使得覆盖存在于所述沟的侧面上的、从所述第三凹陷暴露的所述半导体衬底的一部分。

6. 根据权利要求 5 的半导体器件，其中所述第三侧壁的厚度在 10 纳米至 80 纳米的范围内。

7. 根据权利要求 5 的半导体器件，其中所述用于电荷存储的绝缘膜为氮化硅膜。

8. 根据权利要求 5 的半导体器件，其中所述存储栅电极为侧壁形式。

9. 根据权利要求 5 的半导体器件，还包括：

第一栅电极，其在所述第一栅绝缘膜上方形成，并具有第一侧面和第二侧面；

n 型的第五半导体区域，其以与所述第一栅电极的第一侧面自对准的方式形成在所述第一阱中；

n 型的第六半导体区域，其以与所述第一栅电极的第二侧面自对准的方式形成在所述第一阱中；

第五侧壁，其在所述第一栅电极的第一侧面上形成；

第六侧壁，其在所述第一栅电极的第二侧面上形成；

n 型的第七半导体区域，其以与所述第五侧壁的侧面自对准的方式形成在所述第一阱中，使得与所述第五半导体区域电耦合；

n 型的第八半导体区域，其以与所述第六侧壁的侧面自对准的方式形成在所述第一阱中，使得与所述第六半导体区域电耦合；

第七侧壁，其在所述第五侧壁的侧面上形成；

第八侧壁，其在所述第六侧壁的侧面上形成；

第三硅化层，其在所述第七半导体区域上方以与所述第七侧壁的侧面自对准的方式形成；以及

第四硅化层，其在所述第八半导体区域上方以与所述第八侧壁的侧面自对准的方式形成，

在所述第七半导体区域上方以与所述第五侧壁的侧面自对准的方式形成第三凹陷，在所述第八半导体区域上方以与所述第六侧壁的侧面自对准的方式形成第四凹陷，所述第三凹陷和所述第四凹陷比所述第一栅电极下方的所述半导体衬底的主表面低，

所述第七侧壁形被形成覆盖所述第三凹陷的侧面，以及

所述第八侧壁形被形成成为覆盖所述第四凹陷的侧面，

其中所述第五侧壁、所述第六侧壁、所述第七侧壁和所述第八侧壁由绝缘膜构成。

10. 根据权利要求 9 的半导体器件，

其中在所述半导体衬底的主表面中形成由隔离区域限定的有源区域，

其中通过将用于隔离的绝缘膜掩埋到在所述半导体衬底的主表面中形成的沟中，形成所述隔离区域，

其中与所述有源区域邻近地在所述用于隔离的绝缘膜的上表面中形成第五凹陷，使得存在于所述沟的侧面上的所述半导体衬底的一部分被暴露，以及

其中在所述第五凹陷中形成第九侧壁，使得覆盖存在于所述沟的侧面上的、且从所述第五凹陷暴露的所述半导体衬底的一部分。

11. 根据权利要求 9 的半导体器件，其中所述第七侧壁的厚度在 10 纳米至 80 纳米的范围内。

12. 一种制造半导体器件的方法，包括步骤：

(a) 在半导体衬底的主表面中，形成隔离区域和由所述隔离区域限定的有源区域；

(b) 在所述半导体衬底的主表面上方，形成包括用于非易失存储单元的电荷存储的绝缘膜的第一栅绝缘膜；

(c) 在所述第一栅绝缘膜上方，形成具有第一侧面和第二侧面的存储栅电极，所述第一侧面和第二侧面沿所述半导体衬底的主表面定位在相互相对侧上；

(d) 在所述半导体衬底的主表面中，以与所述存储栅电极的第一侧面自对准的方式，形成第一半导体区域；

(e) 在所述步骤 (d) 之后，在所述半导体衬底的主表面上方淀积第一绝缘膜；

(f) 通过回蚀刻所述第一绝缘膜，在所述存储栅电极的第一侧面上，形成所述第一绝缘膜的第一侧壁，并在所述第一半导体区域中以与所述第一侧壁的侧面自对准的方式形成第一凹陷，所述第一凹陷比所述存储栅电极下方的所述半导体衬底的主表面低；

(g) 在步骤 (f) 之后，在所述半导体衬底的主表面中，以与所述第一侧壁的侧面自对准的方式，形成第二半导体区域，使得与所述第一半导体区域电耦合；

(h) 在所述步骤 (g) 之后，在所述半导体衬底的主表面上方淀积第二绝缘膜；

(i) 通过各向异性干法蚀刻所述第二绝缘膜，在所述第一侧壁的侧面上，形成所述第二绝缘膜的第二侧壁，使得覆盖所述第一凹陷的侧表面；以及

(j) 在步骤 (i) 之后，在所述第二半导体区域上方，形成第一硅化层，所述第一硅化层以与所述第二侧壁的侧面自对准的方式形成，

其中在通过所述第二侧壁而与所述第一半导体区域和所述第二半导体区域之间的接合端隔开的位置处，形成所述第一硅化层在存储栅电极侧上的端部分，

其中形成所述第一栅绝缘膜的步骤 (b) 包括以下步骤：

(b1) 在所述半导体衬底的主表面上方形成第三绝缘膜；

(b2) 在所述步骤 (b1) 之后，在所述半导体衬底的主表面上方形成所述用于非易失存储单元的电荷存储的绝缘膜；以及

(b3) 在所述步骤 (b2) 之后，在所述半导体衬底的主表面上方形成第四绝缘膜，

其中形成所述隔离区域的步骤包括以下步骤：

在所述半导体衬底的主表面中形成沟；以及
在所述沟中掩埋用于隔离的绝缘膜，并且
其中所述步骤 (i) 包括以下步骤：

在所述半导体衬底的主表面中，在所述用于隔离的绝缘膜的上表面中与所述有源区域邻近的部分中形成的第三凹陷中，形成第五侧壁，使得覆盖从所述第三凹陷暴露的在所述沟的侧面上的所述半导体衬底的一部分。

13. 根据权利要求 12 的方法，其中在所述步骤 (i) 中，形成覆盖所述半导体衬底的主表面上方的电阻值形成区域的绝缘膜图案。

14. 根据权利要求 12 的方法，在所述步骤 (b) 之前，还包括以下步骤：

在所述半导体衬底的所述主表面上方的所述非易失存储单元的形成区域中，形成第二栅绝缘膜；以及

在所述第二栅绝缘膜上方，并且在通过所述用于电荷存储的绝缘膜而与所述存储栅电极的第二侧面邻近的位置处，形成控制栅电极，所述控制栅电极具有与所述存储栅电极的第二侧面相对的第三侧面，和沿所述半导体衬底的主表面与所述第三侧面相对地定位的第四侧面，

其中在形成所述第一半导体区域的步骤 (d) 中，以与所述第二栅电极的第四侧面自对准的方式，在所述半导体衬底的主表面中形成第三半导体区域，

其中在形成所述第一侧壁和所述第一凹陷的步骤 (f) 中，在所述控制栅电极的第四侧面上形成第三侧壁，并且在所述第三半导体区域中，以与所述第三侧壁的侧面自对准的方式形成第二凹陷，所述第二凹陷比所述控制栅电极下方的所述半导体衬底的主表面低，

其中在形成所述第二半导体区域的步骤 (g) 中，以与所述第三侧壁的侧面自对准的方式，在所述半导体衬底的主表面中形成第四半导体区域，使得与所述第三半导体区域电耦合，

其中在形成所述第二侧壁的步骤 (i) 中，在所述第三侧壁的侧面上形成第四侧壁，使得覆盖所述第二凹陷的侧面，以及

其中在形成所述第一硅化层的步骤 (j) 中，以与所述第四侧壁的侧面自对准的方式，在所述第四半导体区域上方形成第二硅化层，

其中在通过所述第四侧壁而与所述第三半导体区域和所述第四半导体区域之间的接合端隔开的位置处，形成所述第一硅化层在控制栅电极侧上的端部分。

15. 根据权利要求 12 的方法，其中所述第二侧壁的厚度在 10 纳米至 80 纳米的范围内。

16. 根据权利要求 12 的方法，

其中所述第三绝缘膜和所述第四绝缘膜为氧化硅，所述用于非易失存储单元的电荷存储的绝缘膜为氮化硅。

17. 一种制造半导体器件的方法，包括以下步骤：

(a) 在半导体衬底中形成 p 型的第一阱；

(b) 在第一阱上方形成第一栅绝缘膜；

(c) 在所述第一栅绝缘膜上方形成具有第一侧面和第二侧面的控制栅电极，所述第一侧面和所述第二侧面沿所述半导体衬底的主表面定位在相互相对侧上；

(d) 在步骤 (c) 之后，在所述第一阱上方形成第二栅绝缘膜；

(e) 在所述第二栅绝缘膜上方形成具有第三侧面和第四侧面的存储栅电极,所述第三侧面和所述第四侧面沿所述半导体衬底的主表面定位在相互相对侧上,所述存储栅电极的第三侧面位于通过所述第二栅绝缘膜而与所述控制栅电极的第一侧面邻近的位置处;

(f) 在所述步骤(e)之后,在所述第一阱中,以与所述存储栅电极的第四侧面自对准的方式形成n型的第一半导体区域,并且以与所述控制栅电极的第二侧面自对准的方式形成n型的第二半导体区域;

(g) 在步骤(f)之后,在所述半导体衬底的主表面上方淀积第一绝缘膜;

(h) 蚀刻所述第一绝缘膜,使得所述第一绝缘膜的第一侧壁形成在所述存储栅电极的第四侧面上,以及所述第一绝缘膜的第二侧壁形成在所述控制栅电极的第二侧面上,并且进一步,蚀刻所述第一半导体区域,使得在所述第一半导体区域中,以与所述第一侧壁的侧面自对准的方式形成第一凹陷,所述第一凹陷比所述存储栅电极和所述控制栅电极下方的半导体衬底的主表面低,以及蚀刻所述第二半导体区域,使得在所述第二半导体区域中,以与所述第二侧壁的侧面自对准的方式形成第二凹陷,所述第二凹陷比所述存储栅电极和控制栅电极下方的半导体衬底的主表面低;

(i) 在步骤(h)之后,在所述第一阱中,以与所述第一侧壁的侧面自对准的方式形成n型的第三半导体区域,使得与所述第一半导体区域电耦合,并在所述第一阱中,以与所述第二侧壁的侧面自对准的方式形成n型的第四半导体区域,使得与所述第二半导体区域电耦合;

(j) 在步骤(i)之后,在所述半导体衬底的主表面上方淀积第二绝缘膜;

(k) 各向异性干法蚀刻所述第二绝缘膜,使得在所述第一侧壁的侧面上形成所述第二绝缘膜的第三侧壁,以覆盖所述第一凹陷的侧表面,并且在所述第二侧壁的侧面上形成所述第二绝缘膜的第四侧壁,以覆盖所述第二凹陷的侧表面;以及

(l) 在步骤(k)之后,在所述第三半导体区域上方,以与所述第三侧壁的侧面自对准的方式形成第一硅化层,并在所述第四半导体区域上方,以与所述第四侧壁的侧面自对准的方式形成第二硅化层,

其中形成所述第二栅绝缘膜的步骤(d)包括以下步骤:

(d1) 在所述第一阱上方形成第三绝缘膜;

(d2) 在所述第三绝缘膜上方形成用于电荷存储的第四绝缘膜;以及

(d3) 在所述第四绝缘膜上方形成第五绝缘膜,

其中在所述步骤(a)之前还包括以下步骤:

在所述半导体衬底的主表面中形成沟;以及

在所述沟中掩埋用于隔离的绝缘膜,并且

其中所述步骤(k)包括以下步骤:

在所述半导体衬底的主表面中,在所述用于隔离的绝缘膜的上表面中与有源区域邻近的部分中形成的第三凹陷中,形成第五侧壁,使得覆盖从所述第三凹陷暴露的在所述沟的侧面上的所述半导体衬底的一部分。

18. 根据权利要求17的方法,其中在所述步骤(k)中,形成覆盖所述半导体衬底的主表面上方的电阻值形成区域的绝缘膜图案。

19. 根据权利要求17的方法,其中所述第三侧壁和所述第四侧壁的厚度在10纳米至

80 纳米的范围内。

20. 根据权利要求 17 的方法，

其中所述第四绝缘膜为氮化硅膜。

21. 根据权利要求 17 的方法，其中所述存储栅电极为侧壁形式。

22. 根据权利要求 17 的方法，还包括以下步骤：

在所述第一栅绝缘膜上方形成具有第一侧面和第二侧面的第一栅电极；

在所述第一阱中，以与所述第一栅电极的第一侧面自对准的方式形成 n 型的第五半导体区域，并且以与所述第一栅电极的第二侧面自对准的方式形成 n 型的第六半导体区域；

蚀刻所述第一绝缘膜，使得所述第一绝缘膜的第五侧壁形成在所述第一栅电极的第一侧面上，以及所述第一绝缘膜的第六侧壁形成在所述第一栅电极的第二侧面上，并且进一步，蚀刻所述第五半导体区域，使得在所述第五半导体区域中，以与所述第五侧壁的侧面自对准的方式形成第三凹陷，所述第三凹陷比所述第一栅电极下方的半导体衬底的主表面低，以及蚀刻所述第六半导体区域，使得在所述第六半导体区域中，以与所述第六侧壁的侧面自对准的方式形成第四凹陷，所述第四凹陷比所述第一栅电极下方的半导体衬底的主表面低；

在所述第一阱中，以与所述第五侧壁的侧面自对准的方式形成 n 型的第七半导体区域，使得与所述第五半导体区域电耦合，并在所述第一阱中，以与所述第六侧壁的侧面自对准的方式形成 n 型的第八半导体区域，使得与所述第六半导体区域电耦合；

各向异性干法蚀刻所述第二绝缘膜，使得所述第二绝缘膜的第七侧壁形成在所述第五侧壁的侧面上，以覆盖所述第三凹陷的侧表面，并且所述第二绝缘膜的第八侧壁形成在所述第六侧壁的侧面上，以覆盖所述第四凹陷的侧表面；以及

在所述第七半导体区域上方，以与所述第七侧壁的侧面自对准的方式形成第三硅化层，并在所述第八半导体区域上方，以与所述第八侧壁的侧面自对准的方式形成第四硅化层。

23. 根据权利要求 22 的方法，其中在蚀刻所述第二绝缘膜的步骤中，形成覆盖所述半导体衬底的主表面上方的电阻值形成区域的绝缘膜图案。

24. 根据权利要求 22 的方法，在步骤 (a) 之前还包括以下步骤：

在所述半导体衬底的主表面中形成沟；以及

在所述沟中掩埋用于隔离的绝缘膜，并且

其中所述步骤 (k) 包括以下步骤：

在所述半导体衬底的主表面中，在所述用于隔离的绝缘膜的上表面中与有源区域邻近的部分中形成的第五凹陷中，形成第九侧壁，使得覆盖从所述第五凹陷暴露的、在所述沟的侧面上的所述半导体衬底的一部分。

25. 根据权利要求 22 的方法，其中所述第七侧壁和所述第八侧壁的厚度在 10 纳米至 80 纳米的范围内。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 2006 年 4 月 4 日提交的日本专利申请 No. 2006-103463 的公开内容,包括说明书、附图和摘要,在这里就其全部通过参考引入。

技术领域

[0003] 本发明涉及半导体器件及其制造技术。特别地,本发明涉及一种可有效应用于具有非易失存储器的半导体器件及其制造方法的技术。

背景技术

[0004] 电可擦除可编程非易失存储器例如 EEPROM(电可擦除可编程只读存储器)和闪存存储器允许程序的板上重写(onboard rewriting),因而允许缩短开发周期及改进开发效率。因此,其应用正扩展到各种各样的使用,包括多品种小批量生产、按目的进行调整以及装运之后进行程序更新的应用。

[0005] 关于电可擦除可编程非易失存储器,主要使用 EEPROM,它使用普通多晶硅作为浮动电极。最近,注意到了 MNOS(金属氮化物氧化物半导体)结构或 MONOS(金属氧化物氮化物氧化物半导体)结构,MNOS 结构使用氮化膜(氮化硅(例如 Si_3N_4))作为电荷存储层。在这种情况下,在一个为绝缘体的氮化膜的分立陷阱内,积聚对数据存储做出贡献的电荷,以便即使在积聚结点周围的氧化膜的任何部分发生缺陷结果发生异常泄漏时,也不担心在电荷存储层上电荷的完全迁移。因而,可以改进数据保持的可靠性。

[0006] 关于存储单元的配置,提出了一种单晶体管结构的存储单元。关于写入/擦除方法,不仅提出了一种方法,其中通过从半导体衬底的全表面 FN(Fowler Nordheim)隧道注入来执行写入,以及通过到半导体衬底的 FN 隧道电流来执行擦除,而且提出了一种方法,其中通过到半导体衬底或到源极和漏极区域的 FN 隧道电流来执行擦除。此外,在 MONOS 型单晶体管单元结构的情况下,与 EEPROM 单元结构相比,它易于受到干扰的影响。鉴于这点,还提出了一种设有控制栅电极的双晶体管配置的分离栅型存储单元结构。

[0007] 关于这样的双晶体管配置的分离栅型存储单元,例如在日本专利公开 No. 2004-266203(见专利文献 1)中可以找到描述。在专利文献 1 中,公开一种非易失存储单元配置,它具有:第一电极,经由用于电荷存储的栅绝缘膜而形成在半导体衬底上;第二栅电极,邻近第一栅电极经由栅绝缘膜而形成在半导体衬底上;以及源极和漏极的半导体区域,沿第一和第二栅电极布置的方向形成在两侧半导体衬底部分上。

[0008] 而且,例如在日本专利公开 No. 2002-198523(见专利文献 2)中,公开了一种形成源极和漏极的半导体区域的技术,它将 MISFET 的栅电极的侧壁上形成的第一侧壁用作掩膜,然后在第一侧壁的侧壁上形成第二侧壁,并且将第二侧壁用作掩膜,在源极和漏极的半导体区域的每一个上形成硅化层。

[0009] 此外,例如在日本专利公开 No. 2004-079893(见专利文献 3)的段落 [0050] 和 [0051] 中,公开了一种技术,其中在栅电极的侧面上形成侧壁的时候,利用用于形成侧壁的

绝缘膜在多晶硅电阻器上形成绝缘膜的图案,以允许多晶硅电阻器的接触区域的暴露。

[0010] [专利文献 1]

[0011] 日本专利公开 No. 2004-266203

[0012] [专利文献 2]

[0013] 日本专利公开 No. 2002-198523

[0014] [专利文献 3]

[0015] 日本专利公开 No. 2004-079893 (段落 [0050] 和 [0051])

发明内容

[0016] 然而,具有非易失存储器的半导体器件涉及这样的问题:在擦除状态下的位的阈值与意图相反地增加,也就是,易于发生所谓的干扰缺陷(在擦除操作之后的错误写入)。

[0017] 研究了上述干扰缺陷之后,本发明人发现在非易失存储单元中发生的泄漏电流明显促成了干扰缺陷。关于这点的更多情况将在以下描述。

[0018] 在本发明人作了研究的非易失存储单元中,在半导体衬底的主表面上经由用于电荷存储的绝缘膜形成存储栅电极,并且在存储栅电极的一个侧面上形成侧壁。在半导体衬底的主表面上以与存储栅电极的该一个侧面自对准的方式,形成源极的低浓度侧的半导体区域。而且,在半导体衬底的主表面上以与上述侧壁的侧面自对准的方式,形成源极的高浓度侧的半导体区域,使得与源极的低浓度侧半导体区域电耦合。此外,在高浓度侧半导体区域上形成硅化层。

[0019] 根据这种配置,因为以与侧壁的侧面自对准的方式形成硅化层的存储栅电极侧的端部分,所以它变得接近于源极的高浓度侧半导体区域的接合面。特别地,根据本发明人所进行的研究,当在存储栅电极的侧面上形成侧壁时,源极侧的半导体衬底的主表面被稍微削刮和凹陷,但是因为在凹陷表面上形成硅化层,所以硅化层的存储栅电极侧的端部分变得更接近于源极的高浓度侧半导体区域的接合面。

[0020] 因此,泄漏电流易于从硅化层的端部分向下流到源极的低浓度侧半导体区域。结果证实在这个泄漏电流下,在位于用于电荷存储的绝缘膜之下的半导体衬底部分中产生热电子,并且注入同一绝缘膜中,因而与意图相反,导致了非易失存储器的阈值的增加。

[0021] 因此,本发明的一个目的是提供一种能够减少或防止具有非易失存储器的半导体器件的干扰缺陷的技术。

[0022] 本发明的以上和其他目的及新颖特征将从以下描述和附图变得明了。

[0023] 以下是这里公开的本发明的典型方式的简短描述。

[0024] 根据本发明,提供一种非易失存储器,其在半导体衬底的主表面上方经由用于电荷存储的绝缘膜而具有栅电极,该非易失存储器包括第一绝缘膜,在栅电极的侧面上方形形成;用于源极和漏极的半导体区域,在半导体衬底上方以与第一绝缘膜的侧面自对准的方式形成;第二绝缘膜,在第一绝缘膜的侧面上方形形成;和硅化层,在用于源极和漏极的半导体区域上方形成。

[0025] 以下是由这里公开的本发明的典型方式所得到的效果的简短描述。

[0026] 在根据本发明的非易失存储单元中,在半导体衬底的主表面上方经由用于电荷存储的绝缘膜而形成有栅电极,因为可以在离开第一绝缘膜的侧面一个与第二绝缘膜的厚度

相对应的距离的位置处,在栅电极的侧面上方形成硅化层,所以可减少或防止具有非易失存储器的半导体器件的干扰缺陷。

附图说明

- [0027] 图 1 是本发明人作了研究的非易失存储单元的截面图；
- [0028] 图 2 是图 1 所示的存储单元的主要部分的放大截面图；
- [0029] 图 3 是根据本发明的一个实施例的具有非易失存储器的半导体器件中的存储单元的电路图；
- [0030] 图 4 是图 3 所示的存储单元的基本器件配置的截面图；
- [0031] 图 5 是图 4 所示的存储单元的主要部分的放大截面图；
- [0032] 图 6 是图 4 所示的存储单元的主要部分的放大截面图；
- [0033] 图 7 是以针对干扰缺陷采取措施之前与采取措施之后之间的比较方式,表示半导体芯片之内的阈电压分布的曲线图；
- [0034] 图 8 是体现本发明的具有非易失存储器的半导体器件的制造期间主要部分的截面图；
- [0035] 图 9 是图 8 随后的半导体器件的制造期间主要部分的截面图；
- [0036] 图 10 是图 9 随后的半导体器件的制造期间主要部分的截面图；
- [0037] 图 11 是图 10 随后的半导体器件的制造期间主要部分的截面图；
- [0038] 图 12 是图 11 所示的存储器区域的放大截面图；
- [0039] 图 13 是图 11 所示的外围电路区域的放大截面图；
- [0040] 图 14 是图 11 所示的电阻器区域的放大截面图；
- [0041] 图 15 是图 11 随后的半导体器件的制造期间主要部分的截面图；
- [0042] 图 16 是图 15 随后的半导体器件的制造期间主要部分的截面图；
- [0043] 图 17 是图 16 随后的半导体器件的制造期间主要部分的截面图；
- [0044] 图 18 是图 17 所示的存储区域的放大截面图；
- [0045] 图 19 是图 17 所示的外围电路区域的放大截面图；
- [0046] 图 20 是图 17 所示的电阻器区域的放大截面图；
- [0047] 图 21 是图 17 随后的半导体器件的制造期间主要部分的截面图；
- [0048] 图 22 是图 21 所示的存储区域的放大截面图；
- [0049] 图 23 是图 21 所示的外围电路区域的放大截面图；
- [0050] 图 24 是图 21 所示的电阻器区域的放大截面图；和
- [0051] 图 25 是图 21 随后的半导体器件的制造期间主要部分的截面图。

具体实施方式

[0052] 为了方便,在需要情况下,以下实施例将以分成多个部分或实施例的方式来描述,但是除非另外提到,否则它们并不是相互无关的,而是有关的,其中一个是另一个的部分或全部的修改、细节描述或补充解释。在以下实施例中,当提到元件的数目(包括数目、数值、数量和范围)时,并不限于所提到的数目,而是也可以是大于或小于所提到的数目的数目,除非另外提到,以及除非基本上明显地限于所提到的数目的情况。在以下实施例中,不用

说,它们的组件(包括组成步骤)不总是必不可少的,除非另外提到以及除非它们基本上明显地是必不可少的情况。同样地,在下述实施例中,应该理解,当提及组件的形状和位置关系时,也包括基本上与其类似或相近的那些,除非另外提到以及除非基本上明显地不是这样的情况。这同样适用于上述数值和范围。在用于说明实施例的全部图中,具有相同功能的部分用同样的标号来标识,并且在可能的情况下将省略重复描述。以下将参考附图描述本发明的实施例。

[0053] (第一实施例)

[0054] 首先关于本发明人首次发现的问题给出描述。

[0055] 经本发明人研究的半导体器件是一种具有非易失存储器例如 EEPROM 或闪速存储器的半导体器件。组成非易失存储器的多个存储单元中的每一个存储单元都形成为例如双晶体管配置的分离栅型存储单元。双晶体管中的一个为 MONOS(金属氧化物氮化物氧化物半导体)结构的晶体管,具有氮化膜(例如,氮化硅膜)作为用于数据存储的电荷存储层。在 MONOS 结构中,因为单晶体管结构易于受到耗尽(deplete)影响,所以采用双晶体管配置的分离栅型存储单元,以便避免这样的影响。

[0056] 图 1 是本发明人作了研究的非易失存储单元 MC 的截面图,以及图 2 是存储单元 MC 的主要部分的放大截面图。

[0057] 半导体衬底 1S 例如由 p 型单晶硅形成,并且在半导体衬底 1S 的主表面(器件形成表面)上方布置非易失存储器的分离栅型存储单元 MC。存储单元 MC 具有两个栅电极,它们是存储栅电极(第一栅电极)MG 和控制栅电极(第二栅电极)CG。

[0058] 存储栅电极 MG 例如由低电阻的多晶硅构成,并且在半导体衬底 1S 的主表面上经由用于电荷存储的绝缘膜 2 而形成。用于电荷存储的绝缘膜 2 是与前述电荷存储层相对应的部分,并且例如按层叠三个绝缘膜 2a、2b 和 2c 这样的次序而形成。外面绝缘膜 2a 和 2c 例如由氧化硅(例如, SiO_2) 形成。夹在两个绝缘膜 2a 和 2c 之间的绝缘膜 2b 例如由氮化硅(例如, Si_3N_4) 形成。贡献于数据存储的电荷在三个绝缘膜 2a 至 2c 之中的绝缘膜 2b 的分立陷阱中积聚。因此,即使在积聚结点周围的氧化膜的任何部分发生缺陷,并因此发生异常泄漏,也不担心在电荷存储层上的电荷的完全迁移,因而使得可以改进数据保持的可靠性。

[0059] 控制栅电极 CG 例如由低电阻的多晶硅构成,并且在半导体衬底 1S 的主表面上经由栅绝缘膜 3 形成。栅绝缘膜 3 例如由氧化硅形成。

[0060] 存储栅电极 MG 和控制栅电极 CG 并排布置在半导体衬底 1S 的主表面上,将用于电荷存储的绝缘膜 2 插入在电极 MG 和 CG 的相对侧面之间。在存储栅电极 MG 和控制栅电极 CG 的另一侧面上,分别形成有侧壁 4A(第一绝缘膜(第一侧壁)) 和 4B(第三绝缘膜(第三侧壁))。例如,侧壁 4A 和 4B 由氧化硅形成。

[0061] 存储单元 MC 具有源极的半导体区域 5S 和漏极的半导体区域 5D。控制栅电极 CG 和存储栅电极 MG 布置在源极的半导体区域 5S 和漏极的半导体区域 5D 之间。

[0062] 源极的半导体区域 5S 具有 n^- 型半导体区域(第一半导体区域)5Sm 和 n^+ 型半导体区域(第二半导体区域)5Sp。 n^- 型半导体区域 5Sm 和 n^+ 型半导体区域 5Sp 相互电耦合。 n^- 型半导体区域 5Sm 中的杂质浓度设置为低于 n^+ 型半导体区域 5Sp 中的杂质浓度。 n^- 型半导体区域 5Sm 以与存储栅电极 MG 的侧面自对准的方式形成。另一方面, n^+ 型半导体区域 5Sp 以与侧壁 4A 的侧面自对准的方式形成,并且相对于 n^- 型半导体区域 5Sm 离开存储栅电

极 MG 而定位。

[0063] 漏极的半导体区域 5D 具有 n^- 型半导体区域 (第三半导体区域) 5Dm 和 n^+ 型半导体区域 (第四半导体区域) 5Dp。 n^- 型半导体区域 5Dm 和 n^+ 型半导体区域 5Dp 相互电耦合。 n^- 型半导体区域 5Dm 中的杂质浓度设置为低于 n^+ 型半导体区域 5Dp 中的杂质浓度。 n^- 型半导体区域 5Dm 以与控制栅电极 CG 的侧面自对准的方式形成。另一方面, n^+ 型半导体区域 5Dp 以与侧壁 4B 的侧面自对准的方式形成, 并且相对于 n^- 型半导体区域 5Dm 离开控制栅电极 CG 而定位。

[0064] 在如上构成的存储单元 MC 中, 在存储栅电极 MG、控制栅电极 CG、源极的 n^+ 型半导体区域 5Sp 和漏极的 n^+ 型半导体区域 5Dp 的上表面上, 分别地形成硅化层 7m、7c、7s 和 7d, 例如硅化钴 (CoSi_2) 层。在源极的 n^+ 型半导体区域 5Sp 和 n^+ 型半导体区域 5Dp 的上表面上的硅化层 7s 和 7d 以与侧壁 4A 和 4B 的侧面自对准的方式形成。

[0065] 本发明人研究了在这样的非易失存储器的存储单元 MC 中发生的干扰缺陷 (错误写入缺陷, 使得在擦除状态下的位的阈值与意图相反地增加)。结果, 本发明人首次发现了在非易失存储器的存储单元 MC 中产生的泄漏电流明显促成了该干扰缺陷。

[0066] 如上所述, 在源极的 n^+ 型半导体区域 5Sp 的上表面上的硅化层 7s 以与侧壁 4A 的侧面自对准的方式形成。另一方面, 源极的 n^+ 型半导体区域 5Sp 也以与侧壁 4A 的侧面自对准的方式形成。因此, 在存储栅电极 MG 侧的硅化层 7s 的端部分变得接近于存储栅电极 MG 侧的 n^+ 型半导体区域 5Sp 的端部分。也就是, 硅化层 7s 的端部分变得接近于源极的 n^+ 型半导体区域 5Sp 和半导体衬底 1S 之间的接合面。

[0067] 特别地, 如图 2 所示, 根据本发明人所作的研究, 当在存储栅电极 MG 的侧面上形成侧壁 4A 时, 源极侧半导体衬底 1S 的主表面被削刮深度 d1, 以形成凹陷 9。也就是, 在侧壁 4A 和 4B 的侧面侧上的半导体衬底 1S 的主表面凹陷为低于其上存储栅电极 MG、控制栅电极 CG 和侧壁 4A、4B 相互相对的半导体衬底 1S 的主表面。因此, 在凹陷 9 的侧面和上表面上形成硅化层 7s。结果, 在存储栅电极 MG 侧的硅化层 7s 的端部分变得更接近于源极的 n^+ 型半导体区域 5Sp 与半导体衬底 1S 之间的接合面。有时有一种情况, 即在硅化层 7s 的下表面上形成凸起部分等, 并且该凸起部分达到 n^+ 型半导体区域 5Sp 之外的半导体衬底 1S。在硅化层 7s 的底部上形成凸起和凹进部分的理由, 推测是因为在形成硅化层之前的清洗工艺中留下未除去的杂质或自然氧化膜存在于半导体衬底 1S 的表面上, 并且与这样的杂质或自然氧化膜是否存在相对应, 发生硅化层的厚和薄的部分。

[0068] 因而, 在以上配置的存储单元 MC 中, 泄漏电流 IA 易于从 n^+ 型半导体区域 5Sp 的上表面上形成的硅化层 7s 的端部分流向位于源极的 n^- 型半导体区域 5Sm 之下的半导体衬底 1S。

[0069] 在非易失存储器中, 备用 (stand-by) 期间的漏电流的总和比普通 MOSFET (金属氧化物半导体场效应晶体管) 备用期间的漏电流的总和一个小一个数量级或更多。或者, 在存储器重写数据时的源极电流小于电荷泵的允许电流。因此, 在非易失存储器的存储单元区域中, 泄漏电流本身不会带来问题。

[0070] 然而, 根据本发明人所作的研究, 证实在泄漏电流 IA 从源极的 n^+ 型半导体区域 5Sp 上的硅化层 7s 的端部分流向位于源极的 n^- 型半导体区域 5Sm 之下的半导体衬底 1S 的情况下, 刚好在用于电荷存储的绝缘膜 2 之下的半导体衬底 1S 的部分中产生热电子, 并且

热电子注入到用于电荷存储的绝缘膜 2 中,导致存储单元 MC 的阈值的增加。也就是,将错误数据写到存储单元 MC 的用于电荷存储的绝缘膜 2b。

[0071] 作为这样的干扰缺陷的解决方案,提出了一种方法,其中在源极的 n^+ 型半导体区域 5Sp 的端部分处,较深地形成杂质浓度比 n^+ 型半导体区域 5Sp 低的 n 型半导体区域。然而,在这种情况下,出现短沟道效应的问题。作为另一解决方案,提出了一种增加存储栅电极 MG 的栅长度的方法。然而,在这种情况下,出现擦除速度降低的问题。作为又一解决方案,提出了一种使半导体衬底 1S 相对的侧壁 4A 的表面的长度增加的方法。然而,在这种情况下,出现单元电流降低的问题。

[0072] 关于存储单元 MC,除以上干扰缺陷问题外,以下问题也作为问题存在。如上所提及的这样的泄漏电流在漏极侧 n^+ 型半导体区域 5Dp 中也发生。也就是,在漏极侧 n^+ 型半导体区域 5Dp 的上表面上形成的硅化层 7d 的控制栅电极 CG 侧上的端部分,变得接近于 n^+ 型半导体区域 5Dp 的控制栅电极 CG 侧上的端部分。因此,泄漏电流易于从硅化层 7d 的上述端部分,流向位于漏极的 n^- 型半导体区域 5Dm 之下的半导体衬底 1S。在漏极侧,因为它远离用于电荷存储的绝缘膜 2b,所以不会发生前述干扰缺陷,但是出现由于泄漏电流的增加而引起的错误读出的问题。

[0073] 关于上述硅化层的形成,除以上干扰缺陷问题外,以下问题也作为问题存在。如图 2 所示,在半导体衬底 1S 的主表面上形成元件隔离区域 10。由元件隔离区域 10 限定有源区域,并且在有源区域中形成元件。

[0074] 隔离区域 10 是例如称为 STI(浅沟隔离)或 SGI(浅槽隔离)的沟型隔离区域。通过在半导体衬底 1S 的主表面上形成的隔离沟 10t 中埋置用于隔离的绝缘膜 10s 而形成隔离区域 10。

[0075] 在用于隔离的绝缘膜 10s 的上表面上,可以与上述有源区域邻近地形成凹陷 11。与隔离沟 10t 的侧面邻近的半导体衬底 1S 的一部分从凹陷 11 暴露。在这种状态下,如果淀积用于形成硅化物的导体膜,允许发生硅化反应,则在从凹陷 11 暴露的与隔离沟 10t 的侧面邻近的半导体衬底 1S 的部分中,也进行硅化反应。因此,在从凹陷 11 暴露的半导体衬底 1S 的部分中,也形成这样的硅化层 7s,使得沿隔离沟 10t 的侧面按半导体衬底 1S 的厚度方向延伸。结果,泄漏电流 IB 从硅化层 7s 沿半导体衬底 1S 的厚度方向流动,因而引起备用期间泄漏电流增加并且因此电流消耗也增加的问题。这个问题不仅在存储单元 MC 的源极和漏极侧都出现,而且在其他元件部分也出现。

[0076] 本实施例解决上述问题。以下将关于根据本实施例的具有非易失存储器的半导体器件的具体例子给出描述。

[0077] 图 3 是根据本实施例的非易失存储器中的存储单元 MC 的电路图。存储单元 MC 在漏电极 D 和源电极 S 之间设有两个晶体管,例如用于存储单元选择的 n 沟道型 MISFETQc(以下简称为“选择用 nMISQc”)和用于数据存储的 n 沟道型 MISFETQm(以下简称为“存储用 nMISQm”)。

[0078] 选择用 nMISQc 具有控制栅电极 CG,而存储用 nMISQm 具有存储栅电极 MG 和用于电荷存储的绝缘膜 2(电荷存储层)。例如利用热电子注入方法,通过从半导体衬底 1S 向用于电荷存储的绝缘膜 2b 中注入电子,执行数据的写入。这种方法在电子注入效率方面优良,并且允许以高速度和低电流写入。

[0079] 例如,通过产生热空穴并且将空穴注入用于电荷存储的绝缘膜 2b,执行数据的擦除。因而,容易控制写入和擦除操作,并且可以使电源电路和外围电路简化(尺寸减小)。

[0080] 关于数据的读出,对存储栅电极 MG 施加期望电压,以使选择用 nMISQc 在其中使得漏电极 D 的电位高于源电极 S 的电位的这样状态下导通。此时,根据 nMISQm 的用于电荷存储的绝缘膜 2b 中是否存在电子,以及根据在漏电极 D 和源电极 S 之间是否有电流流动,存储用 nMISQm 的阈电压改变,由此读出数据。

[0081] 图 4 是表示存储单元 MC 的基本器件配置的截面图,以及图 5 和图 6 各表示图 4 所示的存储单元 MC 的主要部分的放大截面图的一例。因为基本配置与以上关于图 1 和图 2 所述的相同,所以将省略相同部分的解释。

[0082] 在本实施例中,在侧壁 4A 和 4B 的侧面上形成有侧壁(第二绝缘膜(第二侧壁)和第四绝缘膜(第四侧壁))12A 和 12B,侧壁 12A 和 12B 例如由与侧壁 4A 和 4B 相同的氧化硅形成。也就是,侧壁 4A 和 4B 的侧面分别以侧壁 12A 和 12B 覆盖。

[0083] 如图 5 和图 6 所示,在存储栅电极 MG、控制栅电极 CG 和侧壁 4A、4B 外侧位置处的半导体衬底 1S 中,形成凹陷 9。因此,在侧壁 12A 和 12B 彼此相对处的半导体衬底 1S 的主表面凹陷为低于存储栅电极 MG、控制栅电极 CG 和侧壁 4A、4B 彼此相对处的半导体衬底 1S 的主表面。侧壁 12A 和 12B 的下端部分覆盖侧壁 4A、4B 和半导体衬底 1S 之间的接触界面的边缘,并且还覆盖半导体衬底的主表面上从凹陷 9 暴露的半导体衬底 1S 的侧面。

[0084] 此外,侧壁 12A 和 12B 的下端部分以距离侧壁 4A 和 4B 的侧面一个与侧壁 12A 和 12B 的厚度(图 5 中的长度 d2 和 d3)相对应的量,而覆盖源极和漏极侧两者的半导体衬底 1S 的主表面部分(凹陷 9 的上表面)。侧壁 12A 和 12B 的厚度(图 5 中的长度 d2 和 d3)指示沿侧壁 12A 和 12B 的下端的栅极长度方向的宽度。

[0085] 在本实施例中,在存储单元 MC 中源极的 n^+ 型半导体区域 5Sp 的上表面上,形成有硅化层(第一硅化层)7s,其在存储栅电极 MG 侧的端部分由侧壁 12A 限定。也就是,源极侧的硅化层 7s 以与侧壁 12A 自对准的方式形成。因此,源极侧硅化层 7s 的存储栅电极 MG 侧的端部分,与源极的 n^- 型半导体区域 5Sm 和源极的 n^+ 型半导体区域 5Sp 之间的接合面(接合端)或远离存储栅电极 MG 侧的源极的 n^+ 型半导体区域 5Sp 和半导体衬底 1S 之间的接合面(接合端),隔开一个近似与侧壁 12 的厚度(图 5 中的长度 d2)相对应的距离。

[0086] 结果,即使源极侧半导体衬底 1S 的主表面稍微凹陷,或在硅化层 7s 的下表面上形成一个凸起部分,硅化层 7s 的端部分和凸起部分也与源极的 n^- 型半导体区域 5Sm 和源极的 n^+ 型半导体区域 5Sp 之间的接合面(接合端)隔开。因此,即使在硅化层 7s 的下表面上形成前述凸起部分,该凸起部分也难以突出到 n^+ 型半导体区域 5Sp 的外面。

[0087] 这样能减少或消除从硅化层 7s 的端部分流向位于源极的 n^- 型半导体区域 5Sm 之下的半导体衬底 1S 的泄漏电流 IA,并且因此可以抑制或防止由泄漏电流 IA 引起的前述干扰缺陷。因此,可以改进具有非易失存储器的半导体器件的操作可靠性。

[0088] 在本实施例中,不是在半导体区域 5Sp 的端部处形成比 n^+ 型半导体区域 5Sp 低杂质浓度的 n 型半导体区域来作为抗干扰缺陷措施,并且因此不会发生短沟道效应的问题。此外,因为不是将半导体衬底 1S 相对的侧壁 4A 的表面制成较长来作为抗干扰措施,所以也不会发生单元电流的降低。

[0089] 而且,在本实施例中,在存储单元 MC 中漏极的 n^+ 型半导体区域 5Dp 的上表面上,

形成有硅化层（第二硅化层）7d，其在控制栅电极 CG 上的端部分由侧壁 12B 限定。也就是，漏极侧硅化层 7d 以与侧壁 12B 自对准的方式形成。因此，漏极侧硅化层 7d 的控制栅电极 CG 侧的端部分，与漏极的 n^- 型半导体区域 5Dm 和漏极的 n^+ 型半导体区域 5Dp 之间的接合面（接合端）或漏极的 n^+ 型半导体区域 5Dp 和半导体衬底 1S 之间的接合面（接合端），隔开一个与侧壁 12B 的厚度（图 5 的长度 d3）相对应的距离。

[0090] 结果，即使漏极侧半导体衬底 1S 的主表面凹陷，或在硅化层 7d 的下表面上形成凸起部分，硅化层 7d 的端部分和前述凸起部分也与漏极的 n^- 型半导体区域 5Dm 和漏极的 n^+ 型半导体区域 5Dp 之间的接合面（接合端），或与控制栅电极 CG 侧的漏极的 n^+ 型半导体区域 5Sp 和半导体衬底 1S 之间的接合面（接合端）隔开。因此，即使在硅化层 7d 的下表面上形成凸起部分，该凸起部分也难以突出到 n^+ 型半导体区域 5Dp 的外面。

[0091] 因此，能减少或消除从硅化层 7d 的端部分流向位于漏极的 n^- 型半导体区域 5Dm 之下的半导体区域 1S 的泄漏电流，由此可以避免在具有非易失存储器的半导体器件中的错误读出的问题。

[0092] 如图 6 所示，在本实施例中，在隔离区域 10 的上表面上形成侧壁（绝缘膜）12C，以便覆盖从有源区域邻近形成的凹陷 11 暴露的半导体区域 1S 的侧面（硅化层 7s、7d）。例如，侧壁 12C 由如同侧壁 12A 和 12B 的氧化硅形成。

[0093] 利用侧壁 12C，可以抑制或防止硅化层 7s (7d) 在隔离区域 10 的凹陷邻近的半导体衬底 1S 的部分中沿隔离沟 10t 的侧面按半导体衬底 1S 的厚度方向延伸。因此，可以减少从硅化层 7s 和 7d 沿半导体衬底 1S 的厚度方向流动的泄漏电流。也就是，因为能减小具有非易失存储器的半导体器件的备用期间的泄漏电流，所以可减少功率消耗。

[0094] 图 7 以采取抗干扰缺陷措施之前和采取同一措施之后之间比较的方式，示出了半导体芯片的阈值电压 V_{th} 的分布。

[0095] 图 7 的左侧表示采取抗干扰缺陷措施之前的状态。在后述用于形成侧壁 12A 和 12B 而淀积绝缘膜时的厚度例如约为 60nm。但是在存储单元 MC 中，将绝缘膜全部除去，并且不形成侧壁 12A 和 12B。可见在这种情况下，与初始阶段（紧在擦除之后）相比较，由于干扰而使阈值电压 V_{th} 大量地向右偏移。

[0096] 另一方面，图 7 的右侧表示采取抗干扰缺陷措施之后的状态。在存储单元 MC 中形成侧壁 12A 和 12B。可见在这种情况下，与图 7 的左侧所示的采取抗干扰缺陷措施之前的状态下的情况相比较，阈值 V_{th} 相对初始（紧在擦除之后）值的偏移量较小。在这种情况下，后述用于形成侧壁 12A 和 12B 的绝缘膜的厚度例如约为 100nm，但是通过机械加工来形成侧壁，所以侧壁 12A 和 12B 各自的厚度（长度 d2、d3）例如为 10nm 至 80nm。根据本发明人所作的研究，需要侧壁 12A 和 12B 各自的厚度（长度 d2、d3）为 10nm 或更大，例如，优选为 10nm 至 50nm。

[0097] 现在，参考图 8 至图 25，将关于根据本实施例的具有非易失存储器的半导体器件的制造方法的一例给出描述。图 8 至图 25 是根据本实施例的半导体器件的制造期间主要部分的截面图。在这些图中，标记 M 指示存储区域，标记 P 指示外围电路区域，标记 RA 和 RB 指示电阻器区域。虽然存储区域 M、外围电路区域 P 和电阻器区域 RA、RB 以分开方式示出，但是这些在同一半导体衬底 1S 上形成。

[0098] 首先，如图 8 所示，提供半导体衬底 1S（这里它是在平面中为基本圆形的薄半导体

片,称为半导体晶片),其具有主表面(第一主表面,器件形成表面)和背表面(第二主表面),主表面和背表面以厚度方向定位在相对侧上。

[0099] 随后,在半导体衬底 1S 的主表面上形成限定有源区域的隔离区域 10。通过在半导体衬底 1S 的主表面上形成隔离沟 10t,并且然后在隔离沟 10t 中埋置用于隔离的绝缘膜 10s,从而形成隔离区域 10,其中绝缘膜 10s 例如由氧化硅形成。

[0100] 其后,在存储区域 M 中形成 n 型掩埋阱 DNWL。然后,在存储区域 M 和外围电路区域 P 中形成 p 型阱 PWL。此时,在电阻器区域 RA 中形成电阻器 RWL,电阻器 RWL 由 p 型半导体区域形成。

[0101] 接下来,在半导体衬底 1S 的主表面的有源区域上形成例如氧化硅的栅绝缘膜 3,然后在半导体衬底 1S 的主表面上例如淀积低电阻多晶硅的导体膜,并且在其上淀积氧化硅的帽绝缘膜。

[0102] 随后,在帽绝缘膜上形成光致抗蚀剂图案,并且利用光致抗蚀剂膜作为蚀刻掩膜,对从此暴露的帽绝缘膜进行蚀刻,以实行帽绝缘膜的构图,之后除去光致抗蚀剂图案。

[0103] 其后,利用留下的帽绝缘膜的图案作为蚀刻掩膜,对从此暴露的下面的导体膜进行蚀刻,以形成存储区域 M 中的控制栅电极 CG、外围电路区域 P 中的栅电极 FG 和电阻器区域 RB 中的电阻器 RG。然后,除去帽绝缘膜。

[0104] 随后,如图 9 所示,在邻近控制栅电极 CG 的存储区域 M 的部分中,形成用于电荷存储的绝缘膜 2 和存储栅电极 MG。这里例如按以下方式完成。

[0105] 首先,在图 8 所示的半导体衬底 1S 的主表面上淀积例如氧化硅的绝缘膜 2a,使得也覆盖控制栅电极 CG、栅电极 FG 和电阻器 RG 的表面。其后,通过化学汽相淀积 (CVD) 在绝缘膜 2a 上淀积例如氮化硅的绝缘膜 2b。

[0106] 随后,例如通过热氧化方法在绝缘膜 2b 上淀积例如氧化硅的绝缘膜 2c,并且然后例如通过 CVD 在其上淀积例如低电阻多晶硅的导体膜。其后,例如通过回蚀刻 (etch back) 方法对导体膜进行蚀刻,使得导体膜保留在控制栅电极 CG、栅电极 FG 和电阻器 RG 的两个侧面上。

[0107] 接下来,形成光致抗蚀剂图案,使得覆盖控制电极 CG 的一个侧面上的导体膜,并且允许其他膜部分暴露,而且利用该光致抗蚀剂图案作为蚀刻掩膜,通过蚀刻除去暴露的导体膜,之后除去光致抗蚀剂图案。

[0108] 随后,除去在控制栅电极 CG 的表面(上表面和一个侧面)、栅电极 FG 的表面(上表面和两个侧面)、电阻器 RG 的表面(上表面和两个侧面)和半导体衬底 1S 的主表面上存在的绝缘膜 2。

[0109] 这样,在存储区域 M 中,在邻近控制栅电极 CG 的半导体衬底 1S 的主表面上,经由用于电荷存储的绝缘膜 2 形成存储栅电极 MG。绝缘膜 2 插入在控制栅电极 CG 和存储栅电极 MG 的相对侧面上,以使电极 CG 和 MG 相互绝缘。

[0110] 接下来,如图 10 所示,在存储区域 M 中,在半导体衬底 1S 的主表面上形成源极的 n⁻ 型半导体区域 5Sm 和漏极的 n⁻ 型半导体区域 5Dm。此外,在外围电路区域 P 中,在半导体衬底 1S 的主表面上形成源极和漏极的 n⁻ 型半导体区域 15a。例如,按以下方式完成。

[0111] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许该存储区域 M 中的源极区域和存储栅电极 MG 暴露,并且覆盖其他部分,而且其后例如通过离子注入在半导

体衬底 1S 中引入 n 型杂质,例如磷 (P) 或砷 (As),从而形成存储区域 M 中源极的 n^- 型半导体区域 5Sm。也就是,以与存储栅电极 MG 的侧面自对准的方式,形成源极的 n^- 型半导体区域 5Sm。

[0112] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许存储区域 M 中的漏极区域和控制栅电极 CG 暴露,并且覆盖其他部分,而且其后例如通过离子注入在半导体衬底 1S 中引入 n 型杂质,例如磷或砷,从而形成存储区域 M 中漏极的 n^- 型半导体区域 5Dm。也就是,以与控制栅电极 CG 的侧面自对准的方式,形成漏极的 n^- 型半导体区域 5Dm。

[0113] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许外围电路区域 P 中的源极和漏极区域暴露,并且覆盖其他部分,而且其后例如通过离子注入在半导体衬底 1S 中引入 n 型杂质,例如磷或砷,从而形成源极和漏极的 n^- 型半导体区域 15a。也就是,以与栅电极 FG 的侧面自对准的方式,形成源极和漏极的 n^- 型半导体区域 15a。

[0114] 接下来,例如通过 CVD,在半导体衬底 1S 的主表面上淀积例如氧化硅的绝缘膜,并且其后进行回蚀刻,以在存储栅电极 MG、控制栅电极 CG、栅电极 FG 和电阻器 RG 的侧面上,形成该绝缘膜的侧壁 4A、4B、4C、4D、4E 和 4F,如图 11 所示。

[0115] 图 12 至图 14 分别是图 11 所示的存储区域 M、外围电路区域 P 和电阻器区域 RA 的放大截面图。

[0116] 如图 12 和图 13 所示,在除布置控制栅电极 CG、存储栅电极 MG、栅电极 FG 和形成在它们侧面上的侧壁 4A 至 4D 的区域外的区域中,对半导体衬底 1S 的主表面进行蚀刻。结果,在除控制栅电极 CG、存储栅电极 MG、栅电极 FG 和形成在它们侧面上的侧壁 4A 至 4D 的布置区域外的区域中,在半导体衬底 1S 的主表面上形成凹陷 9。

[0117] 如图 13 和 14 所示,在半导体器件的制造期间,在其邻近有源区域的部分处,对隔离区域 10 中用于隔离的绝缘膜 10s 的上表面进行蚀刻,由此在隔离区域 10 中邻近有源区域的用于隔离的绝缘膜 10s 的上表面的部分中,形成凹陷 11。

[0118] 接下来,如图 15 所示,在存储区域 M 中,在半导体衬底 1S 的主表面上形成源极的 n^+ 型半导体区域 5Sp 和漏极的 n^+ 型半导体区域 5Dp。此外,在外围电路区域 P 中,在半导体衬底 1S 的主表面上形成源极和漏极的 n^+ 型半导体区域 15b。例如,按以下方式完成。

[0119] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许存储区域 M 中的源极区域和侧壁 4A 暴露,并且覆盖其他部分,而且其后例如通过离子注入在半导体衬底 1S 中引入 n 型杂质,例如磷或砷,从而形成存储区域 M 中源极的 n^+ 型半导体区域 5Sp。也就是,以与侧壁 4A 的侧面自对准的方式,形成源极的 n^+ 型半导体区域 5Sp,由此在存储区域 M 中形成存储单元 MC 的源极的半导体区域 5S。

[0120] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许存储区域 M 中的漏极区域和侧壁 4B 暴露,并且覆盖其他部分,而且其后例如通过离子注入在半导体衬底 1S 中引入 n 型杂质,例如磷或砷,从而形成存储区域 M 中漏极的 n^+ 型半导体区域 5Dp。也就是,以与侧壁 4B 的侧面自对准的方式,形成漏极的 n^+ 型半导体区域 5Dp,由此在存储区域 M 中形成存储单元 MC 的漏极的半导体区域 5D。

[0121] 通过在半导体衬底 1S 的主表面上形成光致抗蚀剂图案,使得允许外围电路区域 P 中的源极区域、漏极区域、栅电极 FG 和侧壁 4C、4D 暴露,并且其后例如通过离子注入在半导体衬底 1S 中引入 n 型杂质,例如磷或砷,从而形成外围电路区域 P 中源极和漏极的 n^+ 型半

导体区域 15b。也就是,以与侧壁 4C 和 4D 的侧面自对准的方式,形成源极和漏极的 n^+ 型半导体区域 15b,由此在外围电路区域 P 中形成用于形成外围电路的 n 沟道 MISFETQn 的源极和漏极的半导体区域 15。

[0122] 接下来,如图 16 所示,通过 CVD 在半导体衬底 1S 的主表面上淀积绝缘膜 12,以便也覆盖控制栅电极 CG、存储栅电极 MG、栅电极 FG、电阻器 RG 和侧壁 4A 至 4F 的表面。绝缘膜 12 用作掩膜,以禁止在后述的硅化层形成工艺中的硅化反应,并且例如由氧化硅形成。

[0123] 随后,在要保持绝缘膜 12 的区域中,通过光刻技术形成光致抗蚀剂图案 19,并且然后利用光致抗蚀剂 19 作为蚀刻掩膜,通过各向异性干法蚀刻,对绝缘膜 12 进行蚀刻。其后,除去光致抗蚀剂图案 19。

[0124] 这样,如图 17 所示,形成绝缘膜 12D 和 12E 的图案,它们在后述的硅化层形成工艺中用作用于禁止硅化层的反应的掩膜。形成绝缘膜 12D 和 12E,以便覆盖电阻器 RWL 和 RG 的电阻值形成区域,并且允许电极形成区域暴露。

[0125] 在本实施例中,在绝缘区域 12D 和 12E 的形成期间,在存储区域 M 中侧壁 4A 和 4B 的侧面上形成侧壁 12A 和 12B。同时,在外围电路区域 P 中,在侧壁 4C 和 4D 的侧面上形成侧壁 12F 和 12G。而且同时,在电阻器区域 RB 中,在侧壁 4E 和 4F 的侧面上形成侧壁 12H 和 12J。此外,同时,在隔离区域 10 的上表面上形成的凹陷 12 的侧面上形成侧壁 12C。

[0126] 因而,在本实施例中,因为在与用作硅化层形成工艺中掩膜的绝缘膜 12D 和 12E 的图案形成工艺相同的工艺中,形成侧壁 12A、12B、12C、12F 和 12G,所以尽管新增加(形成)侧壁 12A、12B、12C、12F 和 12G,但半导体器件制造步骤的数目不会增加。

[0127] 关于这一点,这里参考图 18 至图 20,它们分别是图 17 所示的存储区域 M、外围电路区域 P 和电阻器区域 PA 的放大截面图。

[0128] 如图 18 所示,形成存储区域 M 的侧壁 12A 和 12B,以便覆盖侧壁 4A 和 4B 的侧面。侧壁 12A 和 12B 的下端部分不仅覆盖侧壁 4A、4B 和半导体衬底 1S 之间接触界面的边缘,而且还覆盖从源极和漏极侧上的半导体衬底的凹陷 9 所暴露的半导体衬底 1S 的侧面。

[0129] 此外,侧壁 12A 和 12B 的下端部分以距离侧壁 4A 和 4B 的侧面一个与侧壁 12A 和 12B 各自的厚度相对应的量,来覆盖源极和漏极侧上的半导体衬底 1S 的主表面部分(凹陷 9 的上表面)。源极和漏极的 n^+ 型半导体区域 5Sp 和 5Dp 的在存储栅电极 MG 和控制栅电极 CG 侧上的端部分,除位于侧壁 12A 和 12B 之下的部分外,稍微进入到侧壁 4A 和 4B 之下。

[0130] 如图 19 所示,形成外围电路区域 P 中的侧壁 12F 和 12G,以便覆盖侧壁 4C 和 4D 的侧面。侧壁 12F 和 12G 的下端部分不仅覆盖侧壁 4C、4D 和半导体衬底 1S 之间接触界面的边缘,而且还覆盖从源极和漏极侧上的半导体衬底的凹陷 9 所暴露的半导体衬底 1S 的侧面。

[0131] 而且,侧壁 12F 和 12G 的下端部分以距离侧壁 4C 和 4D 的侧面一个与侧壁 12F 和 12G 各自的厚度相对应的量,来覆盖源极和漏极侧上的半导体衬底 1S 的主表面部分(凹陷 9 的上表面)。源极和漏极的 n^+ 型半导体区域 15b 的在栅电极 FG 侧上的端部分,除位于侧壁 12F 和 12G 之下的部分外,稍微进入到侧壁 4C 和 4D 之下。

[0132] 在隔离区域 10 中用于隔离的绝缘膜 10s 的上表面上形成的各凹陷 11 的侧面上,也形成侧壁 12C。通过蚀刻绝缘膜 12 使得覆盖从凹陷 11 暴露的半导体衬底 1S 的侧面而形成侧壁 12C。

[0133] 接下来,使用基于含氟酸的清洗溶液对半导体衬底 1S 的主表面进行清洗,并且例

如通过溅射在半导体衬底 1S 的主表面上淀积金属膜,例如钴 (Co) 膜,以便覆盖控制栅电极 CG、存储栅电极 MG、栅电极 FG、电阻器 RWL、RG、侧壁 4A 至 4F、12A 至 12C、12F、12G、12H、12J 和绝缘膜 12D、12E 的表面。

[0134] 此金属膜不仅与半导体衬底 1S 的 n^+ 型半导体区域 5Sp、5Dp 和 15b 接触,而且与控制栅电极 CG、存储栅电极 MG 和栅电极 FG 的上表面以及电阻器 RWL 和 RG 的电极形成区域接触。然而,如先前所述,上述金属膜不与控制栅电极 CG 和存储栅电极 MG 的两侧(侧壁 4A 和 4B 的两侧)上形成的半导体衬底 1S 的凹陷 9 的侧面接触,因为在这些侧面上分别形成侧壁 4A 和 4B。所述金属膜也不与从隔离区域 10 的上表面上形成的凹陷 11 所暴露的半导体衬底 1S 的侧面接触。

[0135] 随后,对半导体衬底 1S 和上述金属膜施加热处理,例如包括 400℃至 550℃温度和约 1 分钟持续时间的条件,从而在上述金属膜与半导体衬底 1S(n^+ 型半导体区域 5Sp、5Dp、15b 和电阻器 RWL)、栅电极 CG、存储栅电极 MG、栅电极 FG 和电阻器 RG 接触的部分处引起硅化反应。

[0136] 其后,通过蚀刻将留下未反应的金属膜除去,从而允许硅化层 7 留在半导体衬底 1S(n^+ 型半导体区域 5Sp、5Dp、15b 和电阻器 RWL)、控制栅电极 CG、存储栅电极 MG、栅电极 FG 和电阻器 RG 的上表面上,该硅化层 7 例如包括硅化钴 (CoSi_2),如图 21 所示。然后,对半导体衬底 1S 和硅化层 7 施加热处理,例如包括 700℃至 800℃温度和约 1 分钟持续时间的条件,以使硅化层 7 电阻较低。

[0137] 图 22 至图 24 分别是图 21 所示的存储区域 M、外围电路区域 P 和电阻器区域 RA 的放大截面图。

[0138] 在本实施例中,使用侧壁 12A 作为掩膜来形成源极侧硅化层 7(7s)。也就是,以与侧壁 12A 自对准的方式形成硅化层 7s。因此,如图 22 所示,在与侧壁 4A 的侧面隔开一个与侧壁 12A 的厚度相对应的距离的位置处,形成硅化层 7s 的存储栅电极 MG 侧的端部分。因而,能在硅化层 7s 的存储栅电极 MG 侧的端部分,与源极的 n^- 型半导体区域 5Sm 和源极的 n^+ 型半导体区域 5Sp 之间的接合面(接合端)或存储栅电极 MG 侧的源极的 n^+ 型半导体区域 5Sp 和半导体衬底 1S 之间的接合面(接合端)之间,保证一个与侧壁 12A 的厚度近似相对应的间隔。

[0139] 结果,即使源极侧的半导体衬底 1S 的主表面稍微凹陷,或即使在硅化层 7s 的下表面上形成凸起部分,硅化层 7s 的前述端部分和该凸起部分,也与源极的 n^- 型半导体区域 5Sm 和源极的 n^+ 型半导体区域 5Sp 之间的接合面(接合端)或源极的 n^+ 型半导体区域 5Sp 和半导体衬底 1S 之间的接合面(接合端)之间隔开。因此,即使在硅化层 7s 的下表面上形成前述凸起部分,该凸起部分也难以突出到 n^+ 型半导体区域 5Sp 的外面。

[0140] 因此,可以减少或消除从硅化层 7s 的端部分流向位于源极的 n^- 型半导体区域 5Sm 之下的半导体衬底 1S 的泄漏电流 IA,并且因此可以抑制或防止由泄漏电流 IA 所引起的前述干扰缺陷。结果,可以改进具有非易失存储器的半导体器件的操作可靠性。

[0141] 在本实施例中,使用侧壁 12B 作为掩膜来形成漏极侧硅化层 7(7d)。也就是,以与侧壁 12B 自对准的方式形成硅化层 7d。因此,如图 22 所示,在与侧壁 4B 的侧面隔开一个与侧壁 12B 的厚度相对应的距离的位置处,形成漏极侧硅化层 7(7d)的控制栅电极 CG 侧的端部分。也就是,在硅化层 7(7d)的控制栅电极 CG 侧的端部分,与漏极的 n^- 型半导体区域

5Dm 和漏极的 n^+ 型半导体区域 5Dp 之间的接合面（接合端）或控制栅电极 CG 侧的漏极的 n^+ 型半导体区域 5Dp 和半导体衬底 1S 之间的接合面（接合端）之间，保证一个与侧壁 12B 的厚度近似相对应的间隔。

[0142] 结果，即使漏极侧的半导体衬底 1S 的主表面稍微凹陷，或即使在硅化层 7d 的下表面上形成凸起部分，硅化层 7d 的前述端部分和该凸起部分也与漏极的 n^- 型半导体区域 5Dm 和漏极的 n^+ 型半导体区域 5Dp 之间的接合面（接合端）或控制栅电极 CG 侧的漏极的 n^+ 型半导体区域 5Dp 和半导体衬底 1S 之间的接合面（接合端）之间隔开。因此，即使在硅化层 7d 的下表面上形成凸起部分，该凸起部分也难以突出到 n^+ 型半导体区域 5Dp 的外面。

[0143] 因此，可以减少或消除从硅化层 7d 的端部分流向位于漏极的 n^- 型半导体区域 5Dm 之下的半导体衬底 1S 的泄漏电流，并且因此可抑制或防止由泄漏电流所引起的前述错误读出缺陷。结果，可以改进具有非易失存储器的半导体器件的操作可靠性。

[0144] 在本实施例中，使用侧壁 12F 和 12G 用作掩膜，形成外围电路区域 P 中 MISFETQn 的源极和漏极的硅化层 7。也就是，以与侧壁 12F 和 12G 自对准的方式形成 MISFETQn 的源极和漏极的硅化层 7。因此，如图 23 所示，在与侧壁 4C 和 4D 的侧面隔开一个与侧壁 12F 和 12G 各自的厚度相对应的距离的位置处，形成源极和漏极的硅化层 7 的栅电极 FG 侧的端部分。也就是，能在各硅化层 7 的栅电极 FG 侧的端部分，与漏极的 n^- 型半导体区域 15a 和漏极的 n^+ 型半导体区域 15b 之间的接合面（接合端）或栅电极 FG 侧的 n^+ 型半导体区域 15b 和半导体衬底 1S 之间的接合面（接合端）之间，保证与侧壁 12F 和 12G 各自的厚度近似相对应的间隔。

[0145] 结果，即使源极和漏极侧的半导体衬底 1S 的主表面部分稍微凹陷，或即使在各硅化层 7 的下表面上形成凸起部分，硅化层 7 的前述上端部分和该凸起部分也与漏极的 n^- 型半导体区域 15a 和漏极的 n^+ 型半导体区域 15b 之间的接合面（接合端）或栅电极 FG 侧的漏极的 n^+ 型半导体区域 15b 和半导体衬底 1S 之间的接合面（接合端）之间隔开。因此，即使在 MISFETQn 中硅化层 7 的下表面上形成凸起部分，该凸起部分也难以突出到 n^+ 型半导体区域 15b 的外面。

[0146] 因而，在外围电路区域 P 中的 MISFETQn 中，可以减少或消除从硅化层 7 的端部分流向位于漏极的 n^- 型半导体区域 15a 之下的半导体衬底 1S 的泄漏电流。因此，能减少半导体器件的备用期间的泄漏电流，并且因而能减少具有非易失存储器的半导体器件的功率消耗。

[0147] 而且，如图 24 所示，在本实施例中，因为在从各隔离区域 10 的上表面上的凹陷 11 暴露的半导体衬底 1S 的侧面上形成侧壁 12C，所以能抑制或防止侧面的硅化反应。

[0148] 因此，在隔离区域 10 中邻近凹陷 11 的半导体衬底 1S 的部分中，能抑制或防止硅化层 7 沿隔离沟 10t 的侧面在半导体衬底 1S 的厚度方向上延伸。结果，可以减少沿半导体衬底 1S 的厚度方向从硅化层 7 流出的泄漏电流。也就是，因为能减少具有非易失存储器的半导体器件的备用期间的泄漏电流，所以可减小功率消耗。

[0149] 接下来，如图 25 所示，例如通过 CVD 在半导体衬底 1S 的主表面上淀积例如氧化硅的绝缘膜 20，并且随后形成接触孔 21，使硅化层 7 的上表面部分地暴露。

[0150] 然后，例如通过溅射和 CVD 两者，在绝缘膜 20 上淀积例如氮化钛的阻挡金属膜，其后，例如通过 CVD 在阻挡金属膜上淀积例如钨的主布线金属膜，并且将这些金属膜埋置在

接触孔 21 中。

[0151] 其后,通过化学机械抛光(CMP)除去在绝缘膜 20 上的金属膜,以分别在接触孔 21 之内形成塞 22。塞 22 的下端与硅化层 7 接触并电耦合。

[0152] 通过随后的常规布线工艺、检查工艺和组装工艺,完成具有非易失存储器的半导体器件的制造。

[0153] 虽然以上已经通过其实施例描述了本发明,但是不用说本发明不限于以上实施例,而在不违反本发明的精神的范围内,可以实现各种各样的改变。

[0154] 例如,非易失存储器中用于电荷存储的绝缘膜不限于氮化硅膜,而可以进行各种各样的改变。例如,可以使用这样一种材料或配置,使得允许形成绝缘陷阱层,如氧化铝(Al_2O_3)。

[0155] 本发明可应用于制造具有非易失存储器的半导体器件的制造工业。

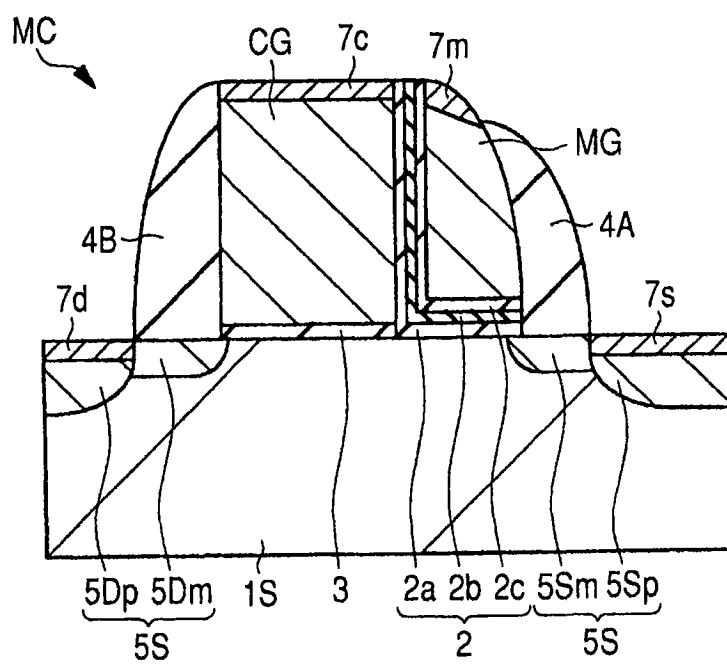


图 1

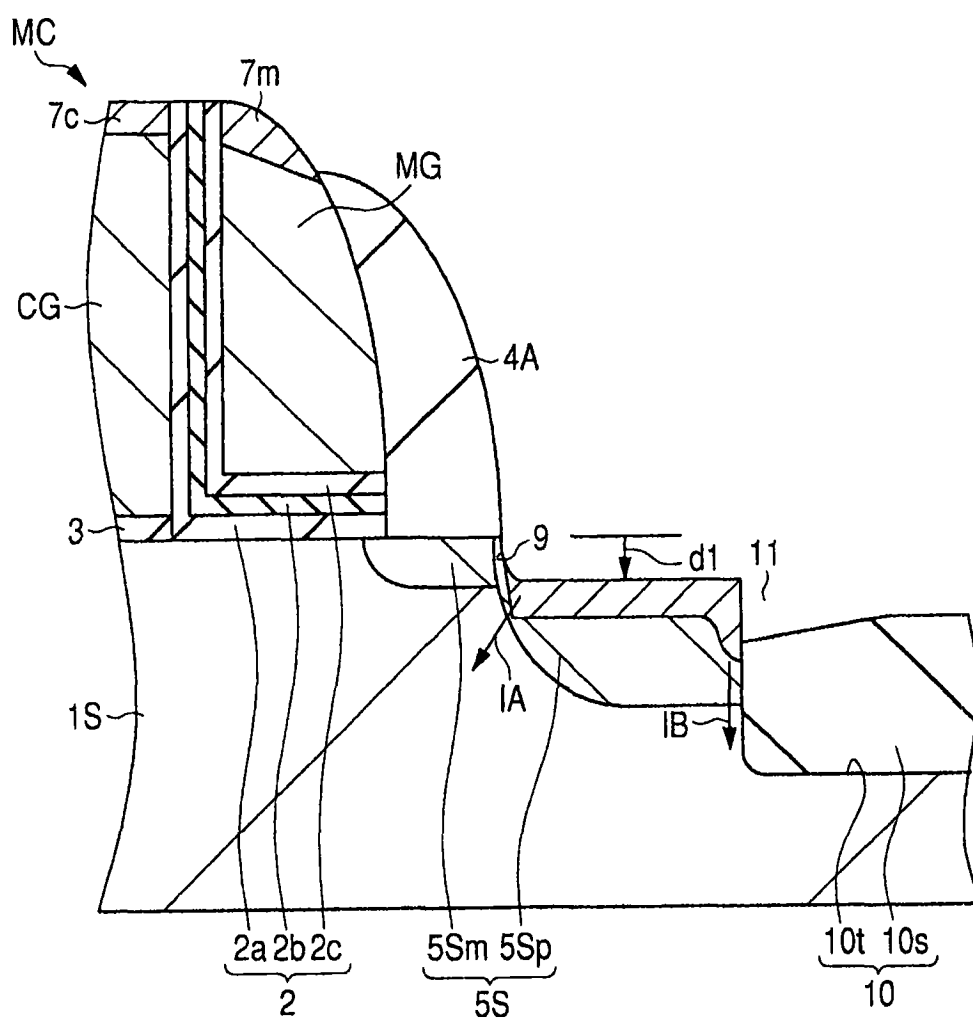


图 2

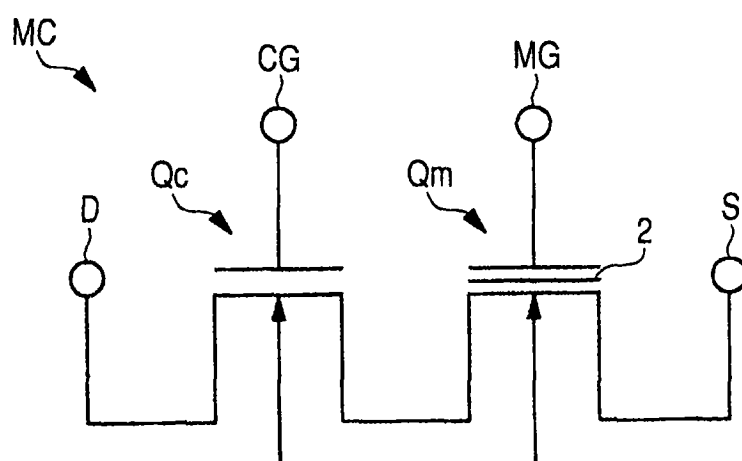


图 3

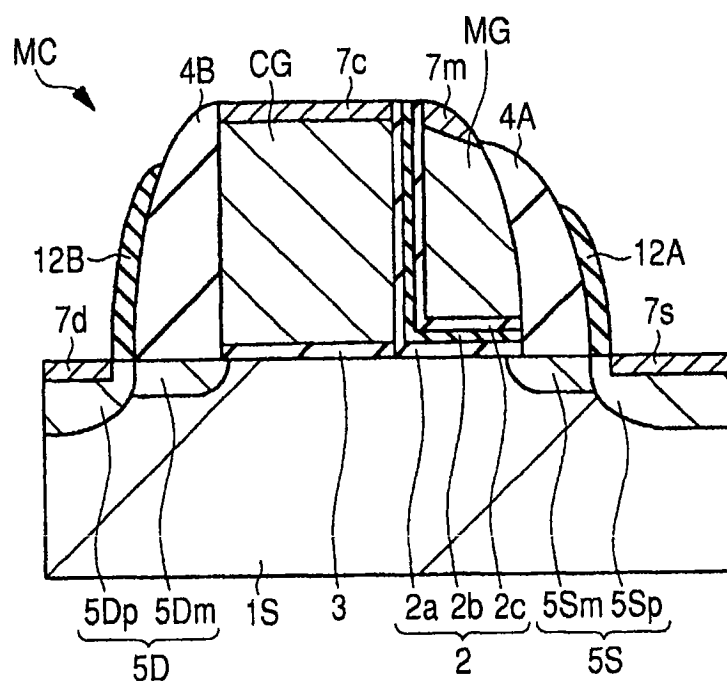


图 4

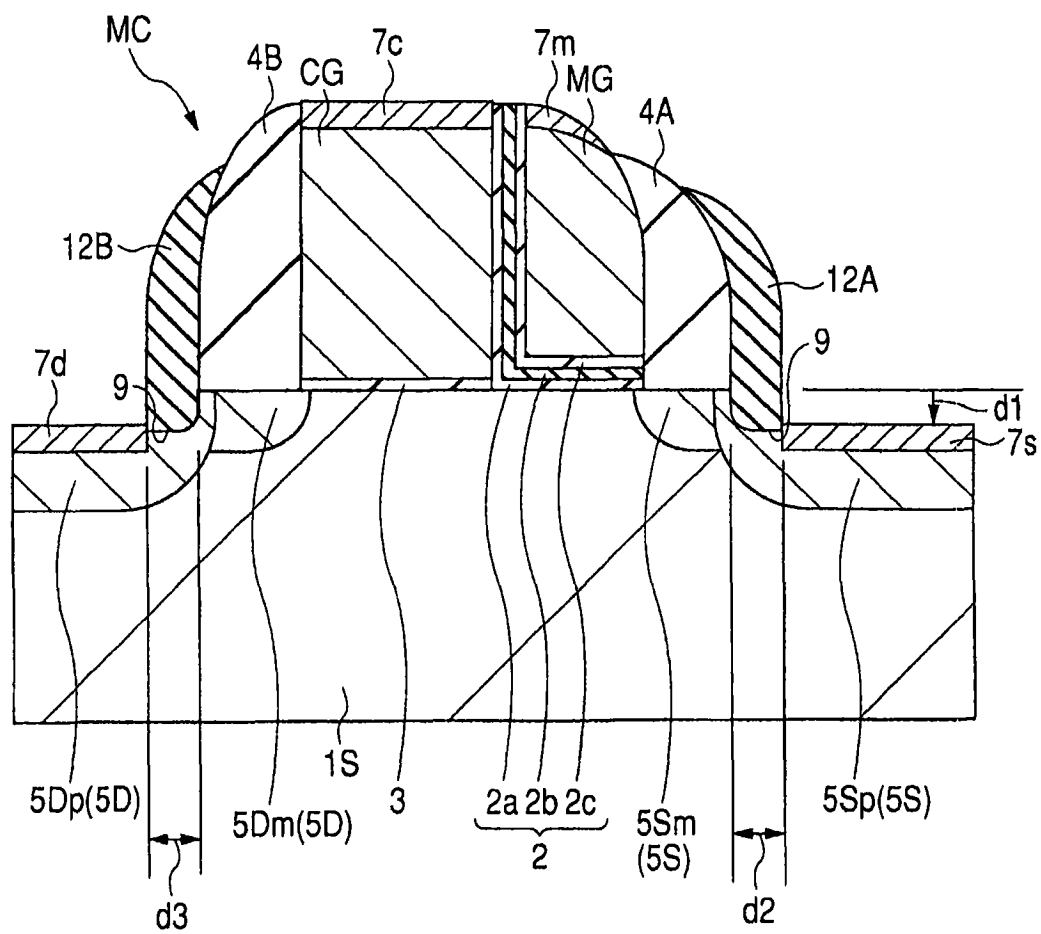


图 5

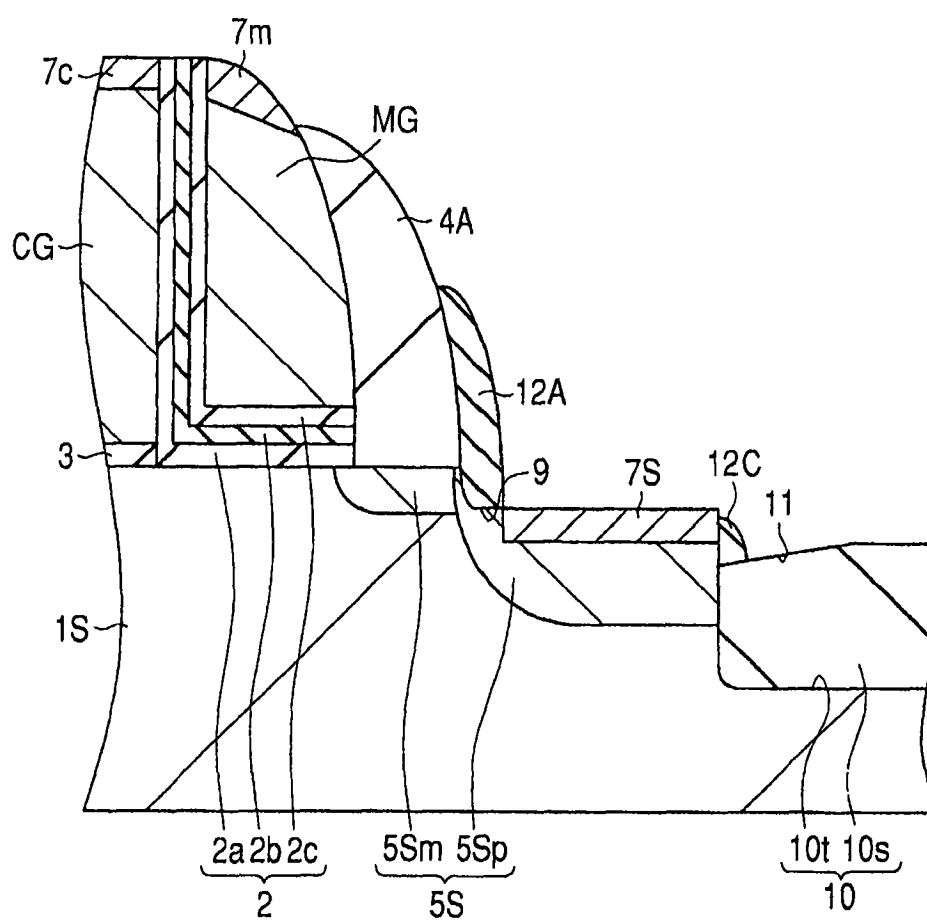


图 6

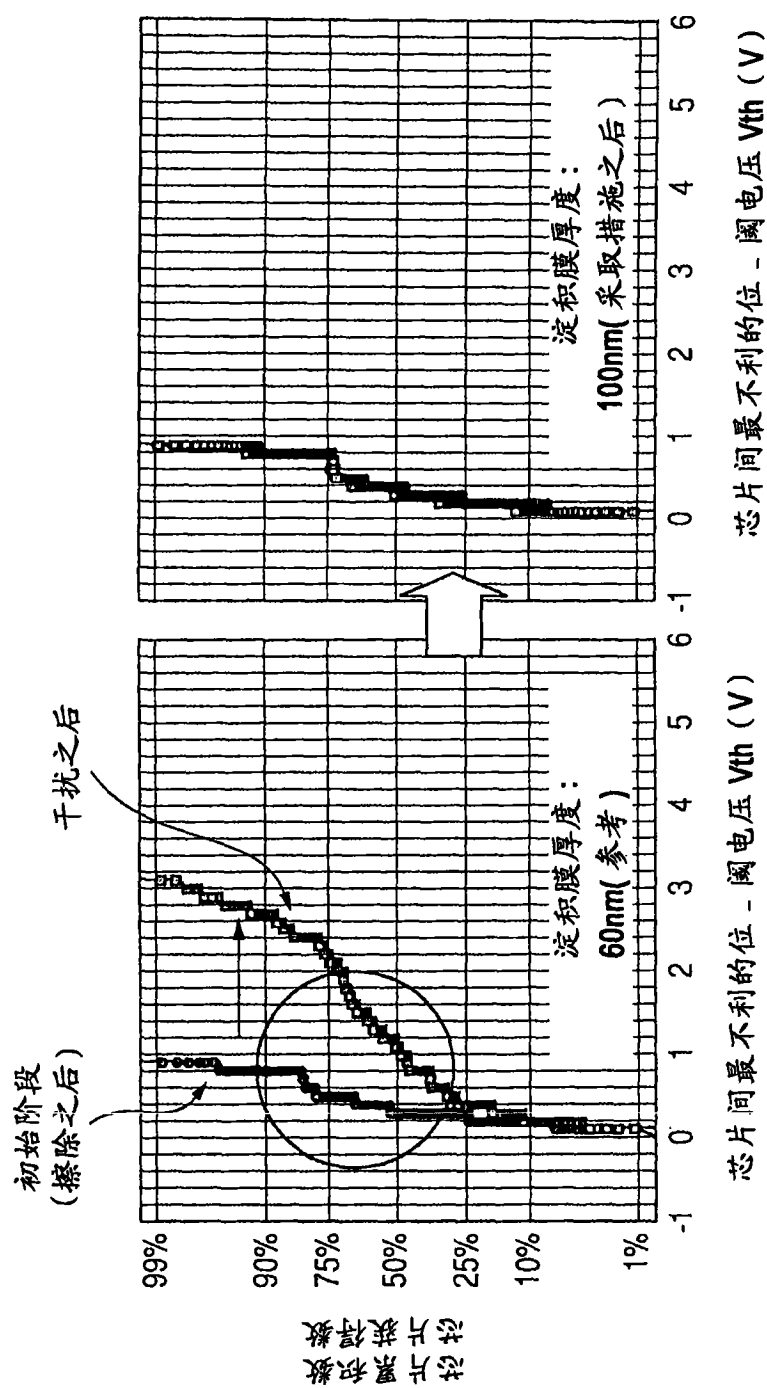
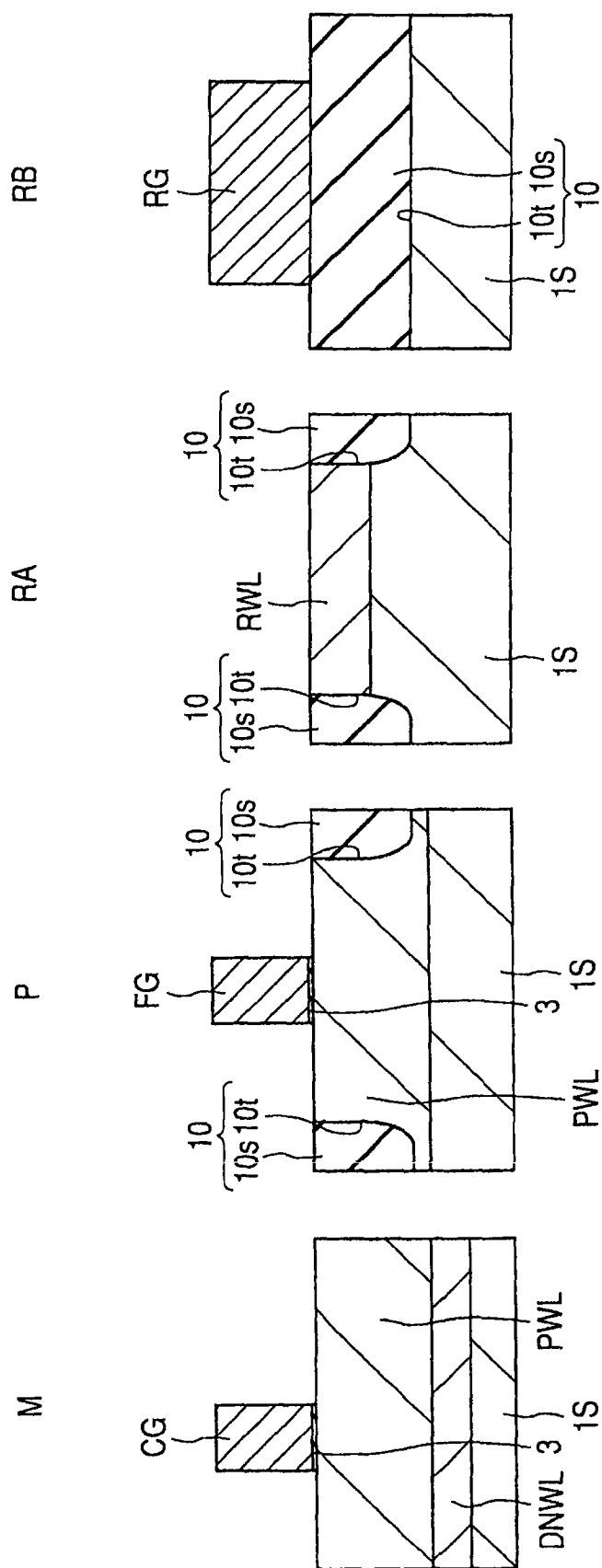
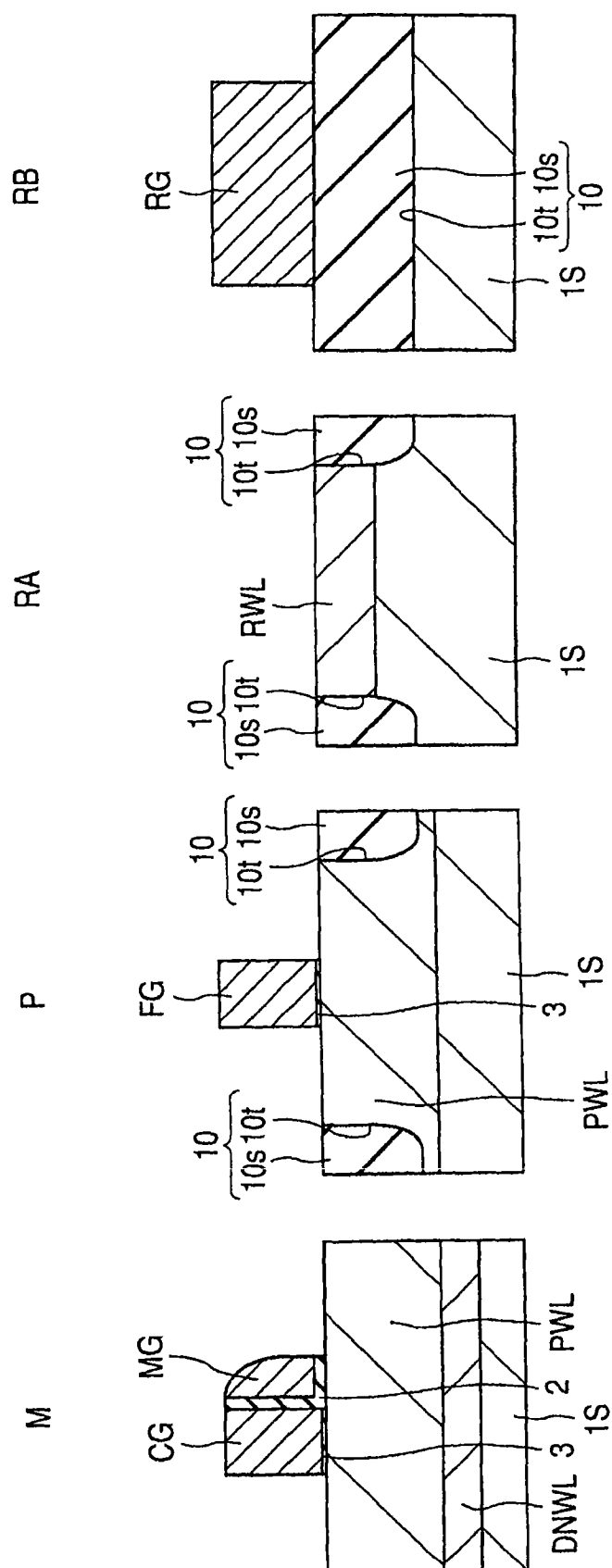


图 7



8
[Illegible]



四 9

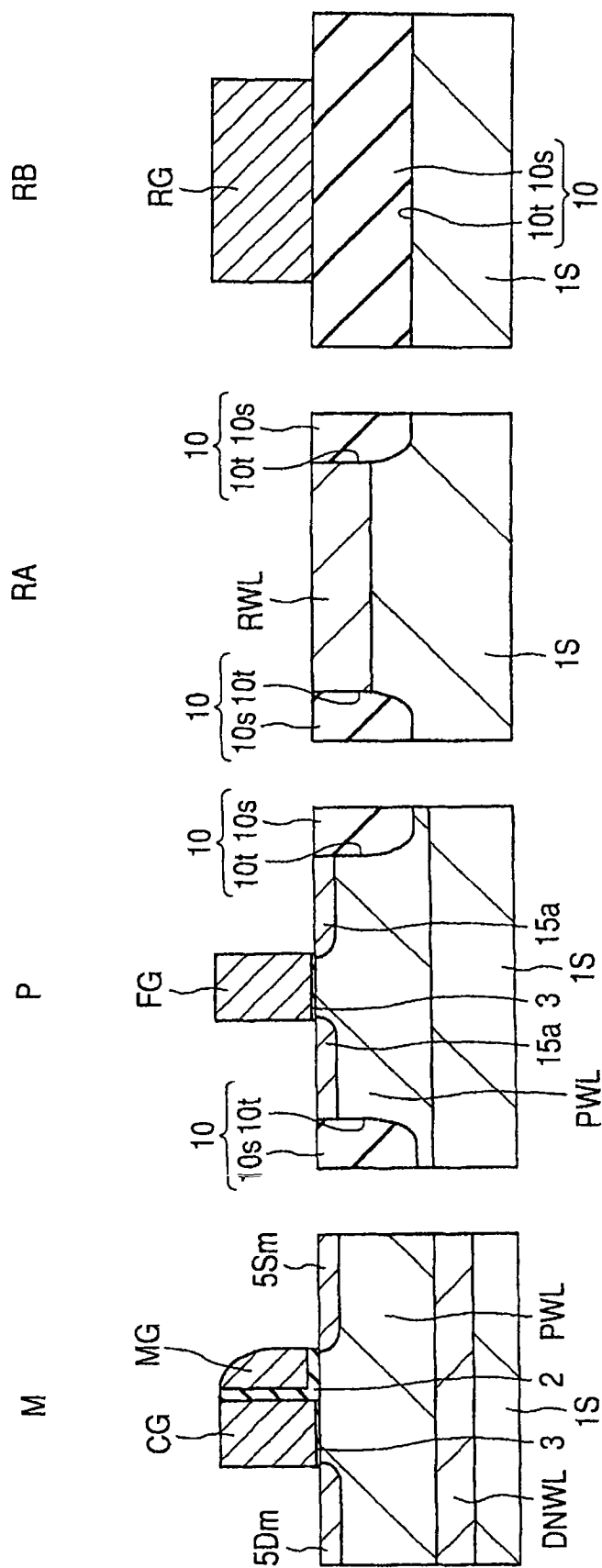


图 10

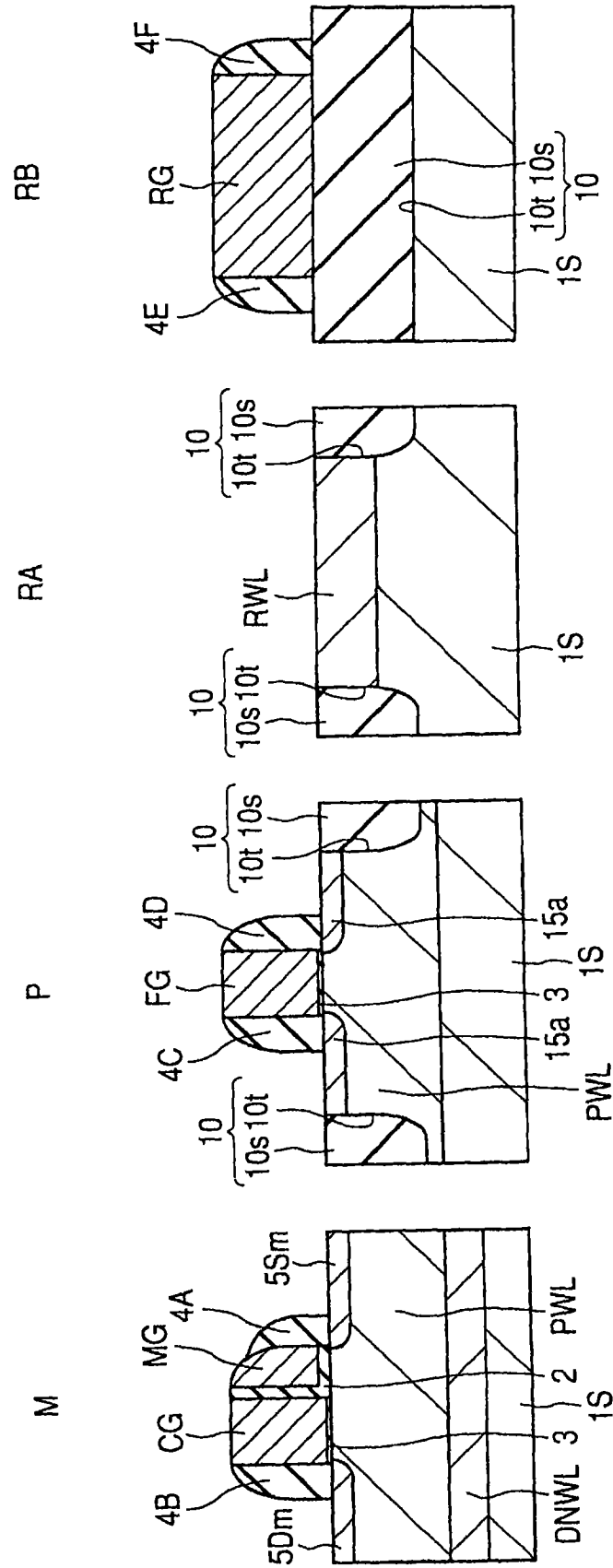


图 11

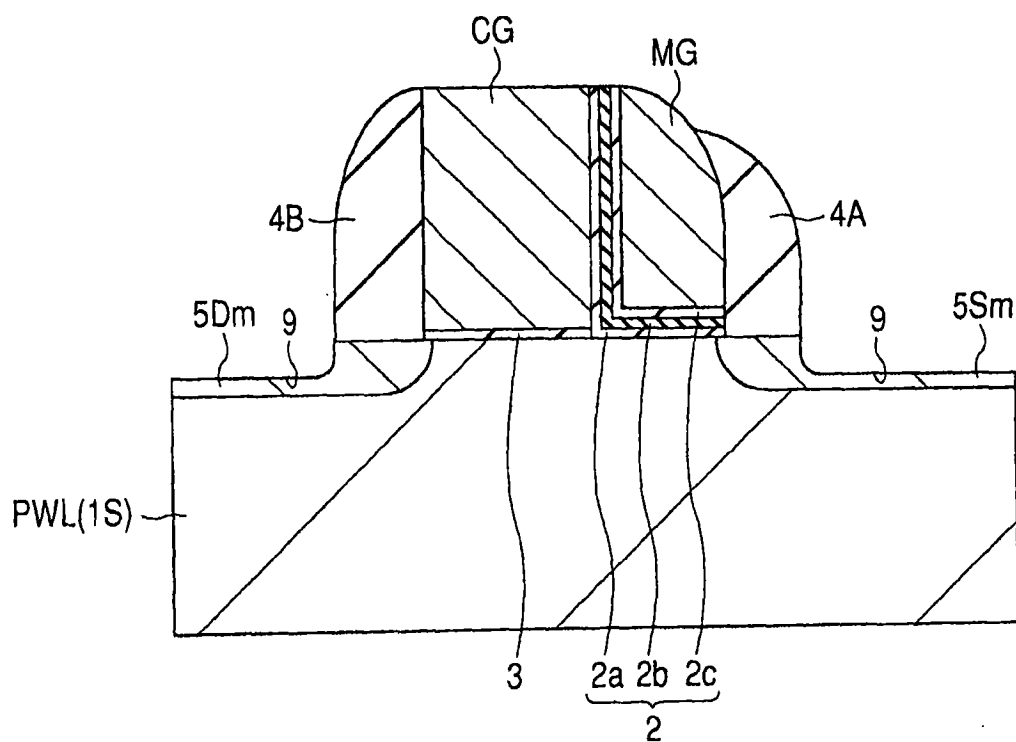


图 12

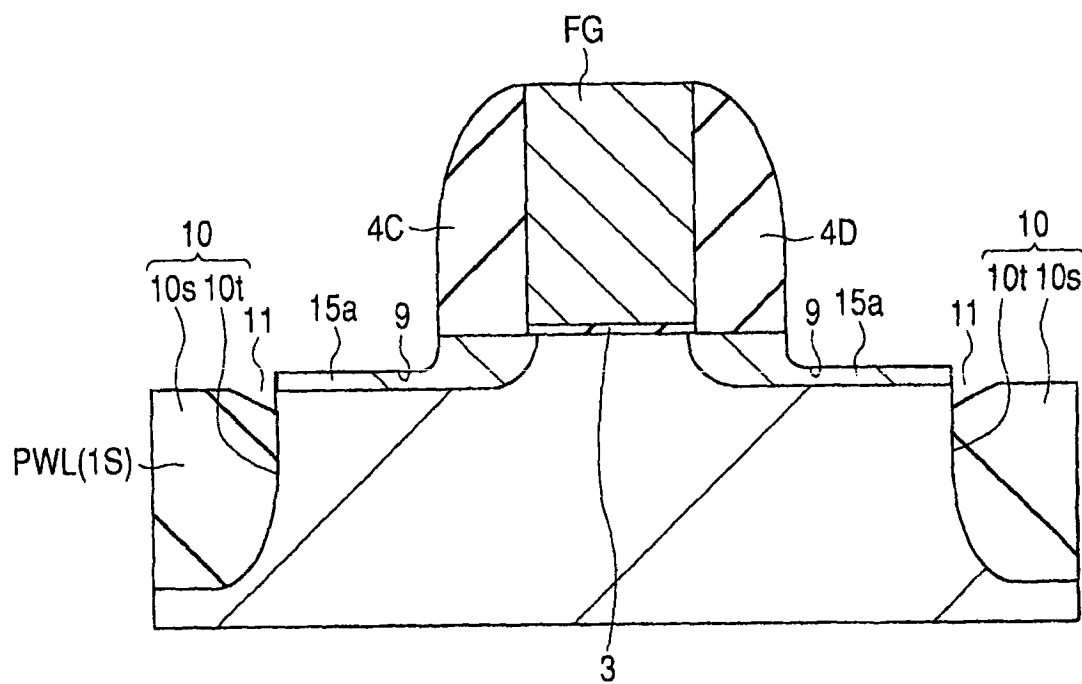


图 13

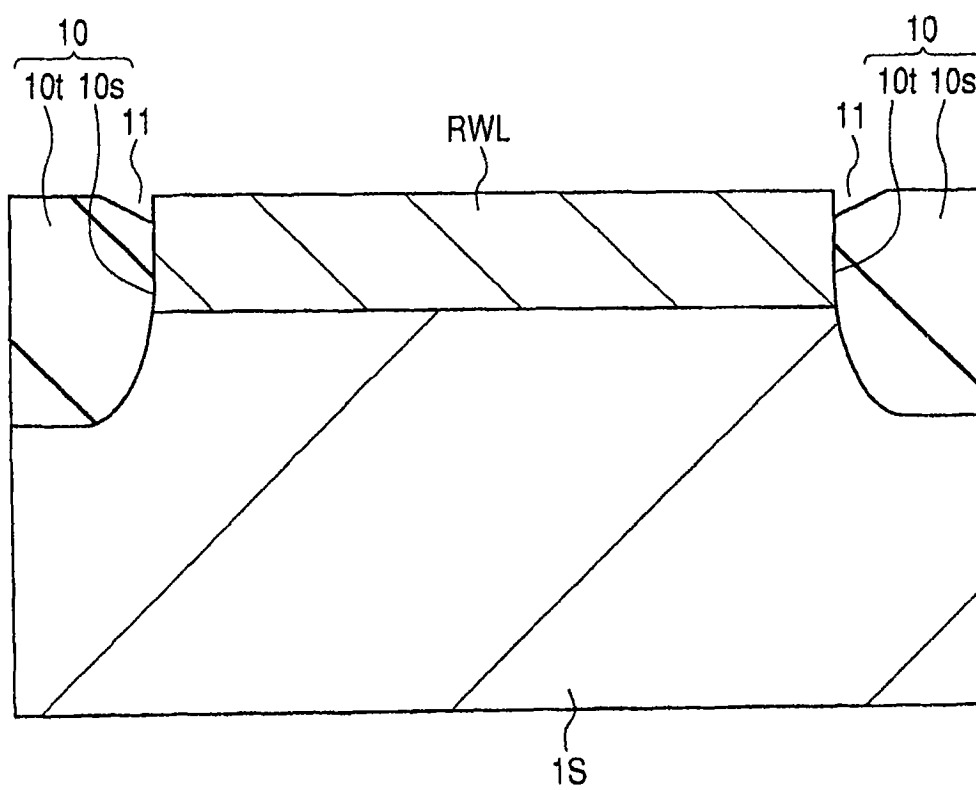


图 14

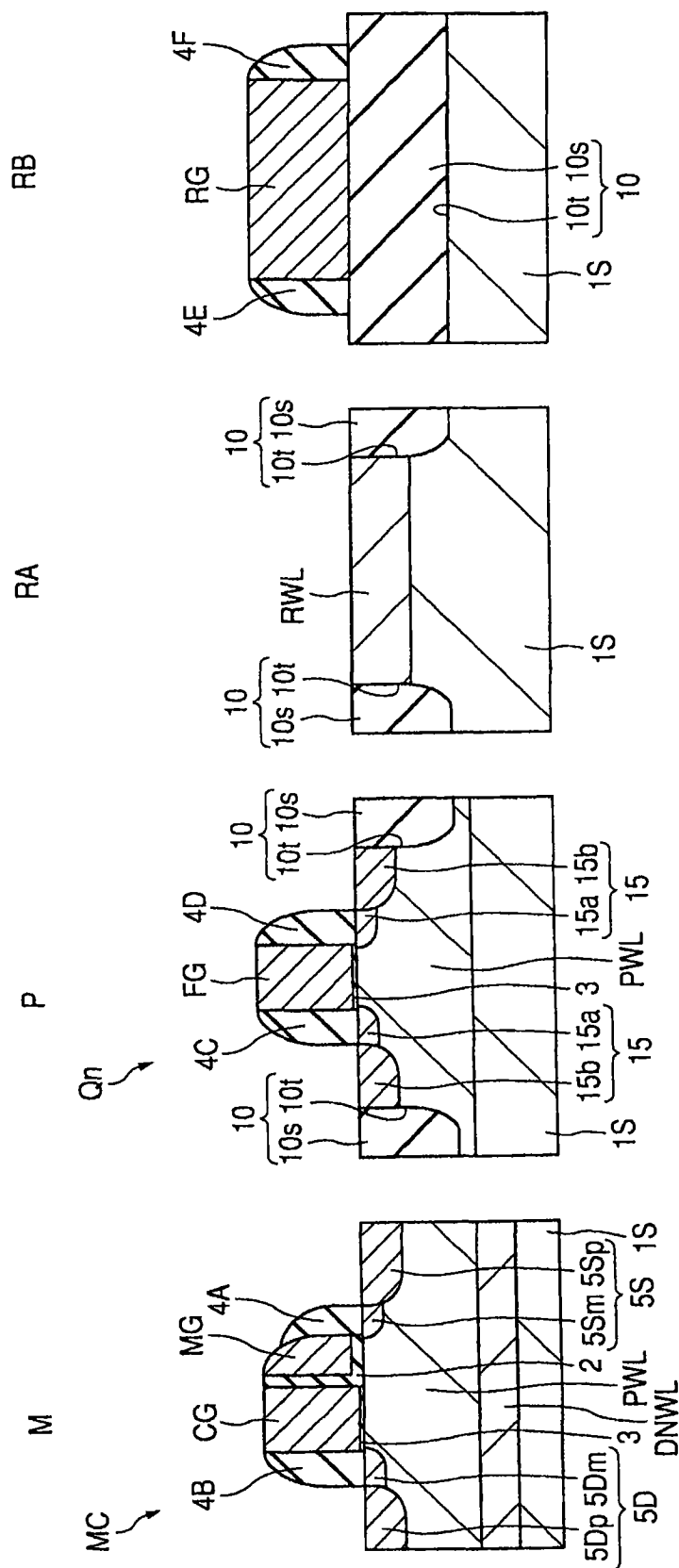


图 15

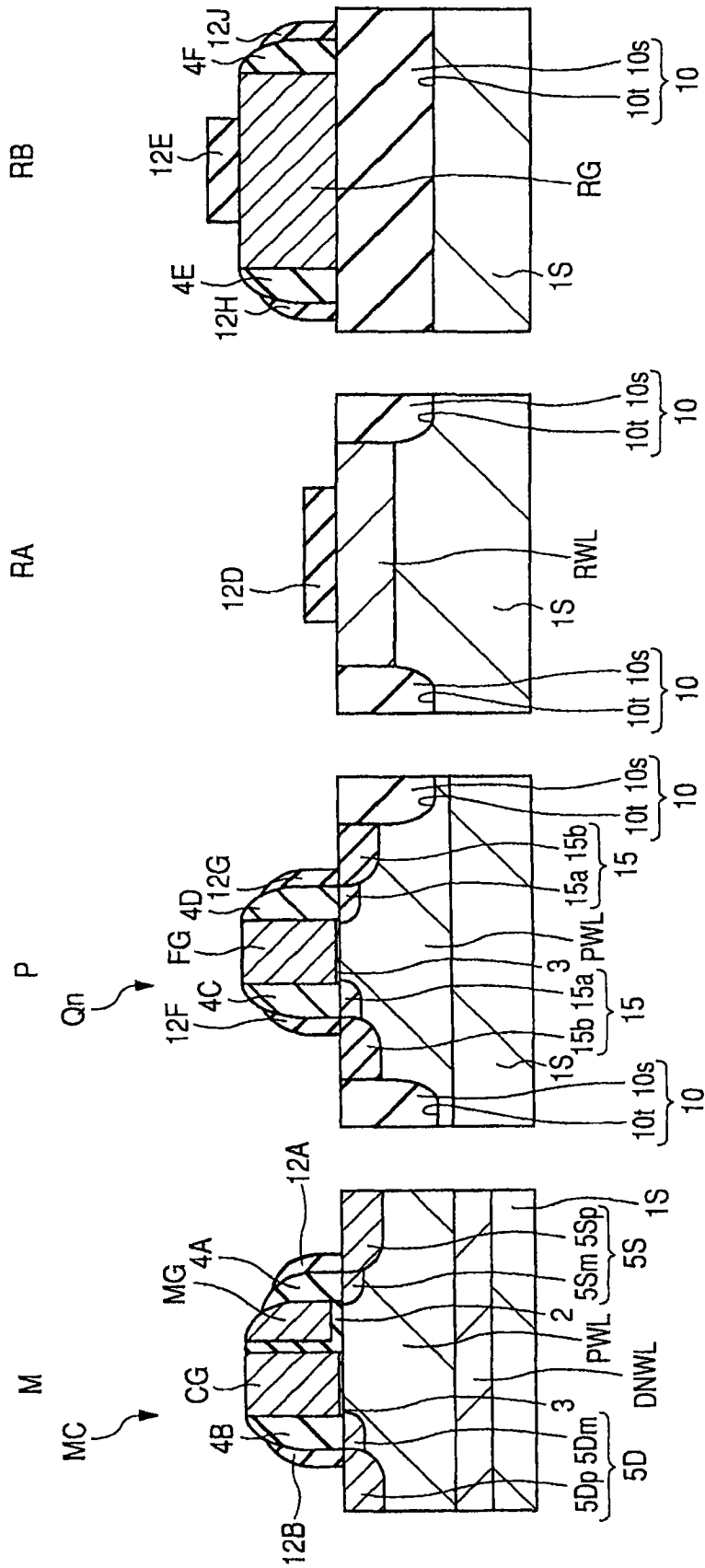


图 17

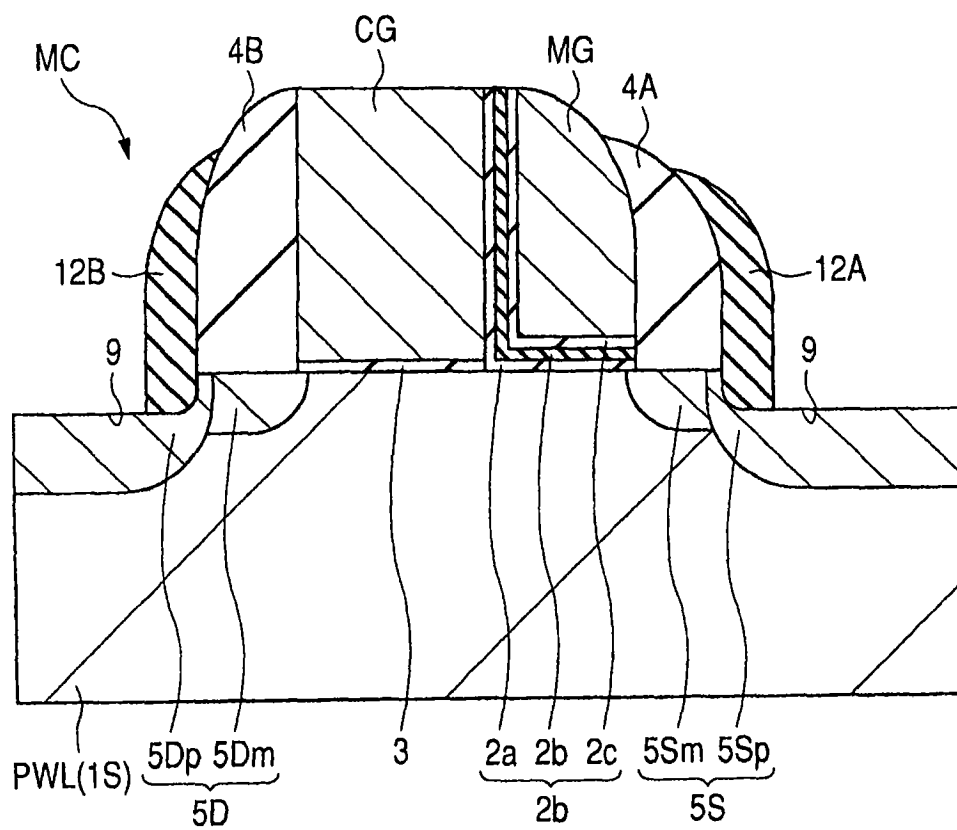


图 18

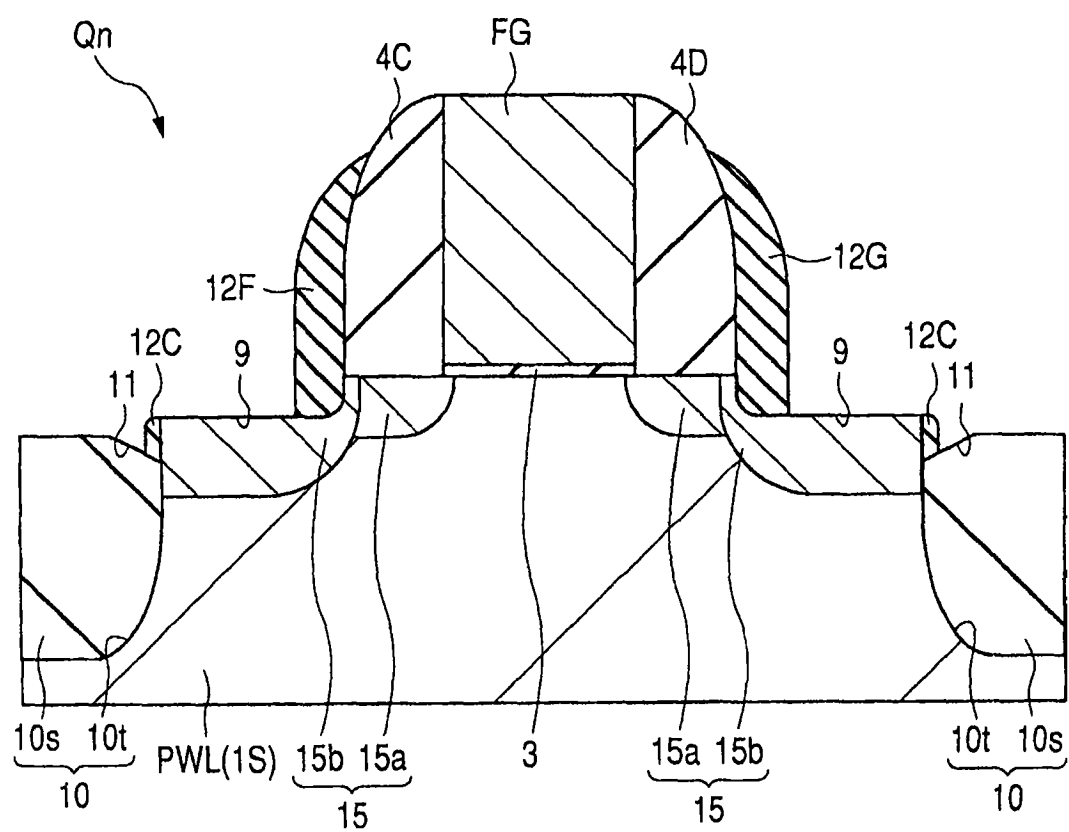


图 19

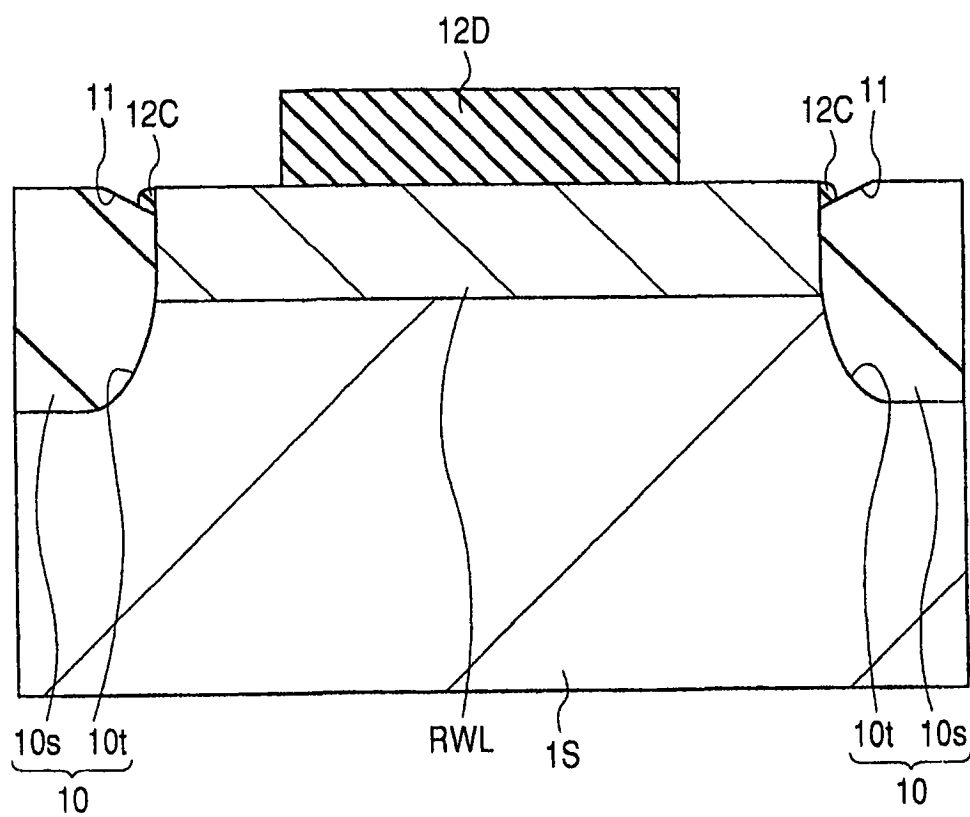


图 20

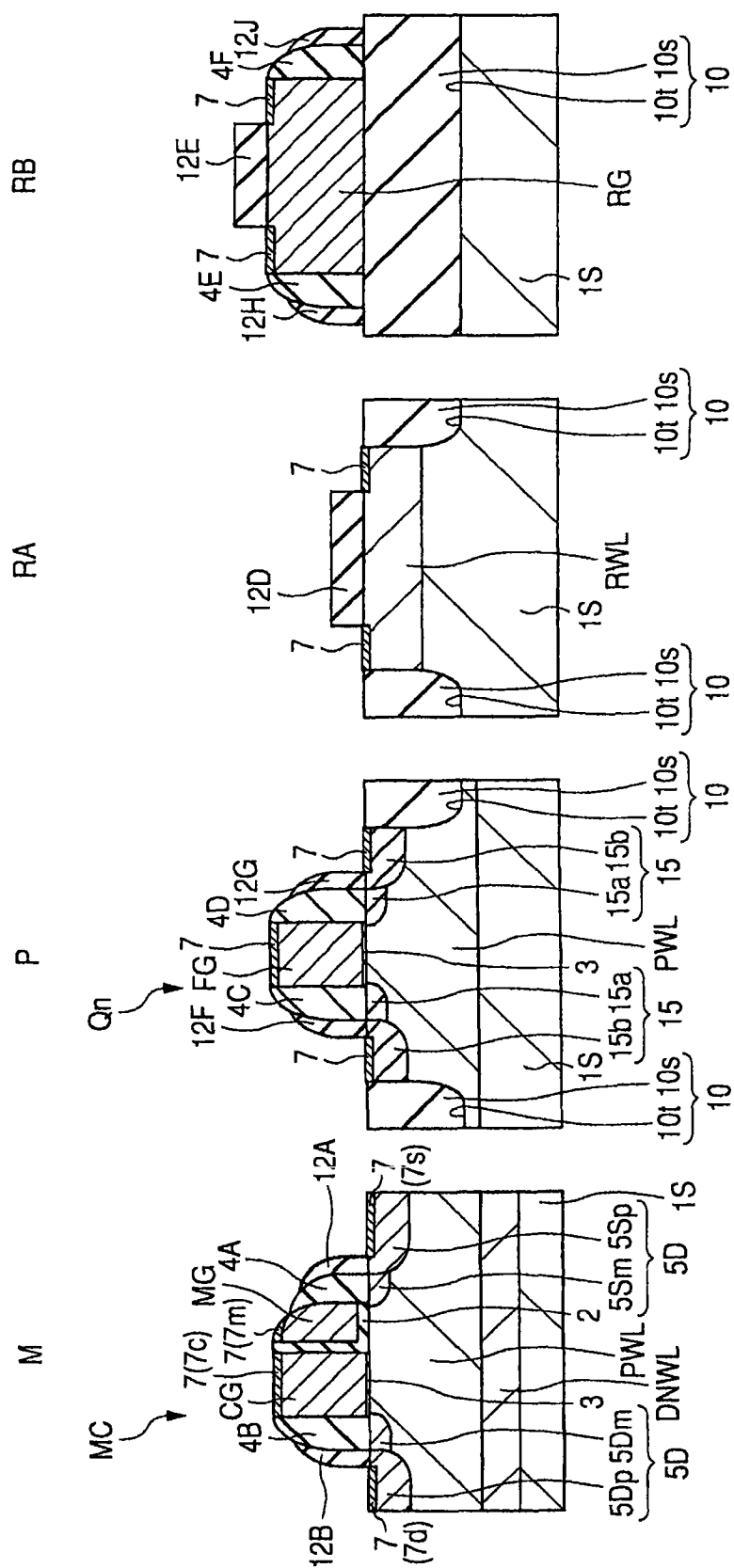


图 21

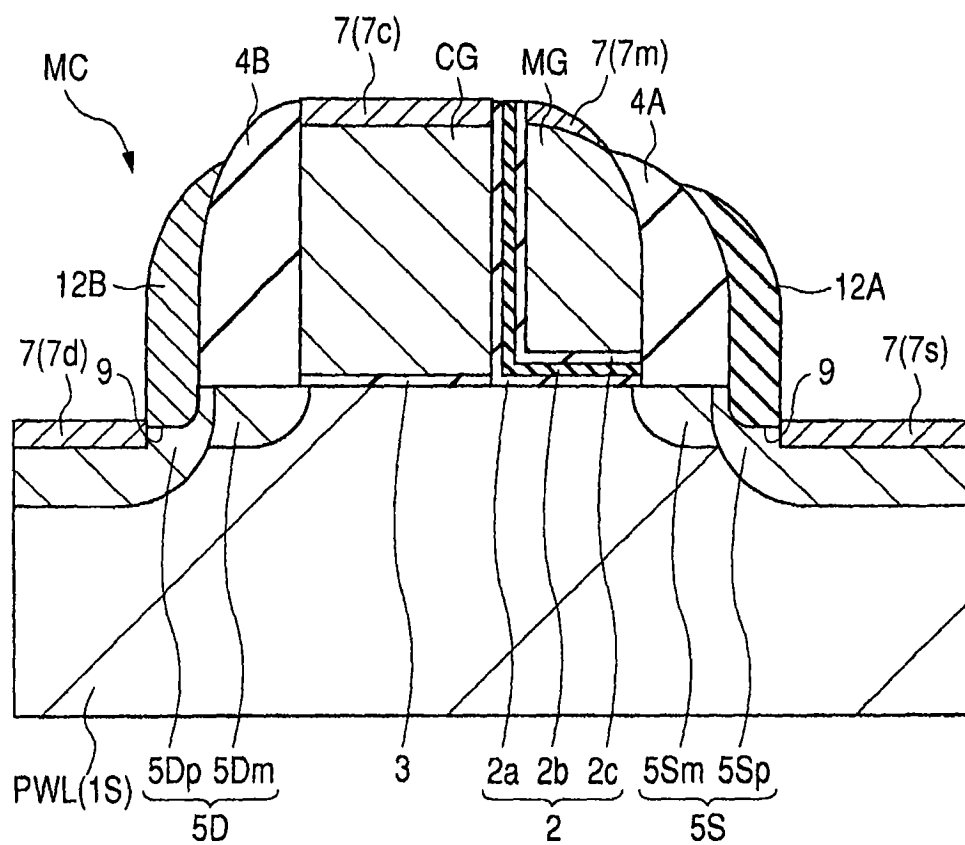


图 22

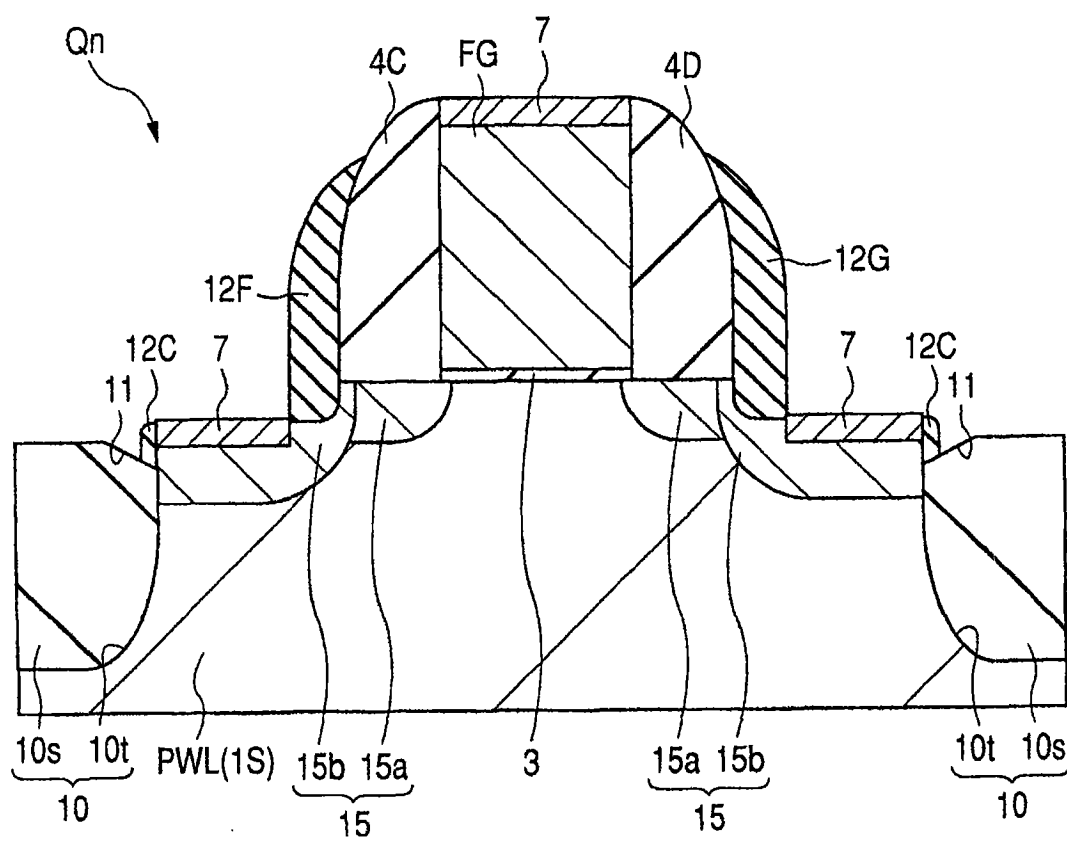


图 23

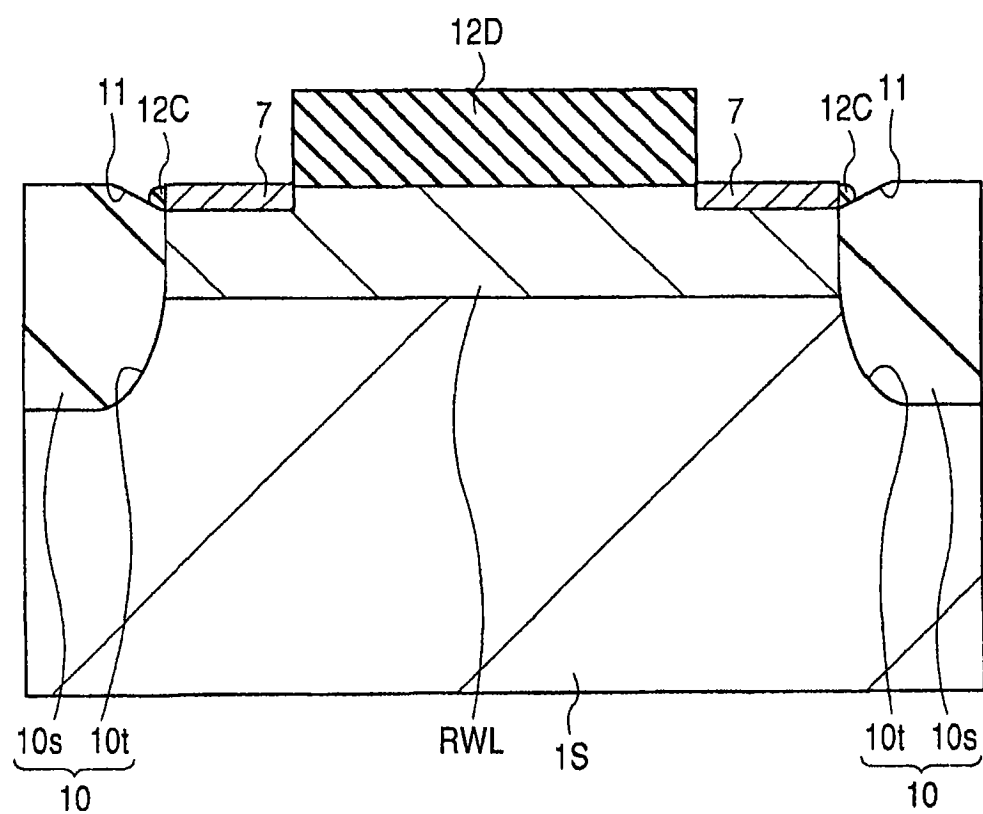


图 24

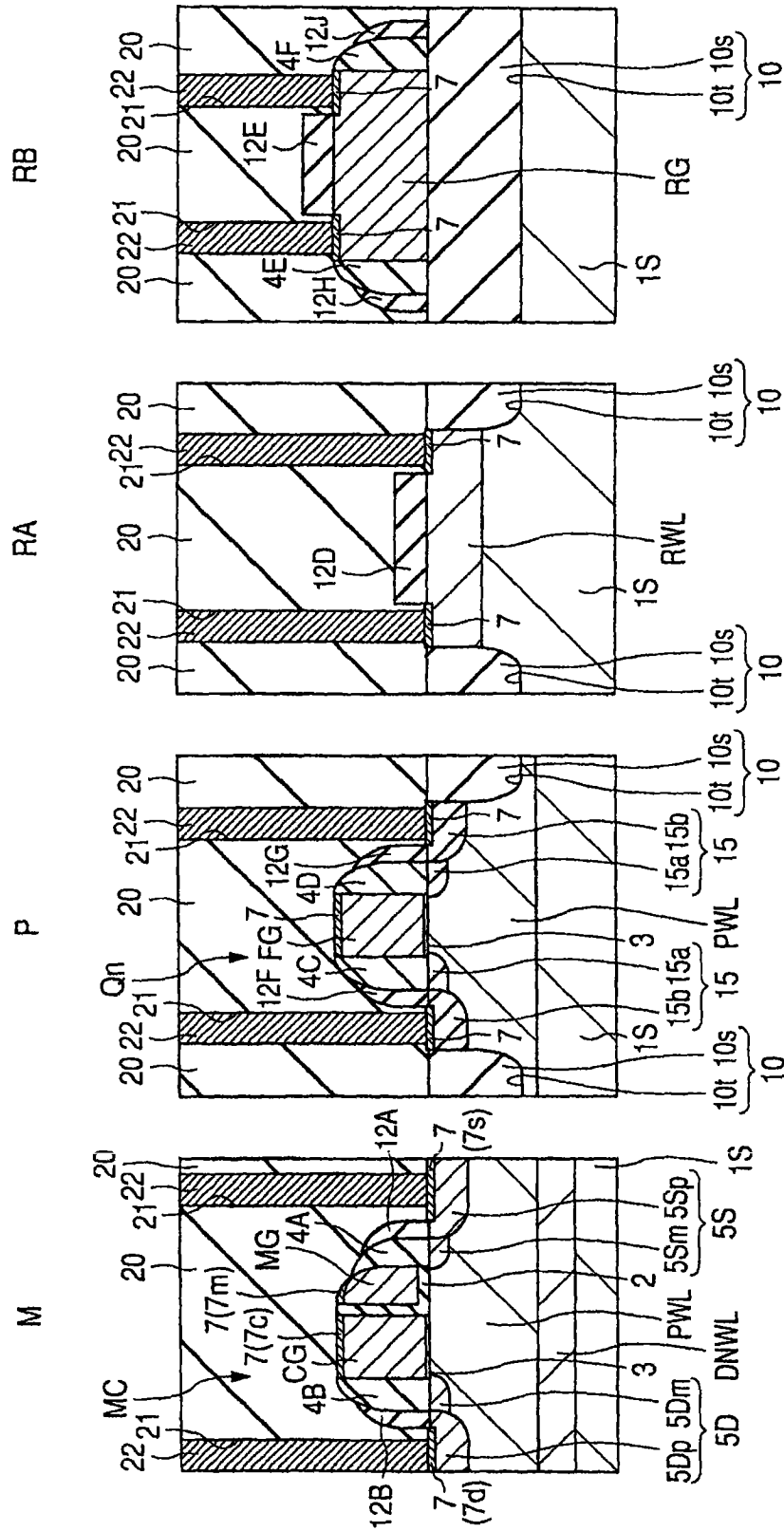


图 25