(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/04

(45) 공고일자 2001년07월12일
(11) 등록번호 10-0294412
(24) 등록일자 2001년04월16일

(21) 출원번호 10-1997-0000189
(22) 출원일자 1997년01월07일

(65) 공개번호 특1997-0067910
(43) 공개일자 1997년10월13일

(30) 우선권주장 96-76305 1996년03월29일 일본(JP)

(73) 특허권자
미쓰비시덴키 가부시키가이샤
다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고

(72) 발명자
야마구치 야스오
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
사토 히로토시
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
이노우에 야스오
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내
이와마츠 토시아키
일본 도쿄도 지요다쿠 마루노우치 2-2-3 미쓰비시 덴키가부시끼 가이샤 내

(74) 대리인
김창세

심사관 : 정해곤

# (54) 실리콘온인슐레이터(SOI)구조를갖는입/출력보호회로

요약

본 발명의 입/출력 보호 회로는 입력 단자(30)와 전원선(32)의 사이에 접속된 P채널 MOS 트랜지스터(34)와, 입력 단자(30)와 접지선(33)의 사이에 접속된 N채널 MOS 트랜지스터(35)를 구비한다. 트랜지스터(34, 35)의 게이트 전극(34a, 35a)은 모두 플로팅 상태로 된다. 다른 실시예에서는 트랜지스터(34, 35) 대신에 게이트 다이오드(38, 39)가 사용된다. 또 다른 실시예에서는 게이트 전극(34f, 35f)이 필드 차폐용의 게이트 전극과 같은 층에 형성된다.

대표도
도 3

명세서

## 도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 입/출력 보호 회로의 구성을 도시한 회로도,

도 2는 도 1의 입/출력 보호 회로의 구조를 도시한 평면도,

도 3은 도 2의 Ⅲ-Ⅲ 선을 따라 절단한 단면도,

도 4는 본 발명의 실시예 2에 따른 입/출력 보호 회로의 구성을 도시한 회로도,

도 5는 도 4의 입/출력 보호 회로의 구조를 도시한 단면도,

도 6은 본 발명의 실시예 3에 따른 입/출력 보호 회로의 구조를 도시한 단면도,

도 7은 도 6의 입/출력 보호 회로에 의해 보호되는 게이트 어레이의 구조를 도시한 평면도,

도 8은 도 7의 Ⅷ-Ⅷ 선을 따라 절단한 단면도,

도 9는 본 발명의 실시예 4에 따른 입/출력 보호 회로의 구조를 도시한 평면도,

도 10은 도 9의 Ⅹ-Ⅹ선을 따라 절단한 단면도,

도 11은 본 발명의 실시예 5에 따른 입/출력 보호 회로의 구조를 도시한 평면도,

도 12는 본 발명의 실시예 6에 따른 입/출력 보호 회로의 구조를 도시한 평면도,

도 13은 본 발명의 실시예 7에 따른 입/출력 보호 회로 및 각각에 의해 보호되는 내부회로의 구조를 도시하는 단면도,

도 14는 도 13 의 입/출력 보호 회로의 구조를 도시하는 평면도,

도 15는 본 발명의 실시예 8에 따른 입/출력 보호 회로의 구조를 도시하는 평면도,

도 16은 도 15의 ⅩⅥ-ⅩⅥ선을 따라 절단한 단면도,

도 17은 종래의 입력 보호 회로의 구성을 도시한 회로도,

도 18은 도 17의 입력 보호 회로에 의해 보호되는 내부회로의 일예를 도시하는 회로도,

도 19는 본 발명에 따른 입/출력 보호 회로의 구성을 도시하는 회로도,

도 20은 도 19의 입/출력 보호 회로의 구조를 도시하는 평면도,

도 21은 도 20의 XXI-XXI선을 따라 절단한 단면도,

도 22는 본 발명에 따른 입/출력 보호 회로의 다른 구조를 도시하는 단면도.

## 도면의 주요 부분에 대한 부호의 설명

1 : 실리콘 기판2 : 매립 산화막

3 : 실리콘박막30 : 입력 단자

32 : 전원선33 : 접지선

34 : P채널 MOS 트랜지스터35 : N채널 MOS 트랜지스터

38, 39 : 다이오드

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 입/출력 보호 회로에 관한 것으로, 특히 실리콘 온 인슐레이터(Silicon-On-Insulator:SOI)형 전계 효과 트랜지스터를 이용한 반도체 장치에 있어서의 입/출력 보호 회로에 관한 것이다.

벌크 실리콘 기판상의 MOS 디바이스의 경우는 서지(surge)를 p-n 접합을 통해서 기판으로 방전시킬 수 있지만, 절연층상에 MOS 트랜지스터 등을 형성한 SOI 디바이스의 경우는 기판이 절연층에 의해 전기적으로 분리되므로 서지를 기판으로 방전시킬 수 없다. 특히, 소스 영역 및 드레인 영역이 매립 산화막(절연층)까지 도달하는 박막 SOI 구조에서는 종방향의 접합이 존재하지 않으므로 서지는 횡방향으로 방전시킬 필요가 있다. 이 때문에, 서지는 다이오드 또는 MOS 트랜지스터를 통해서 횡방향의 전원선 또는 접지선으로 방전되게 된다.

도 17은 종래의 입력 보호 회로의 일예를 도시하는 회로도이다. 도 17을 참조하면, 이 입력 보호 회로는 입력 단자(30)와 내부 회로(31)의 사이에 접속되며, 돌입저항(rush resistor)(36), 내부저항(37), 다이오드(38, 39)를 구비한다.

도 18은 내부회로(31)의 전형적인 예인 인버터를 도시한 회로도이다. 도 18을 참조하면, 인버터는 P채널 MOS 트랜지스터(44) 및 N채널 MOS 트랜지스터(45)를 구비한다. 이러한 예에서는 도 17에 도시된 보호 회로는 인버터의 입력 노드(72)에 접속되며, 이에 의해 입력 단자(30)를 통해 인가되는 서지로부터 인버터를 보호한다.

한편, 보호 회로는 인버터의 출력 노드(73)에 접속되어도 좋다. 이 때, 보호 회로는 출력 노드(73)를 통해 인가되는 서지로부터 인버터를 보호하기 때문에, 출력 보호 회로로 칭해진다. 이하, 입력 보호 회로 및 출력 보호 회로를 총칭해서 입/출력 보호 회로로 칭한다.

다음으로, 도 17에 도시된 입/출력 보호 회로의 동작을 설명한다. 정전기에 의한 서지가 입력 단자(30)를 통해 인가되면, 우선, 돌입 저항(36)이 서지를 지연시켜 다이오드(38, 39)로의 급격한 진입을 방지한다. 돌입 저항(36)을 통과한 서지는 신호선(71)에 인가되며, 또 다이오드(38)에 의해 전원선(32)으로 또는 다이오드(39)에 의해 접지선(33)으로 빠르게 방전된다. 여기서, 내부저항(37)은 서지를 내부회로(31)의 방향으로 흐르지 않게 하고, 다이오드(38) 및 (39)의 방향으로 흐르게 한다.

예를 들어, 정(positive)의 고전압 서지가 인가되면, 다이오드(39)의 p-n 접합은 항복하고, 서지는 접지선(33)으로 방전된다. 이와 동시에, 다이오드(38)는 순방향으로 바이어스되고, 서지는 전원선(32)으로 방전된다. 한편, 부(negative)의 고전압 서지가 인가되면, 다이오드(38)의 p-n 접합이 항복(break down)하며, 서지가 전원선(32)으로 방전된다. 이와 동시에 다이오드(39)가 순방향으로 바이어스되며, 서지가 접지선(33)으로 방전된다. 또, 입력 단자(30)에

제공되는 통상의 입력 신호는 신호선(71)을 경유해서 그대로 내부회로(31)로 전달된다.

## 발명이 이루고자 하는 기술적 과제

이와 같은 입/출력 보호 회로의 서지 내성은 일반적으로 소자가 미세화함에 따라 저하하는 경향이 있다. 또, 미세화에 따라 SOI 구조가 채용되는 경향도 있다. 따라서, SOI 구조의 반도체 장치에 있어서는 보다 높은 서지 내성을 구비한 입/출력 보호 회로가 필요해진다.

그러므로, 본 발명의 주된 목적은 서지 내성이 높은 입/출력 보호 회로를 제공하는 것이다.

## 발명의 구성 및 작용

본 발명의 한 특징에 따르면, 입력 단자/출력 단자와 복수의 MOS 트랜지스터를 구비한 내부회로의 사이에 접속되는, 절연층상에 형성된 입/출력 보호 회로는 제 1 MOS 소자를 구비한다. 제 1 MOS 소자는 절연층상에 형성되는 입력 단자/출력 단자와 제 1 전원선(접지선을 구비한다)의 사이에 접속된 제 1 반도체막과, 제 1 반도체막상에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막상에 형성되는 플로팅 상태의 제 1 게이트 전극을 구비한다.

따라서, 제 1 전원선측에 설치된 제 1 MOS 소자의 제 1 게이트 전극이 플로팅 상태에 있기 때문에, 고전압 서지가 인가되어도, 제 1 게이트 절연막의 절연성이 파괴되지 않고, 그 결과 서지 내성이 향상된다.

본 발명의 다른 특징에 따르면, 입력 단자/출력 단자와 복수의 MOS 트랜지스터를 구비한 내부회로의 사이에 접속되는, 절연층상에 형성된 입/출력 보호 회로는 제 1 MOS 소자를 구비한다. 내부회로의 MOS 트랜지스터들은 필드 차폐에 의해 상호 분리된다. 제 1 MOS 소자는 절연층상에 형성된 입력 단자/출력 단자와 제 1 전원선(접지선을 구비한다)의 사이에 접속된 제 1 반도체 막과, 제 1 반도체막상에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막상에서 필드 차폐를 위해 게이트 전극과 동일한 층에 형성된 제 1 게이트 전극을 구비한다.

따라서, 제 1 MOS 소자의 제 1 게이트 전극이 내부회로에 있어서의 필드 차폐용 게이트 전극과 동일한 층에 형성되기 때문에, 제 1 MOS 소자의 제 1 게이트 절연막은 내부회로의 MOS 트랜지스터의 게이트 절연막보다도 두껍게 되고, 그 결과 서지 내성이 향상된다.

본 발명의 또 다른 특징에 따르면, 입력 단자/출력 단자와 내부회로의 사이에 접속되는, 절연층상에 형성된 입/출력 보호 회로는 절연층상에 형성된 제 1 도전형의 반도체막과, 반도체막내에 형성된 입력 단자/출력 단자에 접속된 제 1 도전형의 복수의 제 1 도전 영역과, 반도체막내에 형성된 전원선(접지선을 구비한다)에 접속된 제 2 도전형의 복수의 제 2 도전 영역을 구비한다.

따라서, 복수의 다이오드가 반도체막내에 형성되어 있기 때문에, p-n 접합의 총면적이 증가하고, 그 결과 서지 내성이 향상된다.

본 발명의 실시예를 설명하기 전에, 우선 본 발명의 이해를 용이하게 하기 위해 본 발명의 전제로 되는 입/출력 보호 회로의 예를 도 19 내지 도 22 를 참조하여 설명한다. 또, 도면중의 동일 부호는 동일 또는 상당부분을 도시한다.

도 19에 도시된 입/출력 보호 회로는, 도 17에 도시된 종래의 입/출력 보호 회로의 다이오드(38, 39) 대신에, P채널 MOS 트랜지스터(34) 및 N채널 MOS 트랜지스터(35)를 구비한다. P채널 MOS 트랜지스터(34)의 게이트 전극(34a)은 전원선(32)에 접속되므로, 통상 P채널 MOS 트랜지스터(34)는 오프 상태로 된다. N채널 MOS 트랜지스터(35)의 게이트 전극(35a)은 접지선(33)에 접속되므로, 통상 N채널 MOS 트랜지스터(35)도 또 오프상태에 있다.

이러한 입/출력 보호 회로에 있어서, 예를 들면, 정의 고전압 서지가 인가되면, N채널 MOS 트랜지스터(35) 중의 p-n 접합이 항복하고, 이에 의해 서지는 접지선(33)으로 신속히 방전된다. 이와 동시에 P채널 MOS 트랜지스터(34)는 온(on)되므로, 서지는 전원선(32)으로 신속히 방전된다. 다른 한편, 부의 고전압 서지가 인가되면, P채널 MOS 트랜지스터(34) 중의 p-n 접합이 항복하고, 이에 의해 서지가 전원선(32)으로 신속히 방전된다. 이와 동시에 N채널 MOS 트랜지스터(35)는 온되므로, 서지는 접지선(33)으로 신속히 방전된다.

도 20은 도 19에 도시된 입/출력 보호 회로의 구조를 도시한 평면도이다. 도 21은, 도 20 중의 XXI-XXI선을 따라 절단한 단면도이다. 도 20 및 도 21을 참조하면, 실리콘 기판(1)상에 절연층인 매립 산화막(2)을 사이에 두고 실리콘박막(3)이 형성되어 있다. 실리콘박막(3)은 섬 형태로 분리되어 있다. 실리콘 박막(3)에는 $10^{17}$ /$cm^3$ 정도의 불순물(P채널 MOS 트랜지스터(34)에서는 n 형, N채널 MOS 트랜지스터(35)에서는 p형)이 도입된 기판 영역(34e, 35e)과, 기판 영역(34e, 35e)을 사이에 두고 $10^{20}$ /$cm^3$ 정도의 불순물(P채널 MOS 트랜지스터(34)에서는 p형, N채널 MOS 트랜지스터(35)에서는 n형)이 도입된 드레인 영역(34b, 35b) 및 소스 영역(34c, 35c)이 형성되어 있다. 실리콘 박막(3)상에는 게이트 절연막(34d, 35d)을 사이에 두고 게이트 전극(34a, 35a)이 형성되어 있다. 또, 이들의 위에는 층간 절연막(11)이 형성되어 있다. 드레인 영역(34b, 35b) 및 소스 영역(34c, 35c) 위의 층간 절연막(11)에는 콘택트 홀(12)이 형성된다. 층간 절연막(11)상에는 알루미늄 배선(13, 14, 15)이 형성된다. 전원선(32)을 구성하는 알루미늄 배선(15)은 콘택트 홀(12)을 통해서 P채널 MOS 트랜지스터(34)의 소스 영역(34c)에 접속된다. 신호선(71)을 구성하는 알루미늄 배선(14)은 콘택트 홀(12, 12)을 각각 통해서 P채널 MOS 트랜지스터(34)의 드레인 영역(34b)과 N채널 MOS 트랜지스터(35)의 드레인 영역(35b)에 접속된다. 접지선(33)을 구성하는 알루미늄 배선(13)은 콘택트 홀(12)을 통해서 N채널 MOS 트랜지스터(35)의 소스 영역(35c)에 접속된다.

입력 단자(30)와 신호선(71) 사이에는 돌입 저항(36)이 형성된다. 내부회로(31)에 접속하기 위한 내부회로 접속 배선(42)과 신호선(71)의 사이에는 내부저항(37)이 형성된다. 돌입저항(36) 및 내부저항(37)은 실리콘 박막 또는 게이트 전극과 동일한 층에 형성된다. 또, P채널 MOS 트랜지스터(34)의 게이트 전극(34a)은 게이트 전위 고정배선(40)을 거쳐 전원선(32)에 접속되고, N채널 MOS 트랜지스터(35)의 게이트 전극(35a)은 게이트 전위 고정 배선(41)을 거쳐서 접지선(33)에 접속된다. 따라서, P채널 MOS 트랜지스터(34) 및 N채널 MOS 트랜지스터(35)는 각각 오프 상태로 되어 있다.

이와 같은 구조를 갖는 입/출력 보호 회로에 있어서는 정의 고전압 서지가 인가되면, N채널 MOS 트랜지스터(35) 중의 p-n 접합(기판 영역(35e)과 드레인 영역(35b)에 의해 구성됨)이 항복하지만, 게이트 전극(35a)이 접지선(33)에 접속되어 있기 때문에, 게이트 절연막(35d)에도 고전압이 인가되며, 이에 의해 도 21 중에 PA로 표시된 부분의 절연성이 파괴되는 단점이 있다. 다른 한편, 부의 고전압 서지가 인가되면, P채널 MOS 트랜지스터(34) 중의 p-n 접합(드레인 영역(34b)과 기판 영역(34e)에 의해 구성됨)이 항복하지만, 게이트 전극(34a)이 전원선(32)에 접속되어 있기 때문에, 게이트 절연막(34d)에도 고전압이 인가되며, 이에 의해 도 21에서 PB로 표시된 부분의 절연성이 파괴되는 단점이 있다. 이와 같은 절연 파괴는 서지 내성을 저하시키게 된다.

한편, 도 22는 도 17에 표시된 종래의 입/출력 보호 회로의 구조의 일예를 도시한 단면도이다. 여기에서는 게이트 다이오드(게이트 제어 다이오드)(38, 39)가 사용되고 있다. 따라서, 도 21의 $p^+$형 소스 영역(34c) 대신에 $10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입된 $n^+$형 캐소드 영역(38c)이 형성되고, 또 도 21의 $n^+$형 소스 영역(35c) 대신에 $10^{20}$ /$cm^3$ 정도의 p형 불순물이 도입된 $p^+$형 애노드 영역(39b)이 형성되어 있다. 이 때문에, 애노드 영역(38b) 및 캐소드 영역(38e, 38c)이 다이오드를 구성하고, 애노드 영역(39b, 39e) 및 캐소드 영역(39c)이 또한 다이오드를 구성한다.

이와 같은 구조를 갖는 입/출력 보호 회로에 있어서, 정의 고전압 서지가 인가되면, 게이트 다이오드(39) 중의 p-n 접합(애노드 영역(39e)과 캐소드 영역(39c)에 의해 구성됨)이 항복하지만, 게이트 전극(39a)이 접지선(33)에 접속되어 있기 때문에, 게이트 산화막(39d)에도 고전압이 인가되며, 이에 의해 도 22중에 PC로 표시된 부분의 절연성이 파괴

되는 단점이 있다. 한편, 부의 고전압 서지가 인가되면, 게이트 다이오드(38) 중의 p-n 접합(애노드 영역(38b)과 캐소드 영역(38e)에 의해 구성됨)이 항복하지만, 게이트 전극(38a)이 전원선(32)에 접속되어 있기 때문에, 게이트 절연막(38d)에도 고전압이 인가되며, 이에 의해 도 22중 PD로 표시된 부분의 절연성이 파괴되는 단점이 있다. 이와 같은 절연성의 파괴는 상기 MOS 트랜지스터를 사용한 입/출력 보호 회로와 마찬가지로 서지 내성을 저하시키는 것으로 된다.

이하의 실시예는 이와 같은 문제점을 해결하기 위해 행해진 것으로 고전압 서지 인가시에 게이트 절연막의 파괴를 방지하는 것에 의해 입/출력 보호 회로의 서지 내성을 향상시키는 것을 목적으로 한다.

(실시예 1)

도 1은 본 발명의 실시예 1에 따른 입/출력 보호 회로의 구성을 도시한 회로도이다. 도 1을 참조하면, 이 입/출력 보호 회로는 돌입 저항(36), 내부 저항(37), P채널 MOS 트랜지스터(34) 및 N채널 MOS 트랜지스터(35)를 구비한다. 입력 단자(30)는 돌입저항(36) 및 내부저항(37)을 거쳐 내부회로(31)에 접속된다. P채널 MOS 트랜지스터(34)는 전원선(32)에 접속된 소스와, 신호선(71)에 접속된 드레인과, 플로팅 상태의 게이트 전극(34a)을 갖는다. N채널 MOS 트랜지스터(35)는 접지선(33)에 접속된 소스와, 신호선(71)에 접속된 드레인과, 플로팅 상태의 게이트 전극(35a)을 갖는다. 내부회로(31)는 예컨대 도 18에 도시된 바와 같은 CMOS 인버터로 구성된다. 본 실시예 1에 따른 입/출력 보호 회로는 MOS 트랜지스터(34, 35)의 게이트 전극(34a, 35a)이 플로팅 상태에 있다는 점에서 도 19에 도시된 입/출력 보호 회로와 상이하다.

도 2는 도 1에 도시된 입/출력 보호 회로의 구조를 도시하는 평면도이다. 도 3은 도 2 중의 Ⅲ-Ⅲ선을 따라 절단된 단면도이다. 도 2 및 도 3을 참조하면, 입/출력 보호 회로는 절연층인 매립 산화막(2)상에 형성된다. 내부회로(도시안됨)도 또한 매립 산화막(2)상에 형성된다. 매립 산화막(2)은 실리콘 기판(1)상에 형성된다. 실리콘 박막(3)이 매립 산화막(2)상에 형성되며, 섬 형태로 분리된다. 실리콘 박막(3)상에는 게이트 절연막(34d, 35d)이 형성되며, 또한 게이트 절연막(34d, 35d)상에는 게이트 전극(34a, 35a)이 형성된다. P채널 MOS 트랜지스터(34)용의 실리콘 박막(3)은 n-형 기판 영역(34e)과 p+형 소스 영역(34c)과 p+형 드레인 영역(34b)으로 구성된다. 보다 구체적으로는, 기판 영역(34e)에는, $10^{17}$ /$cm^3$ 정도의 n형 불순물이 도입되고, 소스 영역(34c) 및 드레인 영역(34b)에는 $10^{20}$ /$cm^3$ 정도의 p형 불순물이 도입된다. 기판 영역(34e)은 게이트 전극(34a)의 하부에 위치한다. 소스 영역(34c)은 기판 영역(34e)의 한 측에 인접한다. 드레인 영역(34b)은 기판 영역(34e)의 다른 측에 인접한다.

N채널 MOS 트랜지스터용의 실리콘 박막(3)은 p-형 기판 영역(35e)과 n+형 소스 영역(35c)과 n+형 드레인 영역(35b)으로 구성된다. 보다 구체적으로는, 기판 영역(35e)에는 $10^{17}$ /$cm^3$ 정도의 p형 불순물이 도입되며, 소스 영역(35c)에는 $10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입되고, 드레인 영역(35b)에는 $10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입된다. 기판 영역(35e)은 게이트 전극(35a)의 하부에 위치한다. 소스 영역(35c)은 기판 영역(35e)의 한 측에 인접한다. 드레인 영역(35b)은 기판 영역(35e)의 다른 측에 인접한다.

또, p형 불순물은 게이트 전극(34a)을 마스크로서 소스 영역(34c) 및 드레인 영역(34b)에 동시에 도입된다. n형 불순물은 게이트 전극(35a)을 마스크로 해서 소스 영역(35c)및 드레인 영역(35b)에 동시에 도입된다.

게이트 전극(34a, 35a) 및 실리콘 박막(3)상에는 층간 절연막(11)이 형성되고, 층간 절연막(11)에는 소스 영역(34c, 35c) 및 드레인 영역(34b, 35b)에 도달하는 콘택트 홀(12)이 형성된다. 층간 절연막(11)상에는 알루미늄 배선(13, 14, 15)이 형성된다. 따라서, 전원선(32)을 구성하는 알루미늄 배선(15)은 콘택트 홀(12)을 통해서 P채널 MOS 트랜지스터(34)의 소스 영역(34c)에 접촉된다. 신호선(71)을 구성하는 알루미늄 배선(14)은 콘택트 홀(12, 12)를 각각 통해서 P채널 MOS 트랜지스터(34)의 드레인 영역(34b)과 N채널 MOS 트랜지스터(35)의 드레인 영역(35b)에 접촉된다. 접지선을 구성하는 알루미늄 배선(13)은 콘택트 홀(12)을 통해서 N채널 MOS 트랜지스터(35)의 소스 영역(35c)에 접촉한다. 그 결과, P채널 MOS 트랜지스터(34)의 소스 영역(34c)은 전원선(32)에 접속되며, 그 드레인

영역(34b)은 입력 단자(30)에 접속된다. N채널 MOS 트랜지스터(35)의 소스 영역(35c)은 접지선(33)에 접속되고, 그 드레인 영역(35b)은 입력 단자(30)에 접속된다.

돌입 저항(36)은 입력 단자(30)와 신호선(14) 사이에 형성된다. 내부저항(37)은 신호선(71)과 내부회로 접속배선(42) 사이에 형성된다. 돌입 저항(36) 및 내부저항(37)은 실리콘 박막, 또는 게이트 전극(34a, 35a)과 동일한 층에 의해 형성된다. 돌입 저항(36)의 폭은 내부저항(37)의 폭 보다도 넓다. 이 때문에, 돌입저항(36)의 전류밀도가 저감되고, 그 결과 돌입저항(36)이 MOS 트랜지스터(34,35)로 유입되는 대전류에 의해 파괴되지는 않는다. 또, P채널 MOS 트랜지스터(34)의 게이트 전극(34a)은 전원선(32) 등의 다른 배선에 접속되지 않는다. N채널 MOS 트랜지스터(35)의 게이트 전극(35a)은 접지선(33) 등의 다른 배선에 접속되지 않는다. 따라서, 게이트 전극(34a, 35a)은 모두 플로팅 상태가 된다.

이와 같은 실시예 1은 게이트 전극(34a, 35a)이 플로팅 상태에 있다는 점에서 도 20 및 도 21에 도시된 구조와 상이하다.

그런데, 게이트 전극(34a, 35a)이 플로팅 상태에 있으면, 용량성 결합에 의한 영향을 받기 쉽다. 따라서, 게이트 전위는 드레인 전위의 변화에 따라 약간 드레인 전위측으로 시프트된다. 이 때문에, 통상 입력 신호가 입력 단자(30)로부터 신호선(71)을 거쳐 내부회로(31)에 인가되면, MOS 트랜지스터(34, 35)가 동시에 약간 온되며, 이것에 의해 전원선(32)으로부터 접지선(33)으로 직류 전류가 흐르는 단점이 있다. 따라서, 이와 같은 직류 전류를 저감시키는 것에 의해 소비 전력의 증가를 억제할 수 있기 때문에, 기판 영역(34e, 35e)의 불순물 농도는 내부회로 중의 MOS 트랜지스터(예컨대 도 18의 44, 45 등)의 기판 영역의 불순물 농도보다도 높게 설정하는 것이 좋다. 예컨대 내부회로 중의 MOS 트랜지스터의 기판 영역의 불순물 농도가 $1\times10^{17}$ /$cm^3$ 정도인 경우는 기판 영역(34e, 35e)의 불순물 농도를 $10^{18}$ / $cm^3$ 보다도 크게, 즉, 2배 이상으로 설정하는 것이 좋다.

또, MOS 트랜지스터(34, 35)의 임계치 전압을 높게 설정하기 위해, 게이트 전극 재료의 일함수 차에 의한 실효 게이트 전압의 인가를 피할 필요가 있다. 예컨대, 내부회로 중의 N채널 MOS 트랜지스터의 게이트 전극의 재료에 n형 폴리실리콘이 사용된 경우는 입/출력 보호 회로 중의 N채널 MOS 트랜지스터(35)의 게이트 전극(35a)의 재료에 p 형 폴리실리콘이 사용되는 것이 좋다. 다른 한편, 내부회로 중의 P채널 MOS 트랜지스터의 게이트 전극의 재료에 p형 폴리실리콘이 사용된 경우는 입/출력 보호 회로 중의 P채널 MOS 트랜지스터(34)의 게이트 전극(34a)의 재료에 n형 폴리실리콘이 사용되는 것이 좋다. 이것은, 입/출력 보호 회로에서는 기판 영역(34e, 35e)과 같은 도전형의 폴리실리콘을 게이트 전극(34a, 35a)의 재료로 사용하고, 입/출력 보호 회로 이외의 내부회로에서는 기판 영역과 반대의 도전형의 폴리실리콘을 게이트 전극의 재료로 사용하는 것을 의미한다. 이에 의해, 입/출력 보호 회로 중의 MOS 트랜지스터(34, 35)의 임계치 전압은 대략 1V 증가하므로, 전원선(32)으로부터 접지선(33)으로 흐르는 직류 전류를 방지시킬 수 있다.

다음으로, 이와 같은 구성을 갖는 입/출력 보호 회로의 동작을 설명한다. 입력 단자(30)로부터 인가된 서지는 돌입 저항(36)을 통과해서 신호선(71)에 도달된다. 따라서, 정의 고전압 서지가 제공되면, N채널 MOS 트랜지스터(35)의 기판 영역(35e) 및 드레인 영역(35b)에 의해 구성된 p-n 접합이 항복하고, 이에 의해 서지가 N채널 MOS 트랜지스터(35)에 의해 접지선(33)으로 방전된다. 이 때, 게이트 전극(35a)은 접지선(33)에 접속되지 않고 플로팅 상태에 있으므로, 고전압이 게이트 절연막(35d)에 인가되지는 않으며, 도 3 중의 PA로 표시된 부분의 절연성이 파괴되지 않는다. 다른 한편, 부의 고전압 서지가 인가되면, P채널 MOS 트랜지스터(34)의 드레인 영역(34b) 및 기판 영역(34e)에 의해 구성되는 p-n 접합이 항복하고, 이에 의해 서지가 P채널 MOS 트랜지스터(34)에 의해 전원선(32)으로 방전된다. 이 때, 게이트 전극(34a)은 전원선(32)에 접속되지 않고 플로팅 상태에 있으므로, 고전압이 게이트 전극(34d)에 인가되지 않으며, 도 3 중의 PB로 표시된 부분의 절연성이 파괴되지 않는다. 그 결과, 입/출력 보호 회로의 서지 내성은 크게 향상된다.

또, 기판 영역(34e, 35e)은 전기적으로 고정되어도 좋지만, 드레인 항복이 일어나기 쉽도록 전기적으로 플로팅 상태로 있는 편이 바람직하다.

(실시예 2)

도 4는 본 발명의 실시예 2에 따른 입/출력 보호 회로의 구성을 도시하는 회로도이다. 도 4를 참조하면, 입/출력 보호 회로는 도 1 중의 MOS 트랜지스터(34, 35) 대신에 다이오드(38, 39)를 구비한다. 도 4에 도시된 회로도는 도 17에 도시된 종래의 회로도와 상이한 것은 아니다.

도 5는, 도 4에 도시된 입/출력 보호 회로의 구조를 도시한 단면도이다. 이 입/출력 보호 회로에서는 도 5에 도시된 바와 같이, 도 3 중의 소스 영역(34c, 35c) 대신에 n+형 캐소드 영역(38c) 및 p+형 애노드 영역(39b)이 형성된다. 다이오드(38)용 실리콘 박막(3)은 n- 형 캐소드 영역(38e)과 n+형 캐소드 영역(38c)과 p+형 애노드 영역(38b)으로 구성된다. 캐소드 영역(38e)은 게이트 전극(38a)의 하부에 위치한다. 캐소드 영역(38c)은 캐소드 영역(38e)의 한 측에 인접하고, 전원선(32)에 접속된다. 애노드 영역(38b)은 캐소드 영역(38e)의 다른 측에 인접하고, 입력 단자(30)에 접속된다. 다이오드(39)용 실리콘 박막(3)은 p- 형 애노드 영역(39e)과 p+형 애노드 영역(39b)과 n+형 캐소드 영역(39c)으로 구성된다. 애노드 영역(39e)은 게이트 전극(39a)의 하부에 위치된다. 애노드 영역(39b)은 애노드 영역(39e)의 한 측에 인접하고, 접지선(33)에 접속된다. 캐소드 영역(39c)은 애노드 영역(39e)의 다른 측에 인접하고, 입력 단자(30)에 접속된다. 게이트 전극(38a)은 어느 배선에도 접속되지 않으며, 전기적으로 플로팅 상태에 있다. 게이트 전극(39a)도 또한 어느 배선에도 접속되지 않고 전기적으로 플로팅 상태에 있다.

따라서, 본 실시예 2에 따른 입/출력 보호 회로는 게이트 전극(38a, 39a)이 플로팅 상태에 있다는 점에서 도 22에 도시된 구조와 상이하다.

이와 같은 구조를 갖는 입/출력 보호 회로에 있어서, 정의 고전압 서지가 인가되면, 다이오드(39)의 애노드 영역(39e) 및 캐소드 영역(39c)에 의해 구성되는 p-n 접합이 항복하고, 서지가 다이오드(39)에 의해 접지선(33)으로 방전된다. 그러나, 게이트 전극(39a)은 접지선(33) 등의 다른 배선에 접속되지 않은 플로팅 상태에 있으므로, 도 5 중에 PC로 표시된 부분의 절연성이 파괴되지 않는다. 다른 한편, 부의 고전압 서지가 인가되면, 다이오드(38)의 애노드 영역(38b) 및 캐소드 영역(38e)에 의해 구성되는 p-n 접합이 항복하고, 서지가 다이오드(38)에 의해 전원선(32)으로 방전된다. 그러나, 게이트 전극(38a)은 전원선(32) 등의 다른 배선에 접속되지 않고 플로팅 상태에 있으므로 도 5 중의 PD로 표시된 부분의 절연성이 파괴되지 않는다. 그 결과, 이 입/출력 보호 회로의 서지 내성은 향상된다.

또, 이 입/출력 보호 회로에 있어서도, 상기 실시예 1과 마찬가지로, 캐소드 영역(38e) 및 애노드 영역(39e)의 불순물 농도는 입/출력 보호 회로 이외의 내부회로 중의 MOS 트랜지스터의 기판 영역의 불순물 농도보다도 높게 설정되는 것이 좋다. 또, 내부회로 중의 N채널 MOS 트랜지스터의 게이트 전극의 재료에 n형 폴리실리콘을 사용한 경우에는 입/출력 보호 회로 중의 다이오드(39)의 게이트 전극(39a)의 재료에 p형 폴리실리콘을 사용하는 것이 좋다. 또, 내부회로 중의 P채널 MOS 트랜지스터의 게이트 전극의 재료에 p형 폴리실리콘을 사용한 경우에는 입/출력 보호 회로 중의 다이오드(38)의 게이트 전극(38a)의 재료에 n형 폴리실리콘을 사용하는 것이 좋다. 또한, 캐소드 영역(38e) 및 애노드 영역(39e)은 전기적으로 고정되어 있어도 좋지만, 드레인 항복이 일어나기 쉽도록 전기적으로 플로팅 상태로 있는 편이 바람직하다.

(실시예 3)

도 6은, 본 발명의 실시예 3에 따른 입/출력 보호 회로의 구조를 도시한 단면도이다. 도 7은 도 6의 입/출력 보호 회로에 의해 서지로부터 보호되는 게이트 어레이(내부회로)의 구조를 도시한 평면도이다. 도 8은 도 7 중의 ⅧⅠ-ⅧⅠ선을 따라 절단한 단면도이다.

일반적으로, SOI 구조를 갖는 MOS 트랜지스터에서는 그의 기판 영역이 전기적으로 플로팅 상태로 되지만, 도 7 및 도 8에 도시된 게이트 어레이는 P채널 MOS 트랜지스터(44)의 기판 영역(6)은 전원 전위로 고정되고, N채널 MOS 트랜지스터(45)의 기판 영역(6)은 접지 전위에 고정된다.

도 7 및 도 8에 도시된 바와 같이, P채널 MOS 트랜지스터(44)용 실리콘 박막(3) 및 N채널 MOS 트랜지스터(45)용 실리콘 박막(3)이 매립 산화막(2)상에 형성되어 있다. 도면상의 좌측의 P채널 MOS 트랜지스터(44)의 기판 영역(6)은 바디 영역(77)을 거쳐서 도면에서 우측의 P채널 MOS 트랜지스터(44)의 기판 영역(6)에 접속되어 있다. 다른 한편, 도면상의 좌측의 N채널 MOS 트랜지스터(45)의 기판 영역(6)은 바디 영역(77)을 거쳐서 도면상의 우측의 N채널 MOS 트랜지스터(45)의 기판 영역(6)에 접속되어 있다. 각 바디 영역(77)상에는 두꺼운 게이트 절연막을 사이에 두고 필드 차폐 분리용 게이트 전극(16)이 형성되어 있다. 각 기판 영역(6)상에는 필드 차폐용 게이트 절연막보다도 얇은 절연막을 사이에 두고 게이트 전극(5)이 형성되어 있다.

필드 차폐용 게이트 전극(16)에는 소정의 간격으로 개구부가 형성되어 있다. P채널 MOS 트랜지스터(44)측의 바디 영역(77)은 그 개구부 중에 형성된 콘택트 홀(78)을 통해서 알루미늄 배선(15)으로 구성되는 전원선(32)에 접속된다. 다른 한편, N채널 MOS 트랜지스터(45)측의 바디 영역(77)은 그의 개구부내에 형성된 콘택트 홀(78)을 통해서 알루미늄 배선(13)으로 구성되는 접지선(33)에 접속된다. 또, P채널 MOS 트랜지스터(44)측의 게이트 전극(16)은 콘택트 홀(79)을 통해서 전원선(32)에 접속된다. 다른 한편, N채널 트랜지스터(45)측의 게이트 전극(16)은 콘택트 홀(79)을 통해서 접지선(33)에 접속된다.

따라서, 각 게이트 전극(16)은 그 양측의 MOS 트랜지스터(44, 45)를 상호적으로 필드 차폐에 의해 분리한다. 그러나, P채널 MOS 트랜지스터(44)의 기판 영역(6)은 바디 영역(77)을 거쳐서 전원선(32)에 접속되므로 전원전위에 고정된다. 다른 한편, N채널 MOS 트랜지스터(45)의 기판 영역(6)은 바디 영역(77)을 거쳐서 접지선(33)에 접속되므로 접지전위에 고정된다. 그 외, 필드 차폐 분리를 사용한 게이트 어레이의 구조는 일본 특허 공개 평7-94754호 공보에 상세히 개시되어 있으므로 여기에서는 이것을 인용하여 사용하고 있다.

이와 같은 구조를 갖는 게이트 어레이에서는 MOS 트랜지스터(44, 45)의 기판 영역(6)이 전기적으로 고정되어 있으므로 그 동작특성이 안정된다.

한편, 이와 같은 게이트 에레이를 보호하기 위한 입/출력 보호 회로에서는 도 6에 도시된 바와 같이, 기판 영역(34e, 35e)상에 필드 차폐 분리용 게이트 절연막과 동일한 층의 게이트 절연막(34g, 35g)이 형성되어 있다. 또한, 게이트 절연막(34g, 35g)상에는 필드 차폐 분리용 게이트 전극(16)과 동일한 층의 게이트 전극(34f, 35f)이 형성된다. 게이트 전극(34f, 35f)은 모두 플로팅 상태로 된다. 따라서, 본 실시예 3에 따른 입/출력 보호 회로는 게이트 절연막(34g, 35g)이 도 5 중의 게이트 절연막(38d, 39d)보다도 두껍다는 점에서 도 5에 도시된 구조와 상이하다.

예컨대, 0.35㎛룰(rule)에 따라 설계된 게이트 어레이에서는 MOS 트랜지스터의 게이트 절연막은 70Å 정도로 특히 얇게 된다. 이 때문에, 게이트 어레이 중의 MOS 트랜지스터의 게이트 절연막과 동일한 층에 입/출력 보호 회로 중의 MOS 트랜지스터의 게이트 절연막을 형성하면, 그 게이트 절연막의 내압이 저하하게 된다. 다른 한편, 필드 차폐 분리

용 게이트 절연막은 500Å 정도로 두껍게 된다. 이 때문에, 이 필드 차폐 분리용 게이트 절연막과 동일한 층에 입/출력 보호 회로 중의 MOS 트랜지스터(34, 35)의 게이트 절연막(34g, 35g)을 형성하면, 게이트 절연막(34g, 35g)의 내압이 높아진다. 통상적으로, 절연 내압은 막 두께에 비례하기 때문에, 이 경우는 절연 내성을 7 배 정도까지 향상시킬 수 있다. 그 결과, 입/출력 보호 회로의 서지 내성도 향상된다.

도 6에서는 게이트 전극(34f, 35f)이 모두 플로팅 상태에 있지만, 도 21에 도시된 구조와 마찬가지로 게이트 전극(34f)이 전원선(32)에 접속되고, 게이트 전극(35f)이 접지선(33)에 접속되어도 좋다. 이 경우, 도 6과 같이 게이트 전극(34f, 35f)이 플로팅 상태에 있는 경우보다 서지 내성은 저하하지만, 도 21에 도시된 구조보다 서지 내성은 향상된다.

여기서는, 서지 방전용으로 MOS 트랜지스터(34, 35)가 사용되고 있지만, 이들 대신에, 상기 실시예 2와 마찬가지로 게이트 다이오드가 사용되어도 좋다. 즉, 게이트 다이오드의 게이트 전극을 필드 차폐 분리용 게이트 전극과 동일한 층에 형성해도 좋다.

일반적으로, 실리콘 박막(3)의 저항값은 낮으며, 또 MOS 트랜지스터용의 게이트 전극은 그 저항값을 낮추기 위해 실리사이드화되는 경우가 많다. 이 때문에, 폴리실리콘과 티탄 실리사이드의 적층 구조를 갖는 게이트 전극(전형적인 판 저항(sheet resistor)은 2Ω)에 돌입 저항(36) 또는 내부 저항(37)을 형성하면, 그 저항값을 적절히 설정하는 것은 곤란하다. 이에 대해, 일반적으로 폴리실리콘의 단층 구조를 갖는 필드 차폐 분리용 게이트 전극(전형적인 판 저항은 20Ω)에 돌입저항(36) 또는 내부저항(37)을 형성하면, 그 저항값을 적절히 설정하기가 용이하다.

(실시예 4)

도 9는 실시예 4에 따른 입/출력 보호 회로의 구조를 도시한 평면도이다. 도 10은 도 9 중의 X-X선을 따라 절단된 단면도이다. 본 실시예의 입/출력 보호 회로에 있어서는 다이오드의 p-n 접합면적을 증가시키는 것을 목적으로 한다.

도 9에 도시된 바와 같이, 전원선(32)측의 실리콘 박막(3)은 $1\times10^{17}$ /$cm^3$ 정도의 p형 불순물이 도입된 p- 형 영역(64)과, $1\times10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입된 복수의 n+형 영역(61)과, $1\times10^{20}$ /$cm^3$ 정도의 p형 불순물이 도입된 복수의p+형 영역(62)을 구비한다. n+형 영역(61) 및 p+형 영역(62)은 매트릭스로 배치된다. n+형 영역(61)은 각 기수열에 있어서 일직선으로 배치되고, p+형 영역(62)은 각 우수열에 있어서 일직선으로 배치된다. 따라서, n+형 영역(61) 및 p+형 영역(62)은 각 행에 있어서 교번적으로 배치된다. 전체의 n+형 영역(61)은 그 위에 형성된 콘택트 홀(12)을 통해서 전원선(32)과 공통으로 접속된다. 전체의 p+형 영역(62)은 그 위에 형성된 콘택트 홀(12)을 통해서 신호선(71)과 공통으로 접속된다.

다른 한편, 접지선(33)측의 실리콘 박막(3)은 $1\times10^{17}$ /$cm^3$ 정도의 n형 불순물이 도입된 n- 형 영역(63)과, $1\times10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입된 복수의 n+형 영역(61)과, $1\times10^{20}$ /$cm^3$ 정도의 p형 불순물이 도입된 복수의p+형 영역(62)을 구비한다.n+형 영역(61) 및 p+형 영역(62)도 또한 매트릭스로 배치된다. n+형 영역(61)은 각 우수열에 있어서 일직선으로 배치되고, p+형 영역(62)은 각 기수열에 있어서 일직선으로 배치된다. 따라서, n+형 영역(61) 및 p+형 영역(62)은 각 행에 있어서 교번적으로 배치된다. 전체의 n+형 영역(61)은 그 위에 형성된 콘택트 홀(12)을 통해서 신호선(71)과 공통으로 접속된다. 전체의 p+형 영역(62)은 그 위에 형성된 콘택트 홀(12)을 통해서 접지선(33)과 공통으로 접속된다.

이와 같은 구조를 갖는 입/출력 보호 회로의 등가회로는 도 4와 동일하다. 즉, p- 형 영역(64)과 복수의 n+형 영역(61)이 도 4 중의 다이오드(38)를 구성하고, 복수의 p+형 영역(62)과 n- 형 영역(63)이 도 4 중의 다이오드(39)를 구성한다.

이러한 입/출력 보호 회로에서는 전원선(32)측의 실리콘 박막(3)에 p-형 영역(64)이 형성되며, 이 p-형 영역(64)이 다이오드(38)와 신호선(71) 사이에 접속된 실효적인 저항으로서 기능한다. 또, 접지선(33)측의 실리콘 박막(3)에는 n-형 영역(63)이 형성되며, 이 n-형 영역(63)은 신호선(71)과 다이오드(39)의 사이에 접속된 실효적인 저항으로서 기능한다. 따라서, 서지가 다이오드(38, 39)의 p-n 접합에 급격히 인가되는 것이 방지된다.

상기 실시예 4에 따르면, 서지 방전용의 다이오드가 게이트 전극을 가지고 있지 않기 때문에 게이트 절연막이 고전압에 의해 파괴되지 않고, 그 결과 서지 내성의 저하가 방지된다.

(실시예 5)

도 11은, 본 발명의 실시예 5에 따른 입/출력 보호 회로의 구조를 도시한 평면도이다. 이 입/출력 보호 회로는 n+형 영역(61) 및 p+형 영역(62)이 교번적으로 배치되어 있다는 점에서 도 9에 도시된 구조와 상이하다. 즉, n+ 형 영역(61) 및 p+ 형 영역(62)은 각 행에 있어서도 각 열에 있어서도 교번적으로 배치된다.

상기 실시예 5에 따르면, n+형 영역(61) 및 p+형 영역(62)이 교번적으로 배치되기 때문에 전류 경로가 분산되며, 그에 의해 전류 밀도가 저감된다. 그 결과, 서지 내성이 향상된다.

(실시예 6)

도 12는 본 발명의 실시예 6에 따른 입/출력 보호 회로의 구조를 도시한 평면도이다. 이 입/출력 보호 회로는 n+형 영역(61) 및 p+형 영역(62)이 원형으로 되어 있다는 점에서 도 9에 도시된 구조와 상이하다. 도 9에 도시된 바와 같은 방형 영역(61, 62)에서는 코너부에 전계가 집중하고, 서지 내성이 저하하기 쉽다. 이에 대해, 도 12에 도시된 바와 같은 원형의 영역(61, 62)에서는 일부에 전계가 집중하지 않는다. 그 결과, 서지 내성이 향상된다. 또, 영역(61, 62)을 완전히 원형으로 할 필요는 없고, 요컨대, 영역(63, 64)과 영역(61, 62) 사이의 계면을 원형으로 형성하면 좋다. 따라서, 도 9에 도시된 바와 같은 방형의 영역(61, 62)의 코너를 둥글게 해도 좋다.

(실시예 7)

도 13은 내부회로 및 본 발명의 실시예 7에 따른 입/출력 보호 회로의 구조를 도시한 단면도이다. 도 14는 도 13에 도시된 입/출력 보호 회로를 도시한 평면도이다.

도 13에 도시된 바와 같이, 내부회로는 매립 산화막(2)상에 형성된 N채널 MOS 트랜지스터(45)를 구비한다. N채널 MOS 트랜지스터(45)는 매립 산화막(2)상에 형성된 실리콘 박막(3)과, 실리콘 박막(3)상에 형성된 게이트 절연막과, 게이트 절연막상에 형성된 게이트 전극(5)으로 구성된다. 실리콘 박막(3)은 p-형 기판 영역(6)과 n형 드레인 영역(7)과 n형 소스 영역(8)으로 구성된다. N채널 MOS 트랜지스터(45)는 층간 절연막(11)으로 덮여진다. 드레인 영역(7) 및 소스 영역(8)상의 층간 절연막(11)에는 각각 콘택트 홀(12)이 형성된다. 드레인 영역(7) 및 소스 영역(8)에는 고농도의 n형 불순물이 도입된 n+형 콘택트 영역(75)이 각각 형성되어 있다. 층간 절연막(11)상에 형성된 알루미늄 배선(13)은 각각 콘택트 홀(12)을 거쳐 드레인 영역(7) 중의 콘택트 영역(75) 및 소스 영역(80)의 콘택트 영역(75)에 접촉된다.

한편, 도 13 및 도 14에 도시된 바와 같이, 본 실시예의 입/출력 보호 회로에서는 실리콘 박막(3)이 형성되지 않았다. 그 대신에, 층간 절연막(11) 및 매립 산화막(2)을 관통해서 p형 실리콘 기판까지 도달하는 복수의 콘택트 홀(74)이 매트릭스로 형성되어 있다. 실리콘 기판(1)내의 콘택트 홀(74)의 하부에는 고농도의 n형 불순물이 도입된 복수의 n+형 콘택트 영역(77)이 형성된다. 따라서, p형 실리콘 기판(1)과 복수의 n+형 콘택트 영역(77)은 복수의 다이오드를 구성한다. 층간 절연막(11)상에 형성된 알루미늄 배선(14)을 구성하는 신호선(71)은 각각 콘택트 홀(74)을 통해서

콘택트 영역(77)에 접촉된다.

신호선(71)은 돌입 저항(36)을 거쳐 입력 단자(30)에 접속되는 동시에 내부저항(37)을 거쳐 내부회로에 접속되어 있다. 또, 실리콘 기판(1)은 접지된다. 따라서, 이 입/출력 보호 회로는 신호선(71)과 접지노드의 사이에 접속된 다이오드와, 돌입저항(36)과, 내부저항(37)을 구비한다.

여기서, 콘택트 홀(12, 74)은 층간 절연막(11)내에 동시에 형성된다. 또, 콘택트 영역(75, 77)은 콘택트 홀(12, 74)이 형성된 후, n 형 불순물을 도입하는 것에 의해 동시에 형성된다. 또한, 알루미늄 배선(13, 14)은 층간 절연막(11)상에 동시에 형성된다.

이와 같은 구조를 갖는 입/출력 보호 회로에 있어서, 입력 단자(30)로부터 돌입저항(36)을 통해서 신호선(71)으로 정의 고전압 서지가 인가되면, 실리콘 기판(1) 및 콘택트 영역(77)으로 구성되는 p-n 접합이 항복하고, 이에 의해 서지가 실리콘 기판(1)으로 방전된다.

본 실시예 7에 의하면, 실리콘 기판(1)이 다이오드의 애노드 영역으로서 사용되기 때문에, 다이오드에 의한 점유면적이 저감된다. 또, 이들의 다이오드는 게이트 전극을 가지고 있지 않기 때문에, 게이트 절연막의 절연성이 파괴되지 않고, 그 결과, 서지 내성이 저하하지 않는다.

(실시예 8)

도 15는 본 발명의 실시예 8에 따른 입/출력 보호 회로의 구조를 도시한 평면도이다. 도 16은 도 15 중의 XVI-XVI선을 따라 절단한 단면도이다.

도 15 및 도 16에 도시된 바와 같이, 이 입/출력 보호 회로는 애노드 영역(38f)이 게이트 절연막(38d)에 형성된 콘택트 홀(76)을 통해서 캐소드 영역(38e)에 접촉하고 있다는 점과 캐소드 영역(39f)이 게이트 절연막(39d)에 형성된 콘택트 홀(76)을 통해서 애노드 영역(39e)과 접촉하고 있다는 점에 있어서 도 5에 도시된 구조와 상이하다. 보다 구체적으로는, 게이트 절연막(38d, 39d)은 각각 캐소드 영역(38e) 및 애노드 영역(39e)을 덮도록 형성된다. 캐소드 영역(38e) 및 애노드 영역(39e)상의 게이트 절연막(38d, 39d)에 각각 콘택트 홀(76, 76)이 형성된다. 또한, 게이트 절연막(38d) 및 매립 산화막(2)상에 애노드 영역(38f)이 형성되고, 이 애노드 영역(38f)은 콘택트 홀(76)을 통해서 캐소드 영역(38e)에 접촉된다. 다른 한편, 게이트 절연막(39d) 및 매립 산화막(2)상에 캐소드 영역(39f)가 형성되며, 이 캐소드 영역(39f)은 콘택트 홀(76)을 통해 애노드 영역(39e)에 접촉된다.

여기서, 캐소드 영역(38e) 중에는 $1\times10^{17}$ /$cm^3$ 정도의 n형 불순물이 도입되어 있다. 애노드 영역(38f)은 $1\times10^{20}$ /$cm^3$ 정도의 p형 불순물이 도입된 p+형 폴리실리콘막으로 형성된다. 다른 한편, 애노드 영역(39e) 중에는 $1\times10^{17}$ /$cm^3$ 정도의 p형 불순물이 도입되어 있다. 캐소드 영역(39f)은 $1\times10^{20}$ /$cm^3$ 정도의 n형 불순물이 도입된 n-형 폴리실리콘막으로 형성된다. 따라서, 애노드 영역(38f) 및 캐소드 영역(38e)은 입력 단자(30) 및 전원선(32)의 사이에 접속된 다이오드를 구성한다. 다른 한편, 애노드 영역(39e) 및 캐소드 영역(39f)은 접지선(33) 및 입력 단자(30) 사이에 접속된 다이오드를 구성한다. 이와 같은 구조를 갖는 입/출력 보호 회로의 등가회로는 도 4에 도시된 것과 동일하다.

본 실시예 8에 의하면, 서지 방전용 다이오드는 게이트 전극을 가지고 있지 않기 때문에, 게이트 절연막(38d, 39d)의 절연성이 파괴되지 않으며, 그 결과, 서지 내성이 저하하지 않는다.

(그외의 실시예)

상술한 실시예에서는 주로 전원선 및 접지선의 양측에 트랜지스터 또는 다이오드가 설치되지만, 어느 한 측에만 트랜지스터 또는 다이오드가 설치되어도 좋다. 또, 전원선측에 다이오드 접속된 N채널 MOS 트랜지스터가 설치되며, 접지선측에 다이오드 접속된 P채널 MOS 트랜지스터가 설치되어도 좋다. 또한, 트랜지스터와 다이오드의 조합에 의해 입/출력 보호 회로를 구성해도 좋다.

## 발명의 효과

본 발명에 따르면, 입력 단자/출력 단자와 복수의 MOS 트랜지스터를 구비한 내부회로의 사이에 접속되는, 절연층상에 형성된 입/출력 보호 회로는 제 1 MOS 소자를 구비한다. 제 1 MOS 소자는 절연층상에 형성되는 입력 단자/출력 단자와 제 1 전원선(접지선을 구비한다)의 사이에 접속된 제 1 반도체막과, 제 1 반도체막상에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막상에 형성되는 플로팅 상태의 제 1 게이트 전극을 구비한다.

따라서, 제 1 전원선측에 설치된 제 1 MOS 소자의 제 1 게이트 전극이 플로팅 상태에 있기 때문에, 고전압 서지가 인가되어도, 제 1 게이트 절연막의 절연성이 파괴되지 않고, 그 결과 서지내성이 향상된다.

또한, 입력 단자/출력 단자와 복수의 MOS 트랜지스터를 구비한 내부회로의 사이에 접속되는, 절연층상에 형성된 입/출력 보호 회로는 제 1 MOS 소자를 구비한다. 내부회로의 MOS 트랜지스터는 필드 차폐에 의해 상호 분리된다. 제 1 MOS 소자는 절연층상에 형성되는 입력 단자/출력 단자와 제 1 전원선(접지선을 구비함)의 사이에 접속된 제 1 반도체막과, 제 1 반도체막상에 형성된 제 1 게이트 절연막과, 제 1 게이트 절연막상에서 필드 차폐용 게이트 전극과 동일한 층에 형성된 제 1 게이트 전극을 구비한다.

따라서, 제 1 MOS 소자의 제 1 게이트 전극이 내부회로에 있어서의 필드 차폐용 게이트 전극과 동일한 층에 형성되기 때문에, 제 1 MOS 소자의 제 1 게이트 절연막은 내부회로의 MOS 트랜지스터의 게이트 절연막보다도 두껍게 되고, 그 결과 서지 내성이 향상된다.

## (57) 청구의 범위

### 청구항 1.

입/출력 단자(30)와 복수의 MOS 트랜지스터(44, 45)를 포함하는 내부회로(31)의 사이에 접속되고 절연층(2)상에 형성되는 입/출력 보호 회로에 있어서,

상기 절연층상에 형성되며, 상기 입/출력 단자와 제 1 전원선(32)의 사이에 접속된 제 1 반도체막(3)과,

상기 제 1 반도체막상에 형성된 제 1 게이트 절연막(34d, 38d, 34g)과,

상기 제 1 게이트 절연막상에 형성되고 플로팅 상태에 있는 제 1 게이트 전극(34a, 38a, 34f)을 구비한 제 1 MOS 소자(34, 38)를 포함하되,

상기 제 1 반도체막은

상기 제 1 게이트 전극 아래에 위치하는 제 1 도전형의 기판 영역(34e)과,

상기 기판 영역의 한쪽에 인접하고 상기 제 1 전원선에 접속된 제 2 도전형의 제 1 도전 영역(34c)과,

상기 기판 영역의 다른쪽에 인접하고 상기 입/출력 단자에 접속된 제 2 도전형의 제 2 도전 영역(34d)을 포함하며,

상기 복수의 MOS 트랜지스터는 제 1 불순물 농도를 갖는 기판 영역을 포함하고,

상기 제 1 MOS 소자의 상기 기판 영역은 상기 제 1 불순물 농도보다도 높은 제 2 불순물 농도를 갖는

입/출력 보호 회로.

청구항 2.

입/출력 단자(30)와 내부회로(31)의 사이에 접속되고 절연층(2)상에 형성된 입/출력 보호 회로에 있어서,

상기 절연층상에 형성된 반도체막(3)과,

상기 반도체막내에 형성되고 상기 입/출력 단자에 접속된 제 1 도전형의 복수의 제 1 도전 영역(62, 61)과,

상기 반도체막내에 형성되고 전원선(32, 33)에 접속된 제 2 도전형의 복수의 제 2 도전 영역(61, 62)

을 포함하되,

상기 제 1 및 제 2 도전 영역은 매트릭스로 배치되고, 상기 매트릭스의 각 행에 있어서 교번적으로 배치되는 동시에 상기 매트릭스의 각 열에 있어서 교번적으로 배치되는

입/출력 보호 회로.

청구항 3.

제 1 항에 있어서,

상기 제 2 불순물 농도는 상기 제 1 불순물 농도의 2배 이상인 것을 특징으로 하는 입/출력 보호 회로.

청구항 4.

입/출력 단자와 복수의 MOS 트랜지스터를 포함하는 내부회로의 사이에 접속되고 절연층상에 형성되는 입/출력 보호 회로에 있어서,

상기 내부 회로의 MOS 트랜지스터는

상기 절연층상에 마련된 반도체막에 형성되는 소스/드레인 영역과, 상기 반도체막 표면상에 게이트 절연막을 통해 형성되는 게이트 전극을 구비하고,

그 표면위를 덮도록, 상기 절연층 표면상에 마련된 절연막에 형성되는 콘택트 홀을 통해 소정의 배선으로 접속되며,

상기 입/출력 보호회로는

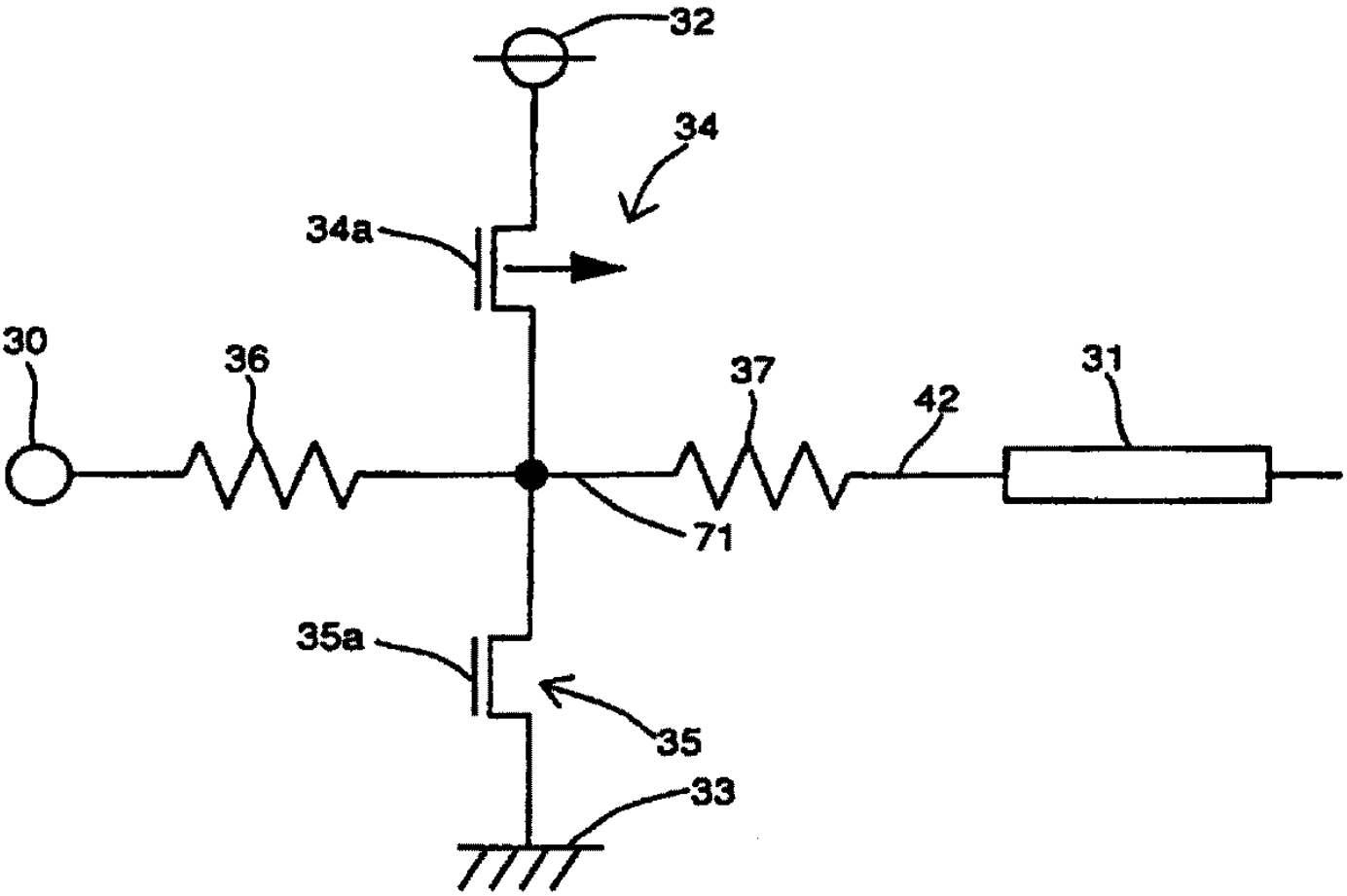
그 주표면상에 상기 절연층이 형성되고, 접지 노드에 접속되는 P형의 반도체 기판과,

상기 반도체 기판의 주표면에 형성되고, 상기 절연층 및 절연막에 형성되는 콘택트 홀을 통해 상기 입/출력 단자에 접속되는 n형의 도전 영역을 구비하는

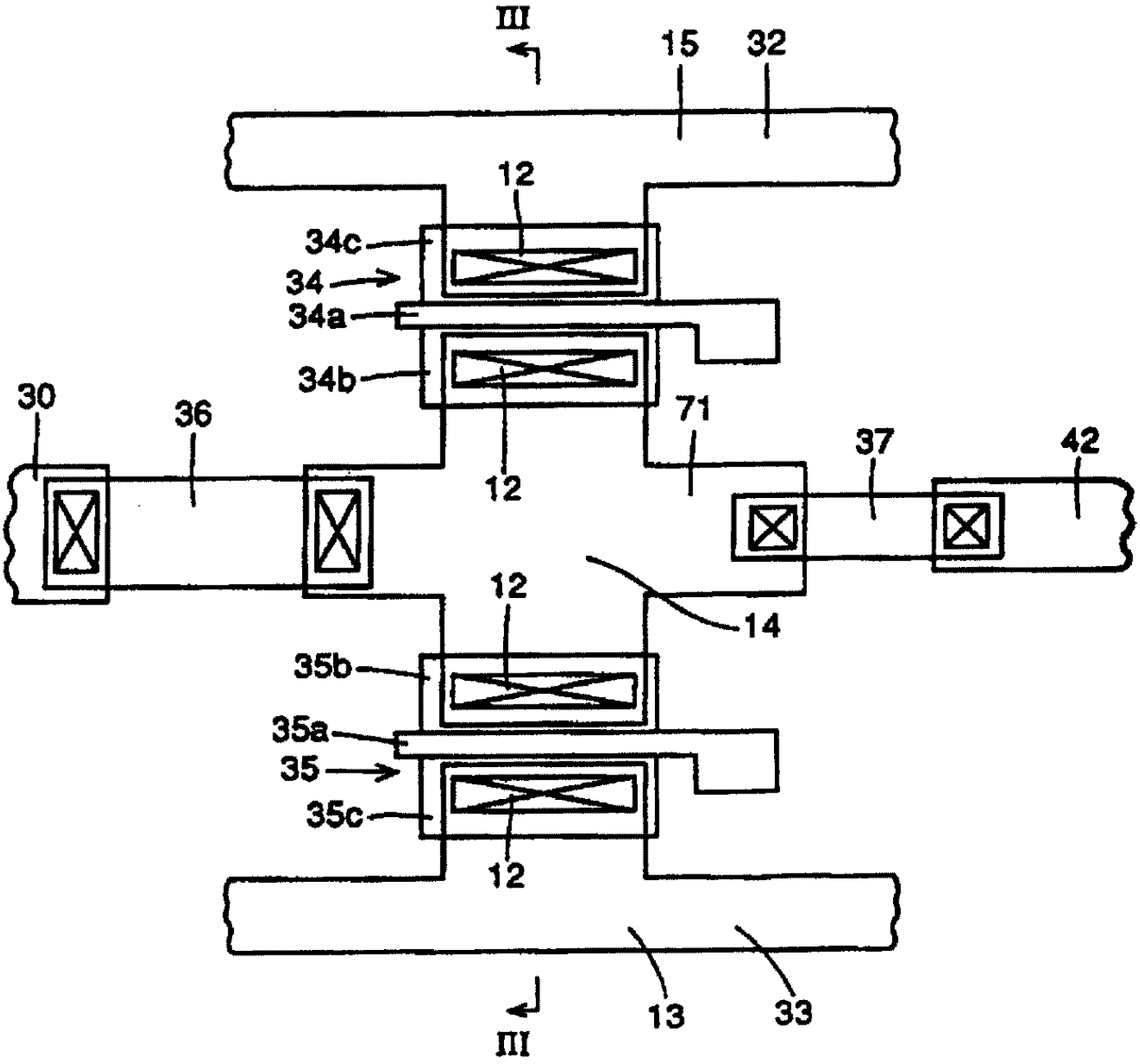
입/출력 보호 회로.

도면

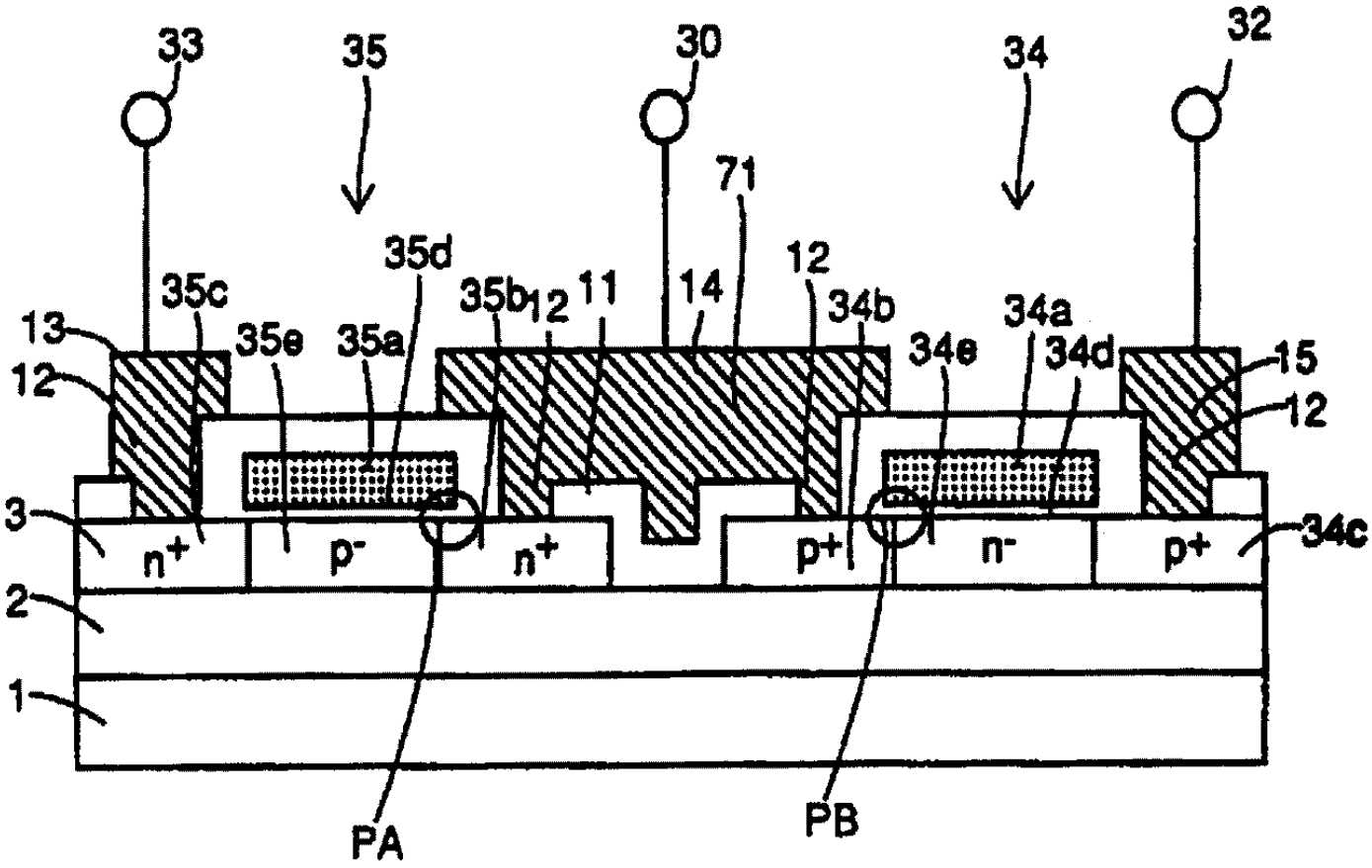
도면 1



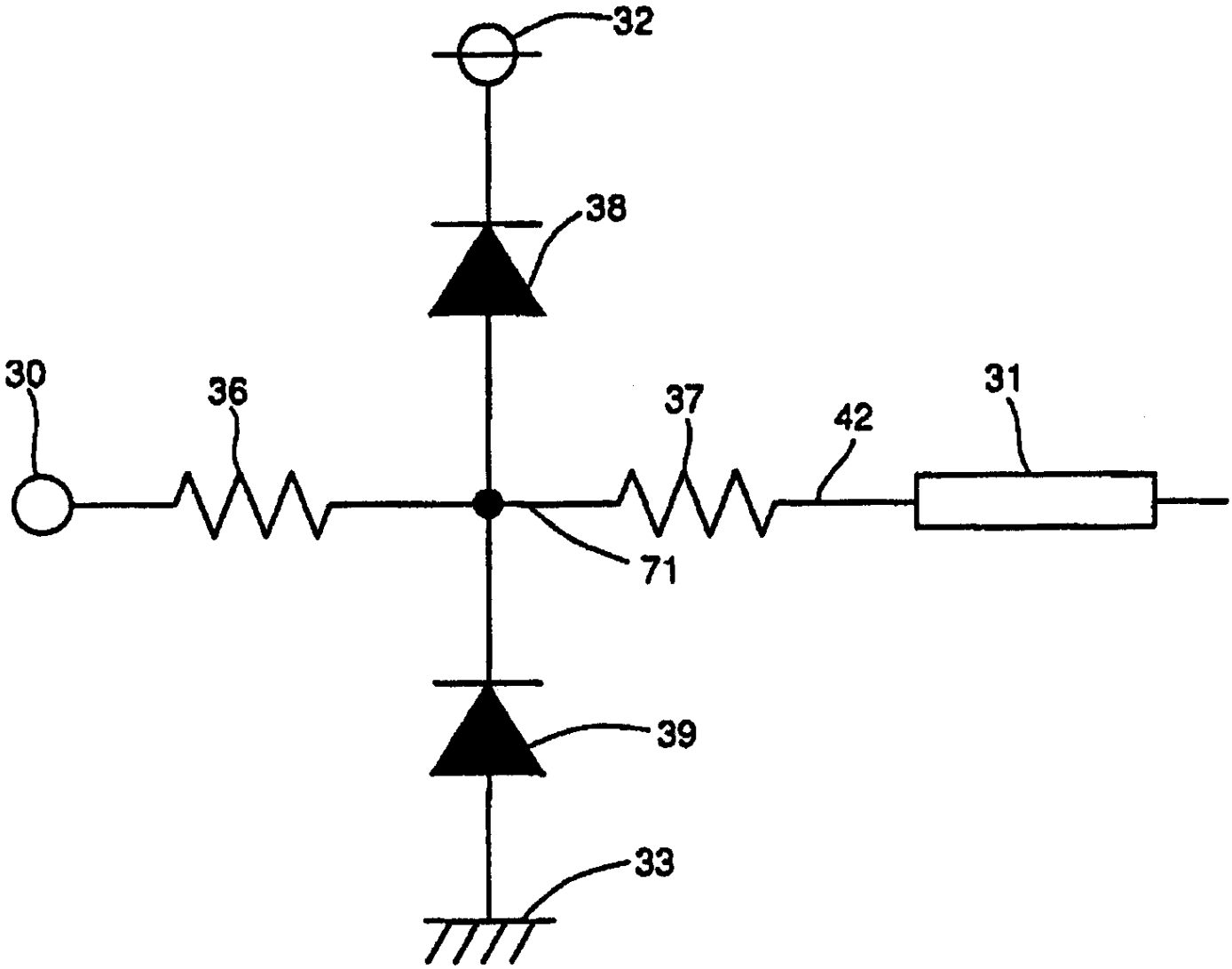
도면 2


III
15
32
12
34c
34
34a
34b
30
36
71
37
42
12
12
14
35b
35a
35
35c
12
13
33
III

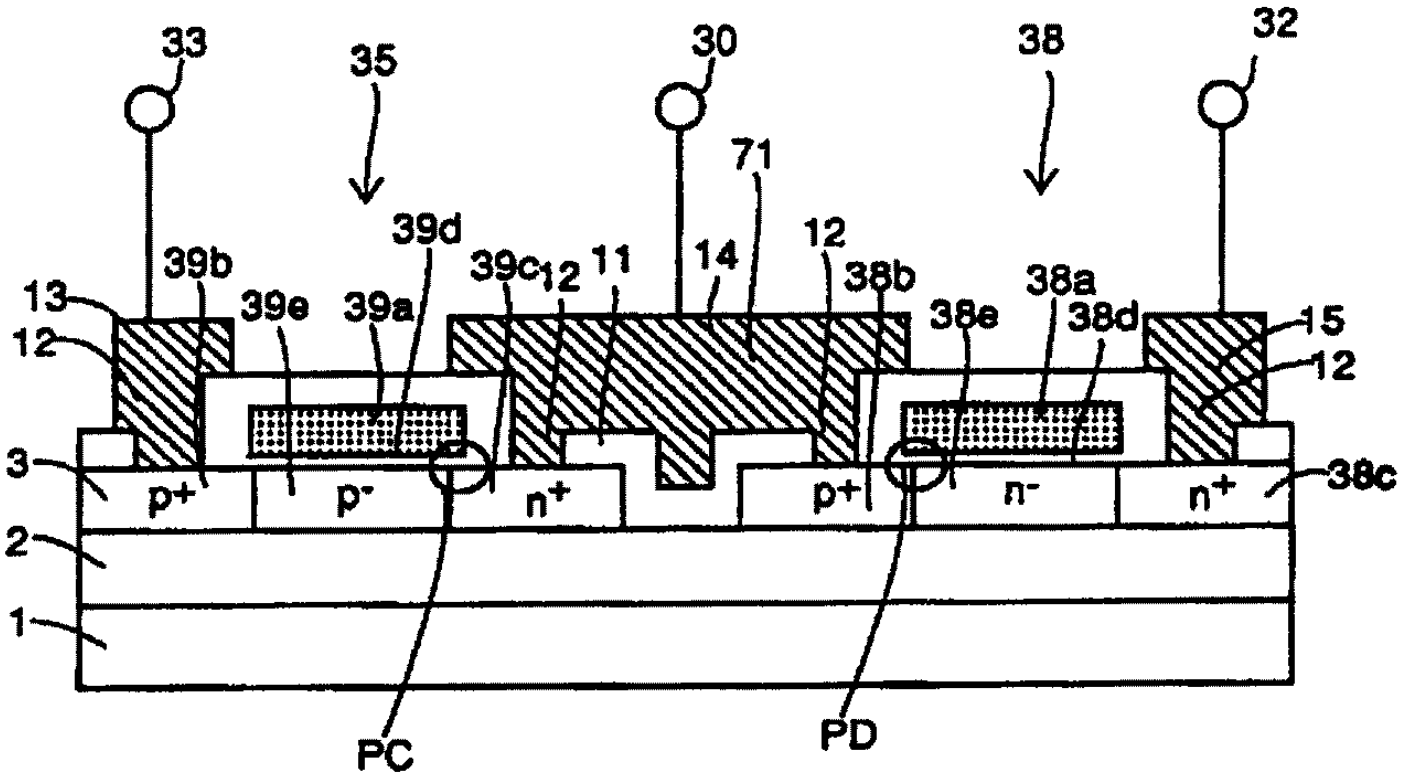
도면 3


33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

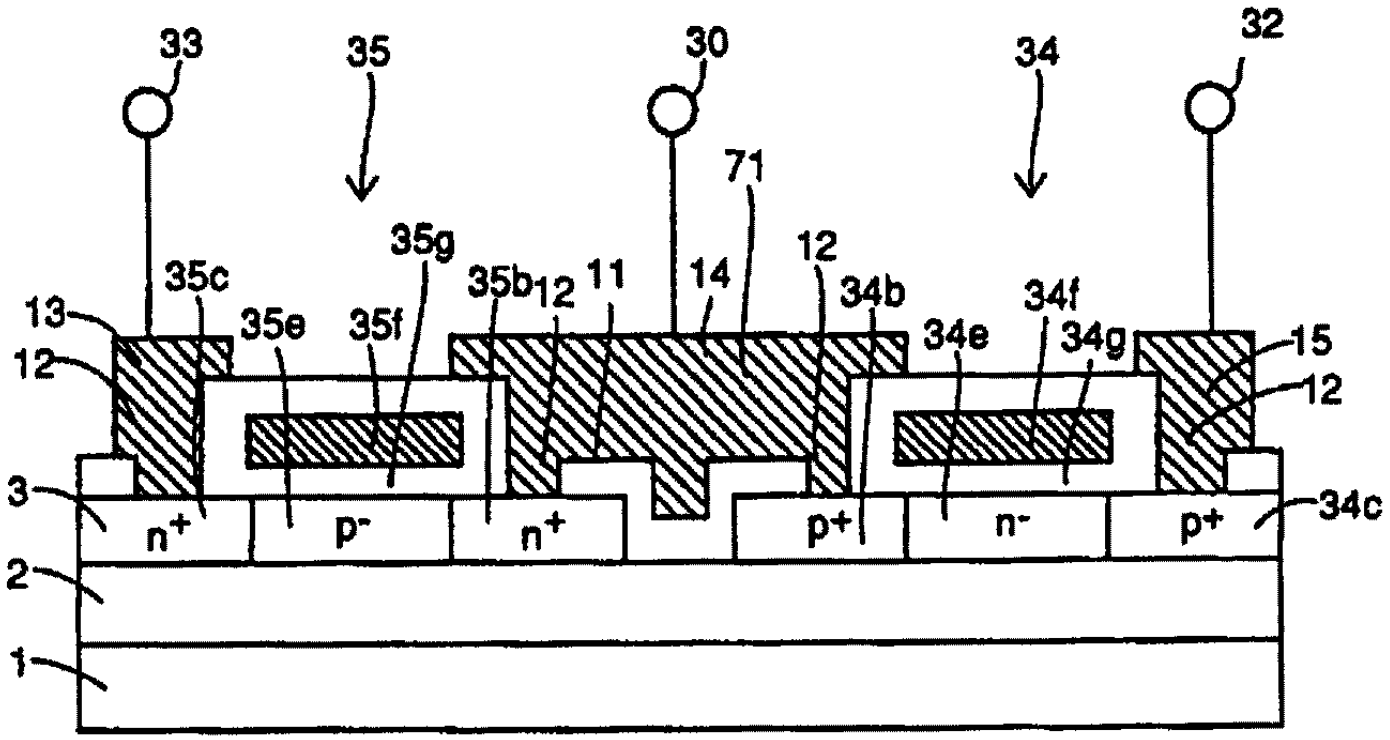
도면 4



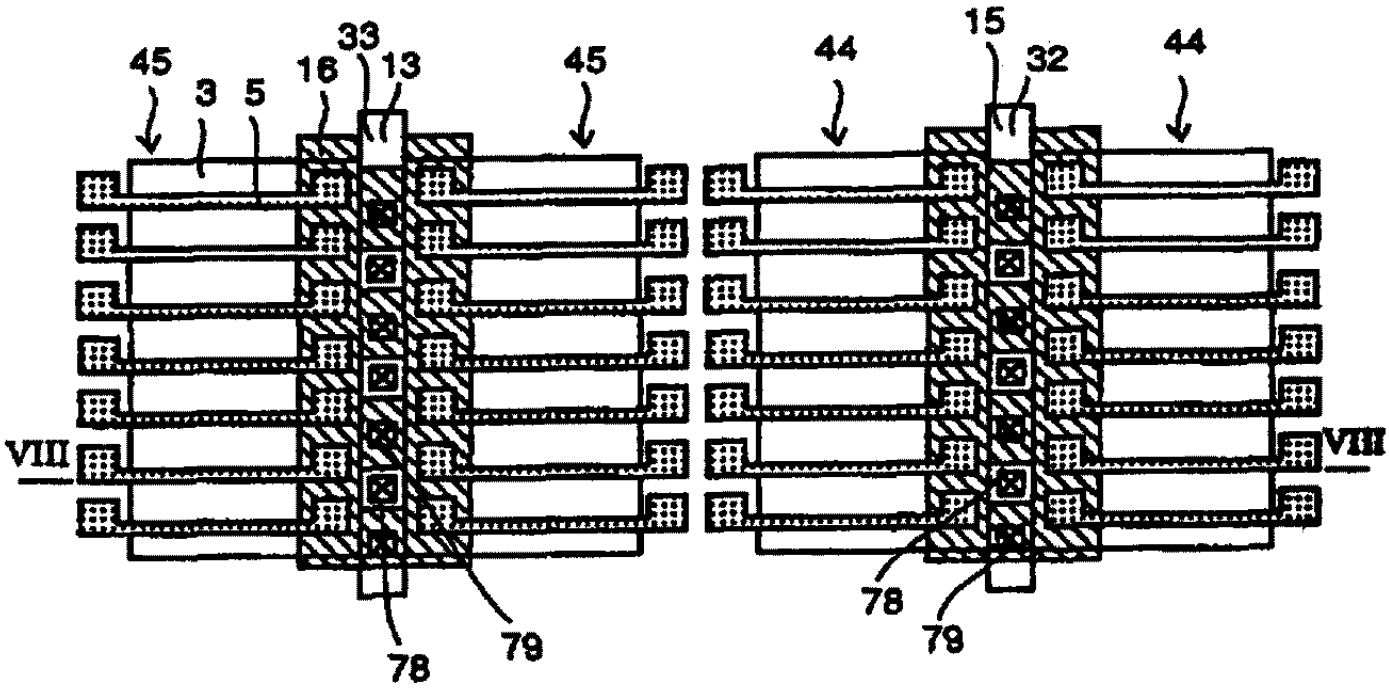
도면 5


33
35
30
38
32
71
39d
39b
39c
12
11
14
12
38b
38a
13
39e
39a
38e
38d
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1
PC
PD

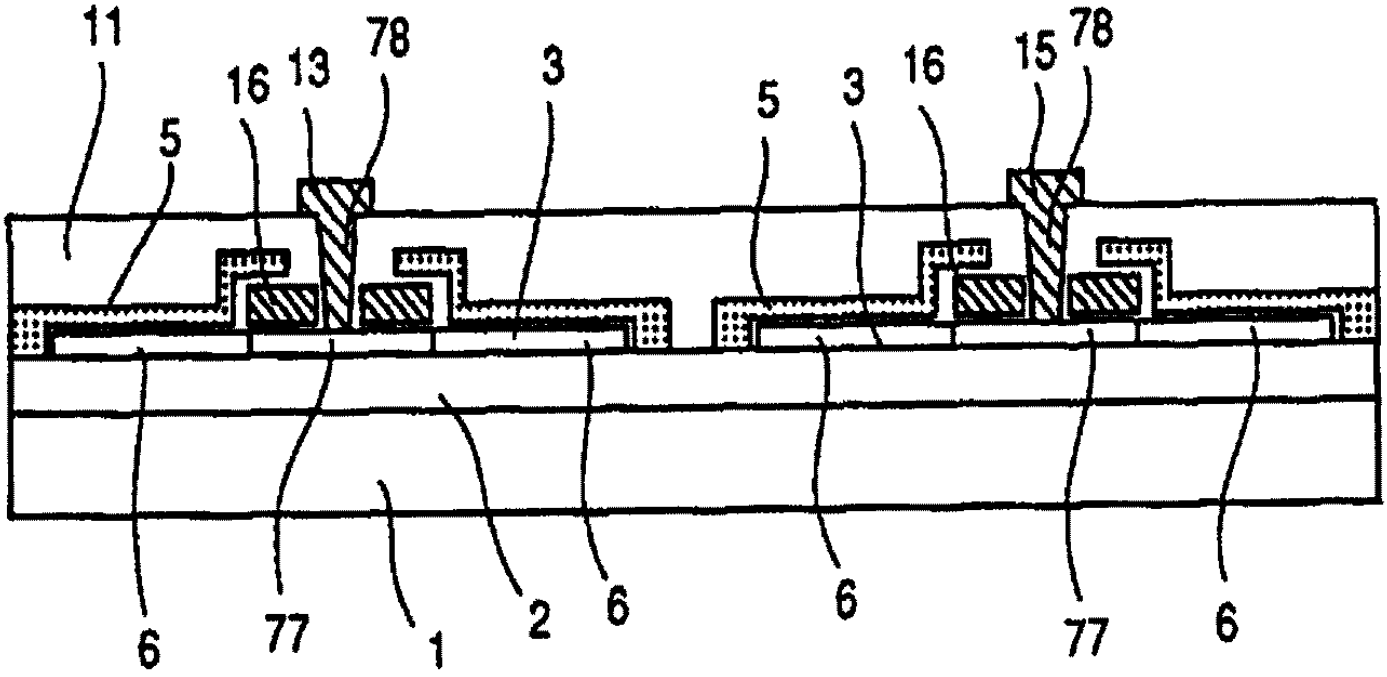
도면 6


33
35
30
34
32
71
35g
35c
35b
12
11
14
12
34b
34f
13
35e
35f
34e
34g
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1

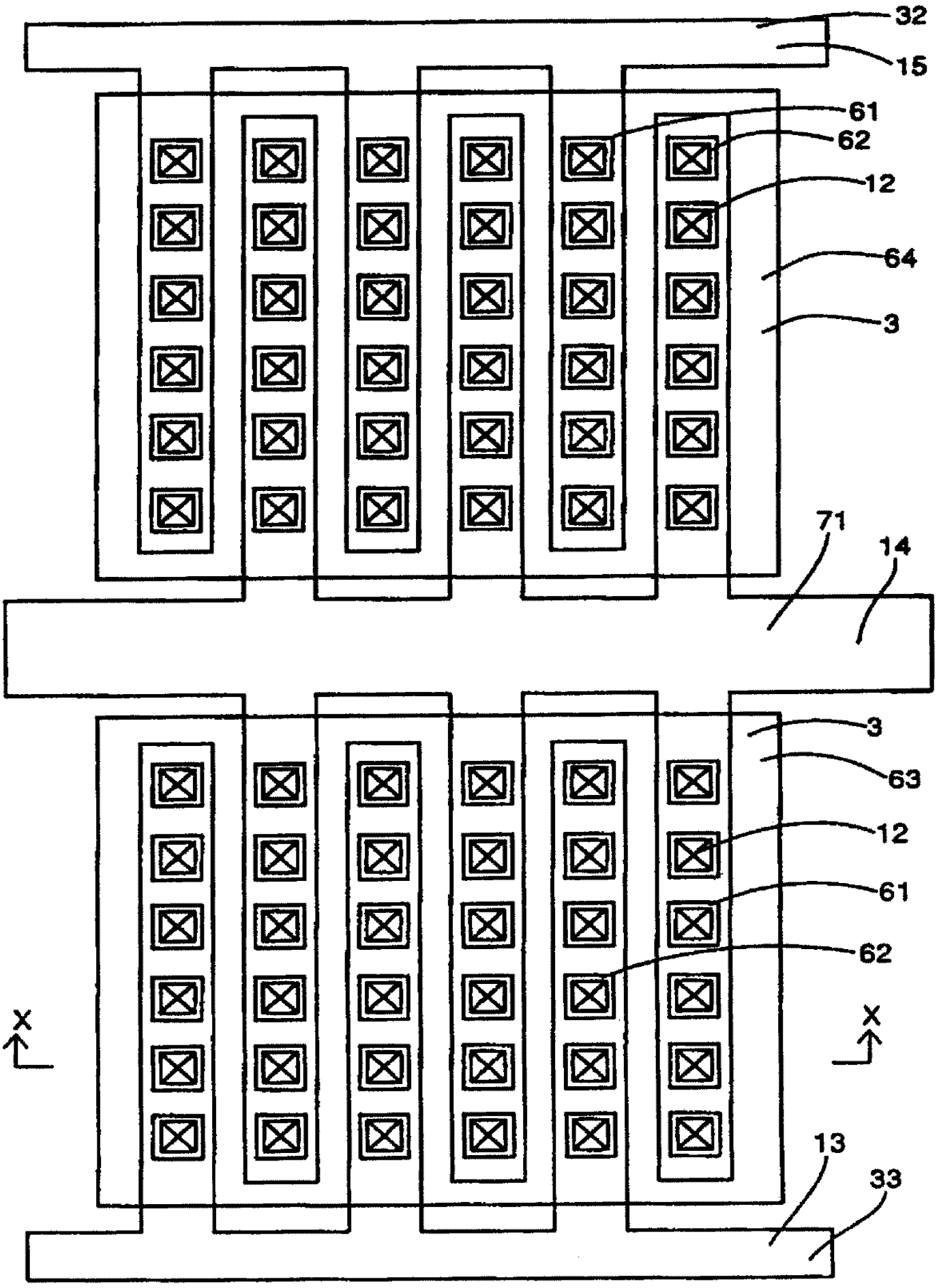
도면 7


45
3
5
16
33
13
45
44
15
32
44
VIII
VIII
78
79
78
79

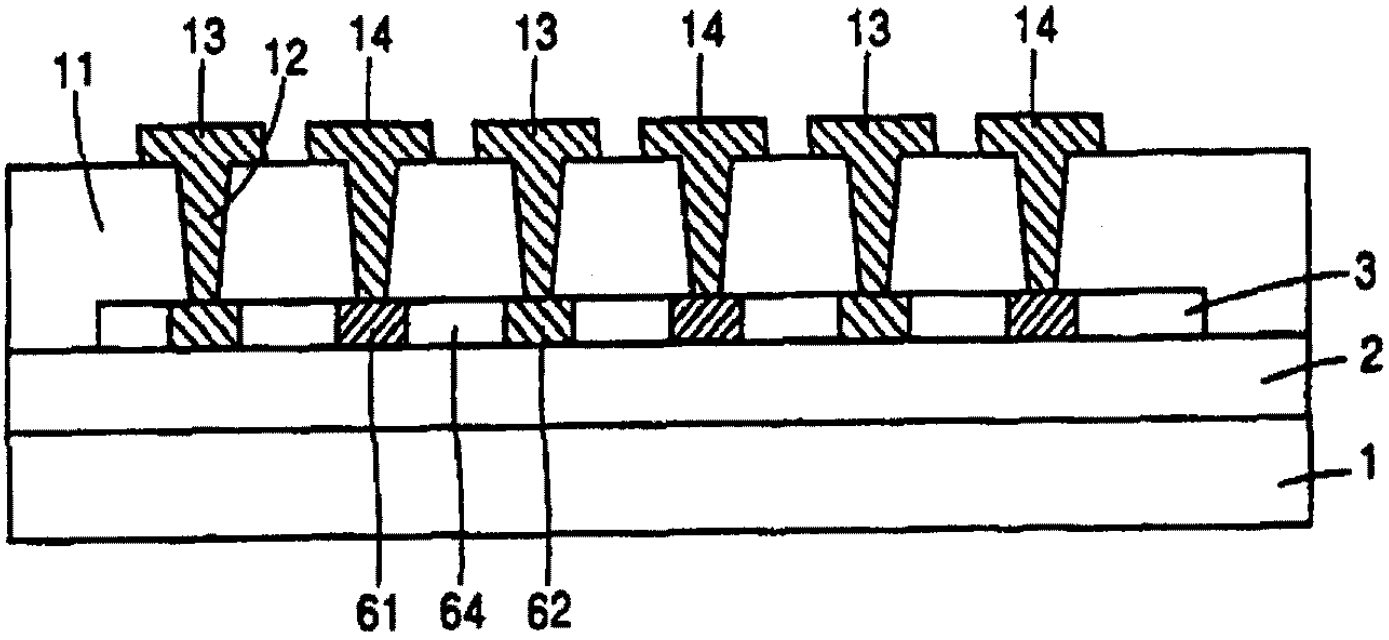
도면 8


11
5
16
13
78
3
5
3
16
15
78
6
77
1
2
6
6
77
6

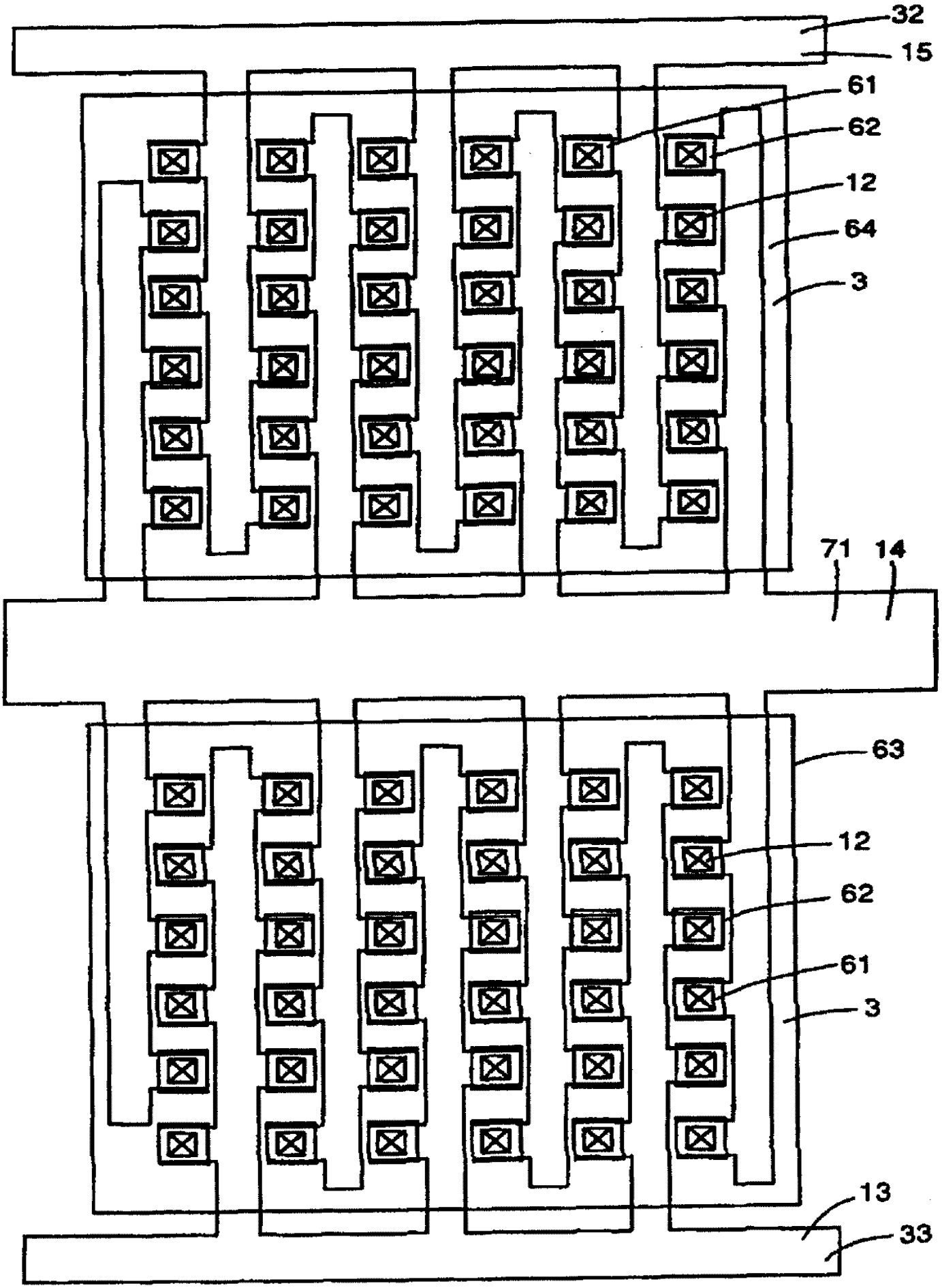
도면 9



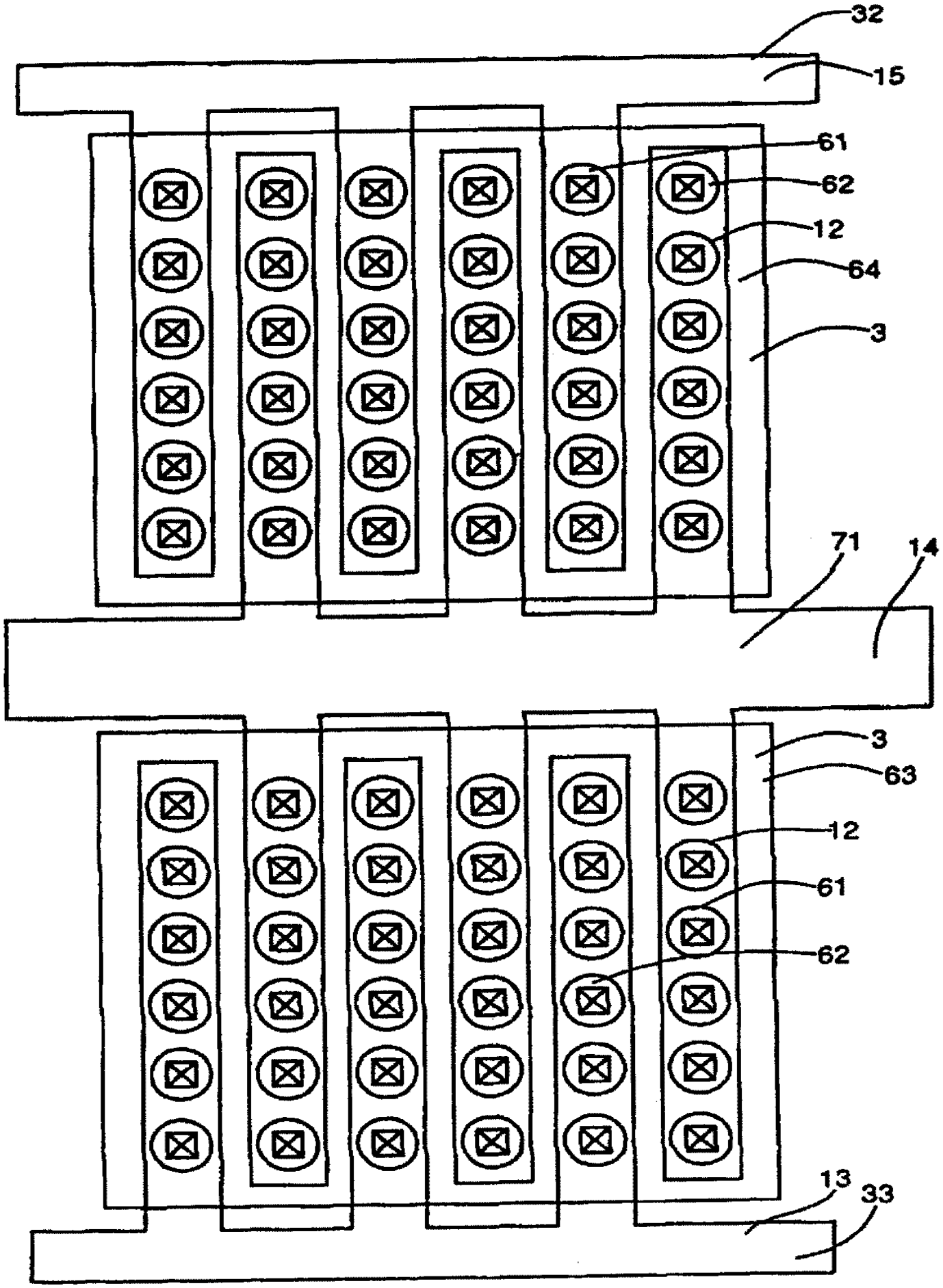
도면 10



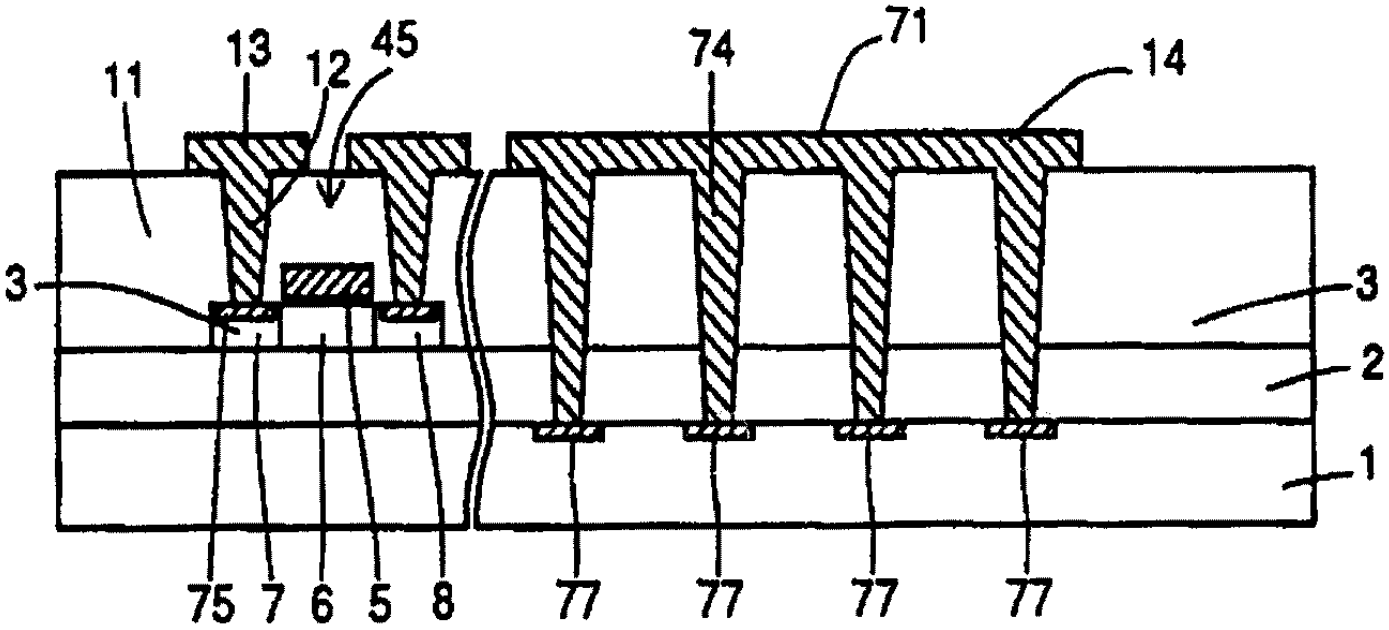
도면 11



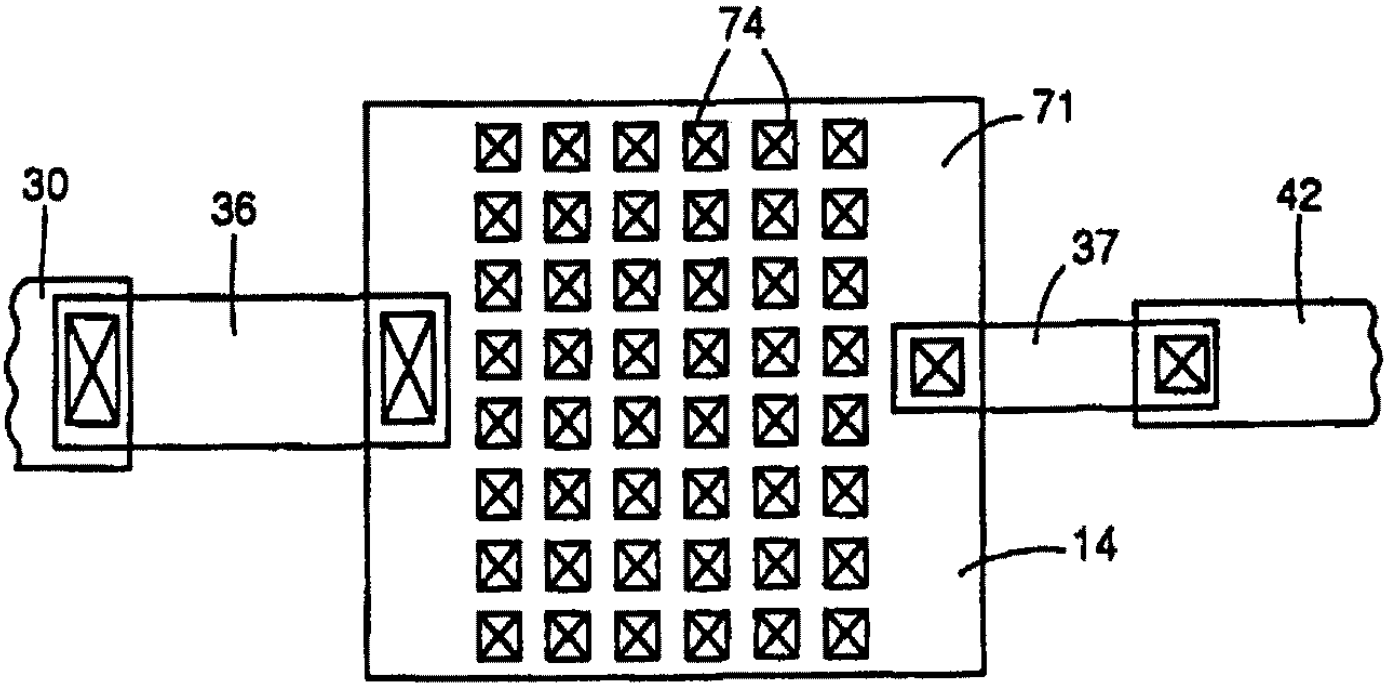
도면 12



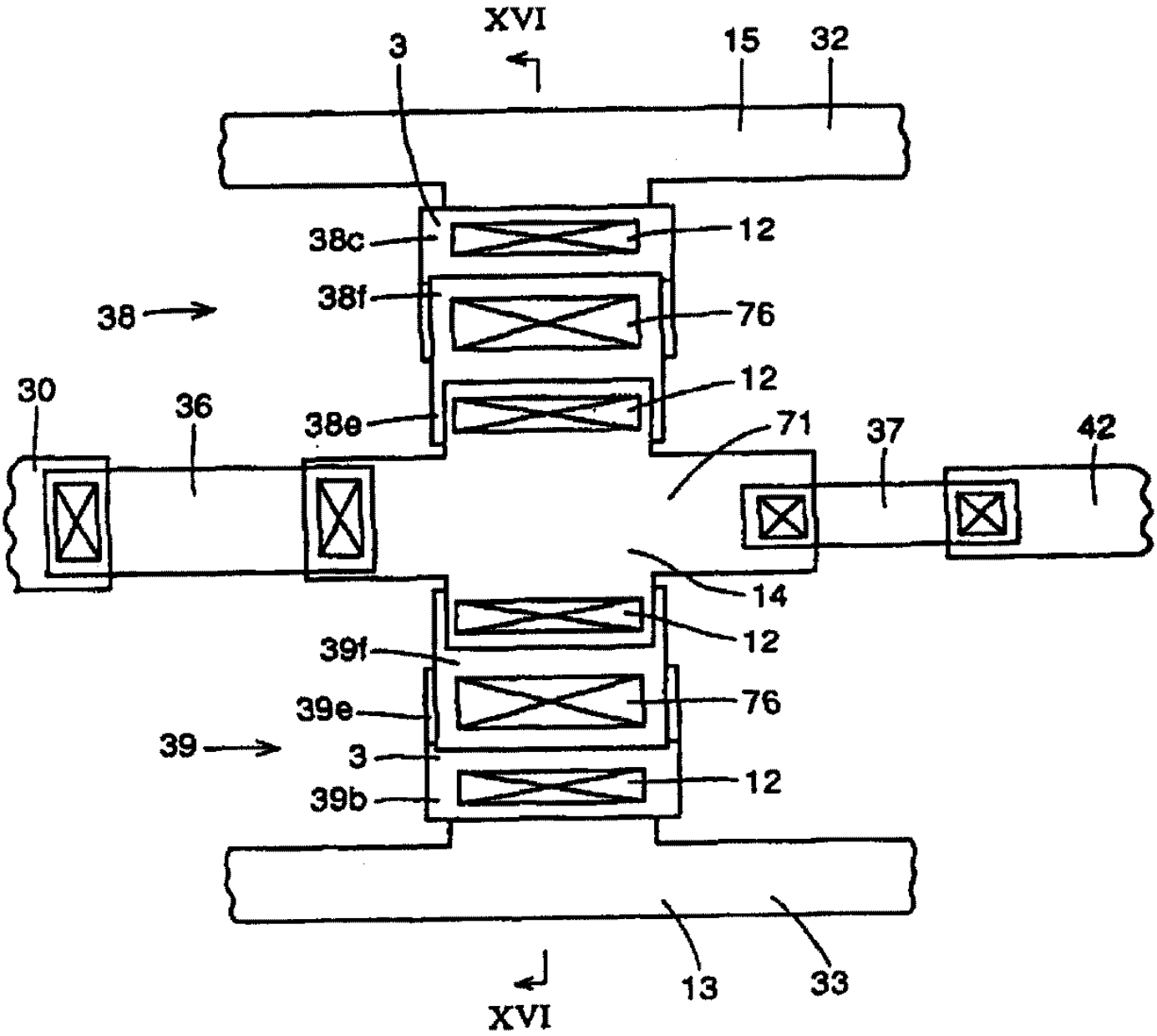
도면 13



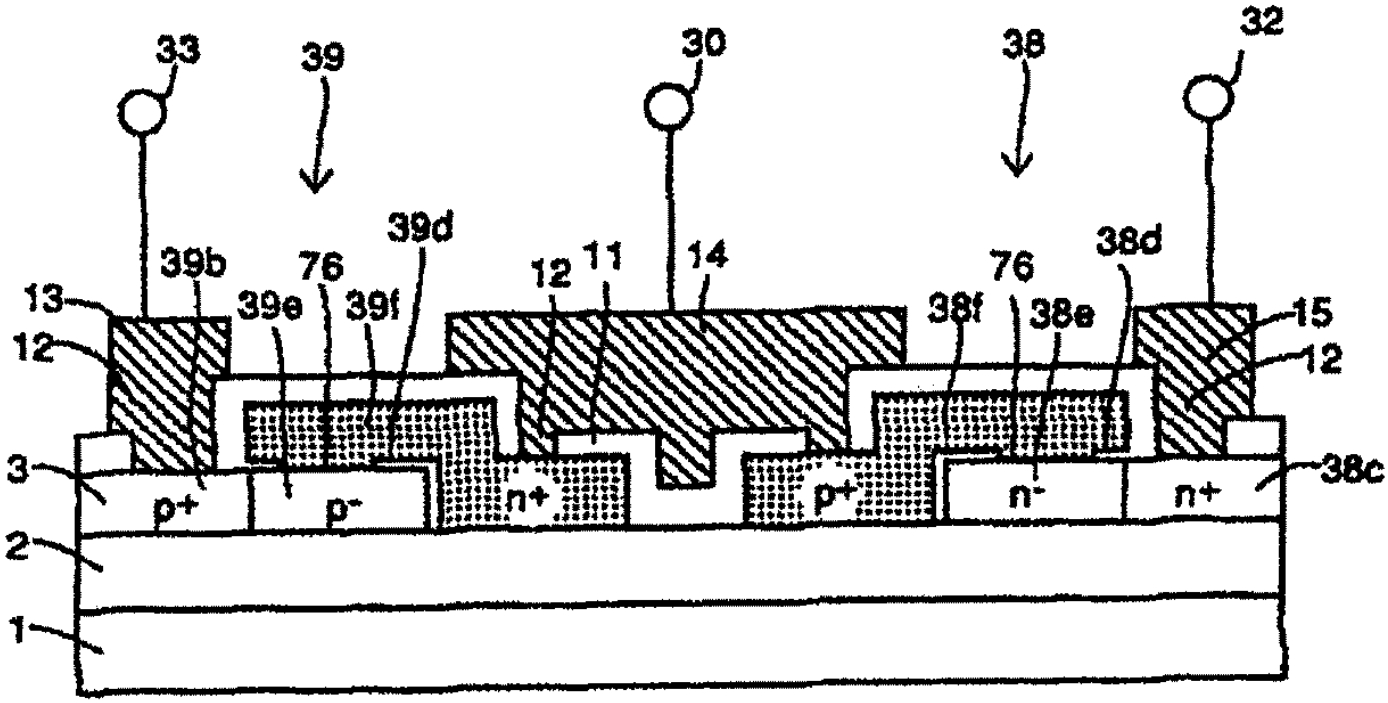

도면 14



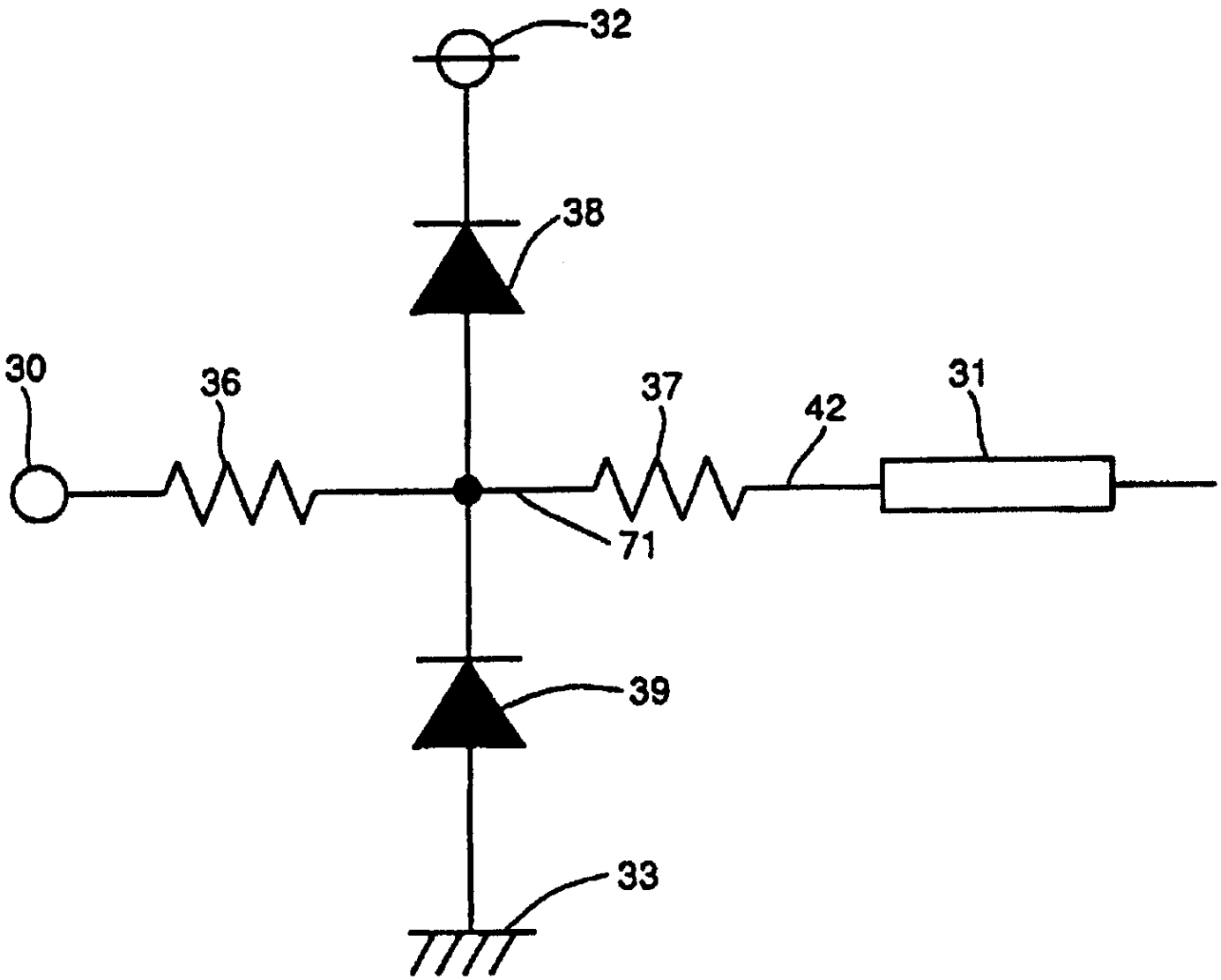
도면 15


XVI
3
15
32
38c
12
38
38f
76
12
30
36
38e
71
37
42
14
39f
12
39e
76
39
3
39b
12
13
33
XVI

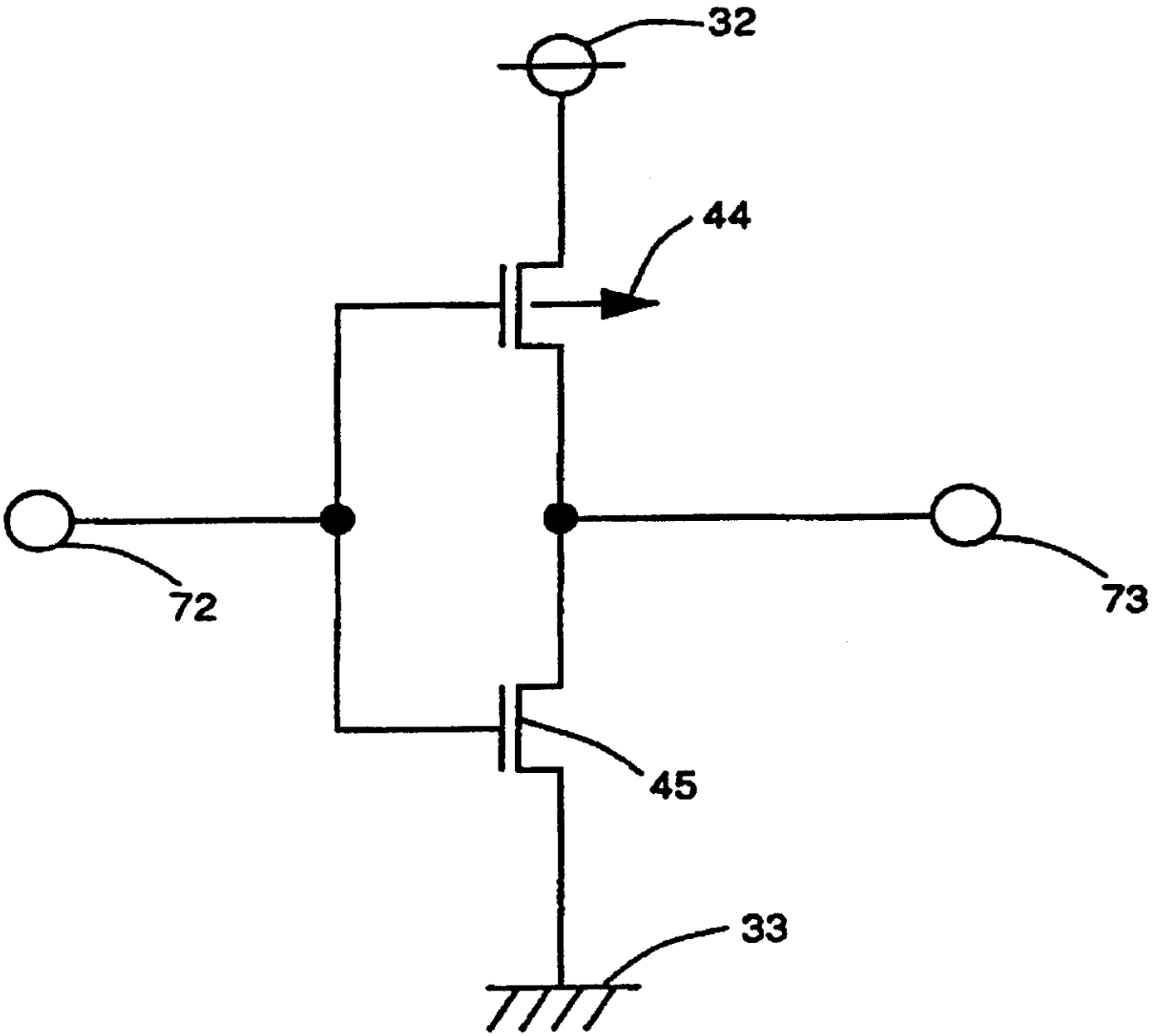
도면 16


33
39
30
38
32
39b
76
39d
12
11
14
76
38d
13
39e
39f
38f
38e
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1

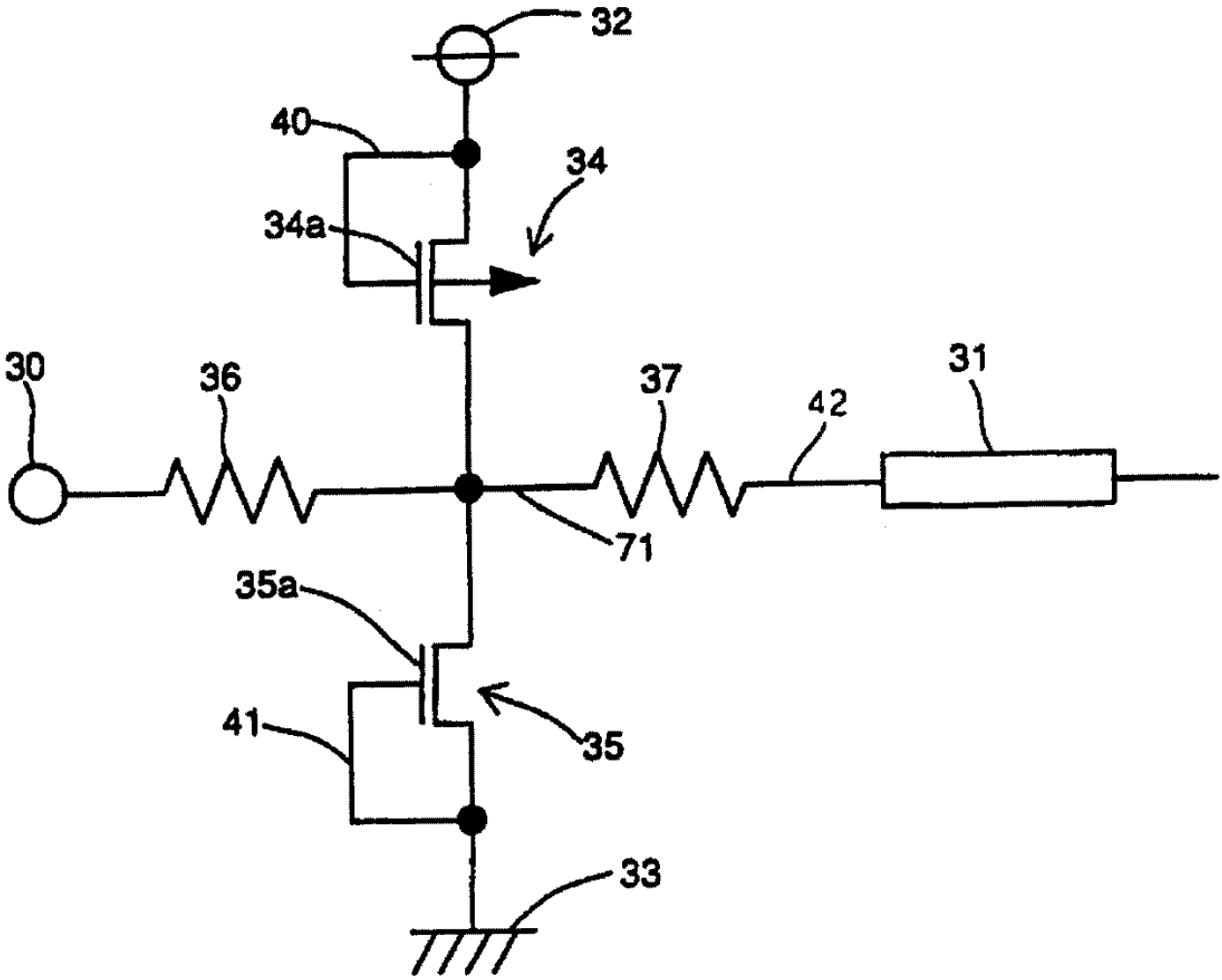
도면 17



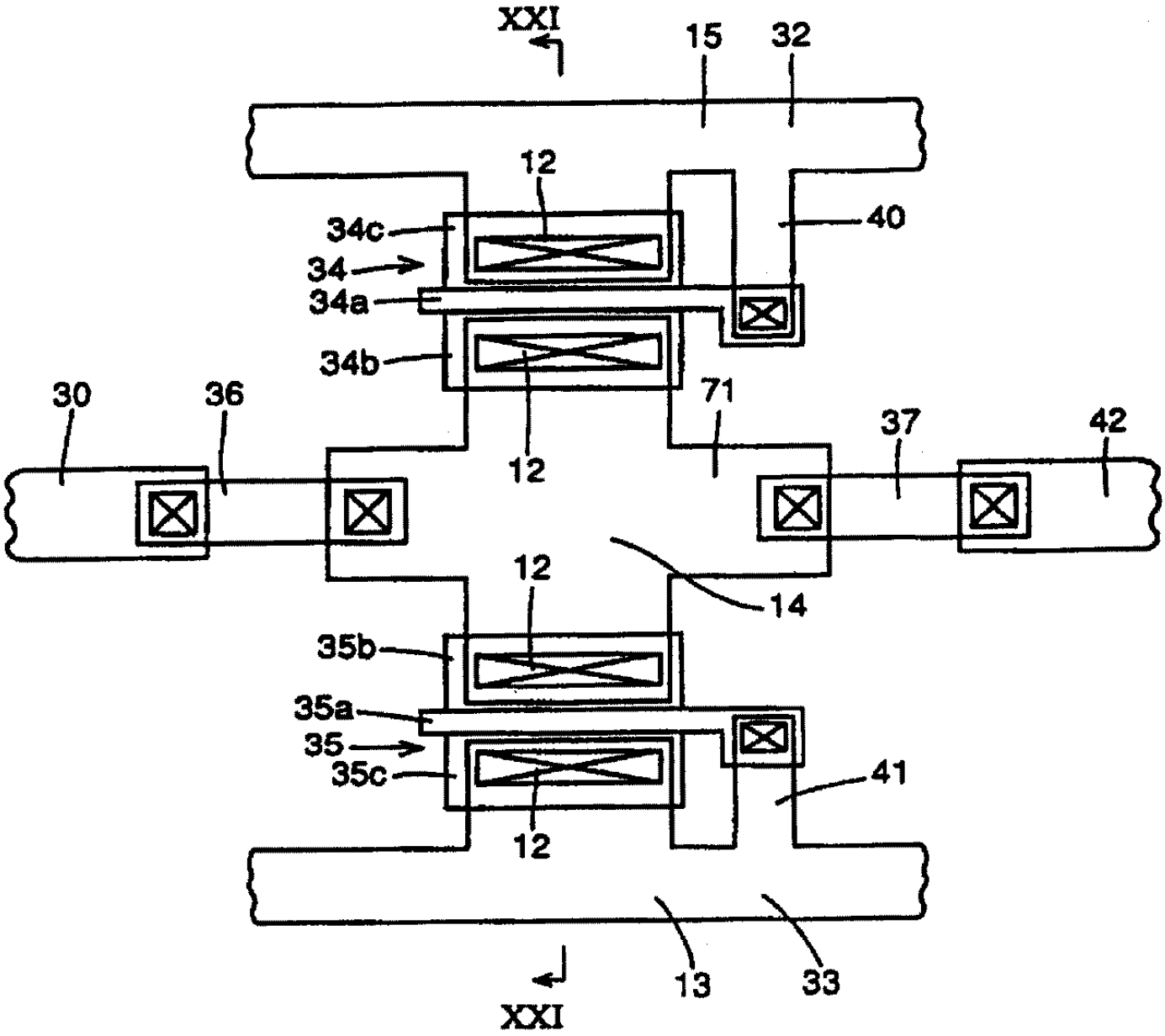
도면 18



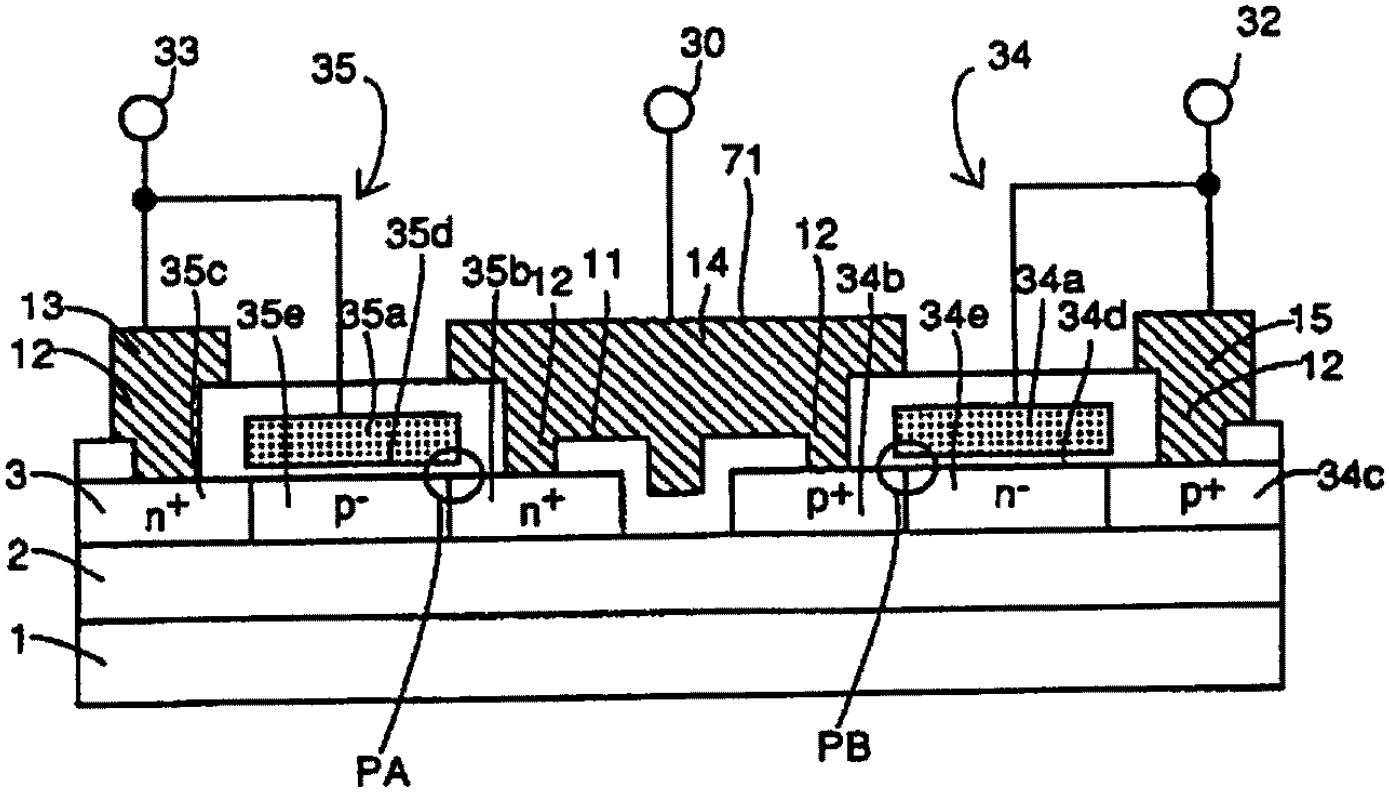
도면 19



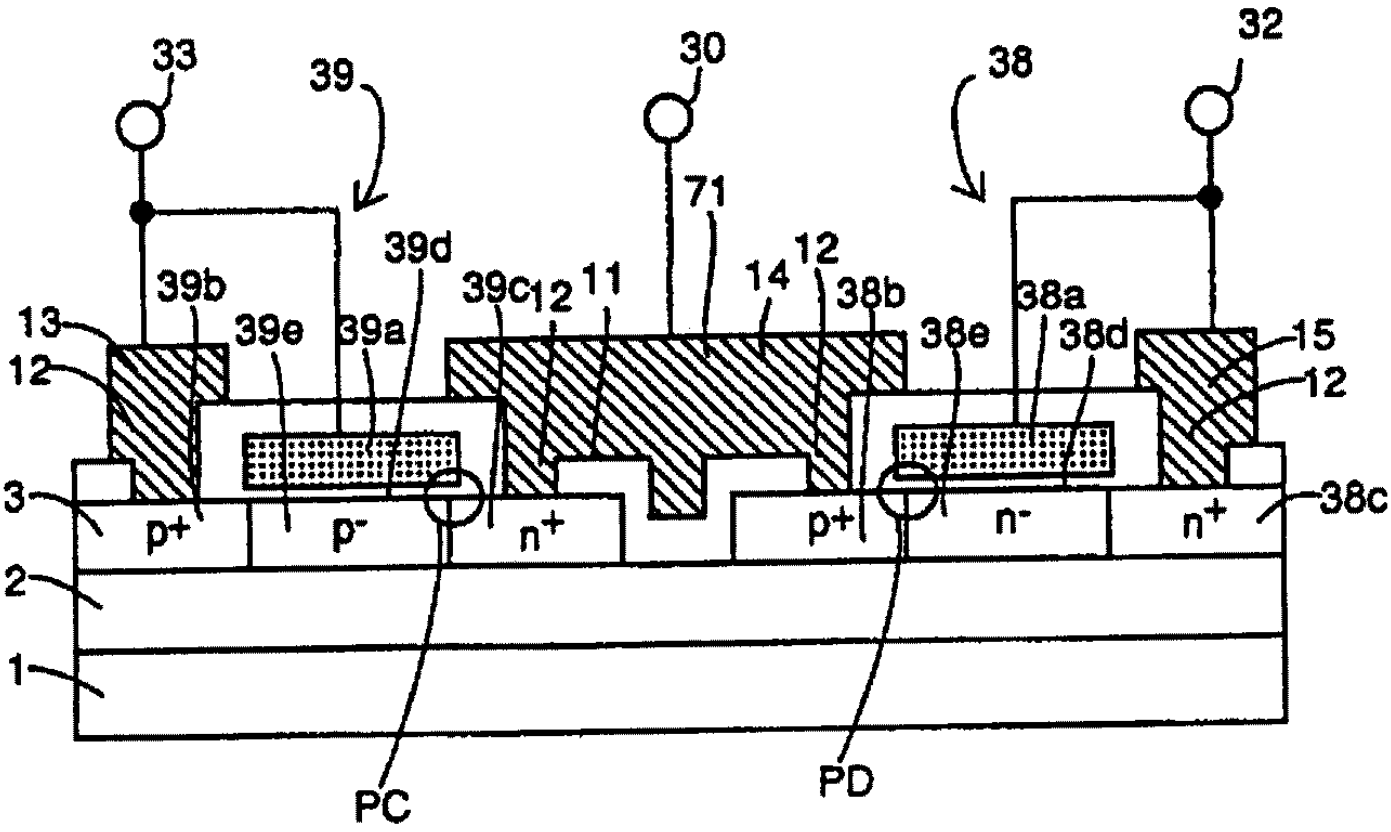
도면 20


XXI
15
32
12
34c
34
34a
34b
40
30
36
71
37
42
12
12
14
35b
35a
35
35c
41
12
13
33
XXI

도면 21


33
35
30
34
32
71
35d
35c
35b
12
11
14
12
34b
34a
13
35e
35a
34e
34d
15
12
12
3
n+
p-
n+
p+
n-
p+
34c
2
1
PA
PB

도면 22


33
39
30
38
32
71
39d
39b
39c
12
11
14
12
38b
38a
13
39e
39a
38e
38d
15
12
12
3
p+
p-
n+
p+
n-
n+
38c
2
1
PC
PD