

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 5 年 6 月 16 日(2023.6.16)

【国際公開番号】WO2021/009586

【出願番号】特願 2021-532540(P2021-532540)

【国際特許分類】

H 1 0 B 12/00(2023.01)

H 1 0 B 41/70(2023.01)

H 0 1 L 29/786(2006.01)

10

【F I】

H 0 1 L 27/1083 2 1

H 0 1 L 27/1156

H 0 1 L 27/1086 7 1 C

H 0 1 L 27/1086 7 1 Z

H 0 1 L 27/1086 2 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 2 B

【手続補正書】

20

【提出日】令和 5 年 6 月 8 日(2023.6.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の積和演算ユニットを有し、

前記複数の積和演算ユニットのそれぞれは、第 1 回路と、前記第 1 回路上に積層された第 2 回路と、を有し、

30

前記第 2 回路は、マトリクス状に配置された複数のメモリセルを有し、

前記第 1 回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算を行う機能とを有し、

前記第 1 回路は、半導体基板に形成された第 1 トランジスタを有し、

前記複数のメモリセルのそれぞれは、チャンネル形成領域に金属酸化物を含む第 2 トランジスタを有し、

前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項 2】

ワード線ドライバ回路と、

40

ビット線ドライバ回路と、

積和演算ブロックと、を有し、

前記積和演算ブロックは、複数の積和演算ユニットを有し、

前記複数の積和演算ユニットのそれぞれは、第 1 回路と、前記第 1 回路上に積層された第 2 回路と、を有し、

前記第 2 回路は、マトリクス状に配置された複数のメモリセルを有し、

前記第 1 回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算を行う機能とを有し、

前記ワード線ドライバ回路と、前記ビット線ドライバ回路とは、前記複数のメモリセルにデータを書き込む機能を有し、

50

前記第 1 回路は、半導体基板に形成された第 1 トランジスタを有し、
前記複数のメモリセルのそれぞれは、チャンネル形成領域に金属酸化物を含む第 2 トランジスタを有し、
前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項 3】

ワード線ドライバ回路と、
ビット線ドライバ回路と、
積和演算ブロックと、を有し、
前記積和演算ブロックは、複数の積和演算ユニットを有し、
前記複数の積和演算ユニットのそれぞれは、第 1 回路と、前記第 1 回路上に積層された第 2 回路と、を有し、

10

前記第 2 回路は、マトリクス状に配置された複数のメモリセルを有し、
前記第 1 回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算を行う機能とを有し、
前記ワード線ドライバ回路と、前記ビット線ドライバ回路とは、前記複数のメモリセルにデータを書き込む機能を有し、

前記ワード線ドライバ回路、前記ビット線ドライバ回路及び前記第 1 回路のそれぞれは、半導体基板に形成された第 1 トランジスタを有し、
前記複数のメモリセルのそれぞれは、チャンネル形成領域に金属酸化物を含む第 2 トランジスタを有し、

20

前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記金属酸化物は、 I_n または Z_n の少なくとも一方を含む、半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置を有する、電子部品。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項に記載の半導体装置を有する、電子機器。

30

40

50