

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年6月16日(2023.6.16)

【国際公開番号】WO2021/009586

【出願番号】特願2021-532540(P2021-532540)

【国際特許分類】

H 10B 12/00(2023.01)

H 10B 41/70(2023.01)

H 01L 29/786(2006.01)

10

【F I】

H 01L 27/108321

H 01L 27/1156

H 01L 27/108671C

H 01L 27/108671Z

H 01L 27/108621

H 01L 29/78 613B

H 01L 29/78 612B

20

【手続補正書】

【提出日】令和5年6月8日(2023.6.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の積和演算ユニットを有し、

前記複数の積和演算ユニットのそれぞれは、第1回路と、前記第1回路上に積層された第2回路と、を有し、 30

前記第2回路は、マトリクス状に配置された複数のメモリセルを有し、

前記第1回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算を行う機能とを有し、

前記第1回路は、半導体基板に形成された第1トランジスタを有し、

前記複数のメモリセルのそれぞれは、チャネル形成領域に金属酸化物を含む第2トランジスタを有し、

前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項2】

ワード線ドライバ回路と、

ビット線ドライバ回路と、

積和演算ブロックと、を有し、

前記積和演算ブロックは、複数の積和演算ユニットを有し、

前記複数の積和演算ユニットのそれぞれは、第1回路と、前記第1回路上に積層された第2回路と、を有し、

前記第2回路は、マトリクス状に配置された複数のメモリセルを有し、

前記第1回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算を行う機能とを有し、

前記ワード線ドライバ回路と、前記ビット線ドライバ回路とは、前記複数のメモリセルにデータを書き込む機能を有し、

40

50

前記第1回路は、半導体基板に形成された第1トランジスタを有し、
前記複数のメモリセルのそれぞれは、チャネル形成領域に金属酸化物を含む第2トランジ
スタを有し、

前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項3】

ワード線ドライバ回路と、

ビット線ドライバ回路と、

積和演算ブロックと、を有し、

前記積和演算ブロックは、複数の積和演算ユニットを有し、

前記複数の積和演算ユニットのそれぞれは、第1回路と、前記第1回路上に積層された第
2回路と、を有し、

前記第2回路は、マトリクス状に配置された複数のメモリセルを有し、

前記第1回路は、前記複数のメモリセルに記憶されたデータを読み出す機能と、積和演算
を行う機能とを有し、

前記ワード線ドライバ回路と、前記ビット線ドライバ回路とは、前記複数のメモリセルに
データを書き込む機能を有し、

前記ワード線ドライバ回路、前記ビット線ドライバ回路及び前記第1回路のそれぞれは、
半導体基板に形成された第1トランジスタを有し、

前記複数のメモリセルのそれぞれは、チャネル形成領域に金属酸化物を含む第2トランジ
スタを有し、

前記複数の前記積和演算ユニットは、マトリクス状に配置されている、半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記金属酸化物は、InまたはZnの少なくとも一方を含む、半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項に記載の半導体装置を有する、電子部品。

【請求項6】

請求項1乃至請求項4のいずれか一項に記載の半導体装置を有する、電子機器。

10

20

30

40

50