



(12) 发明专利申请

(10) 申请公布号 CN 105528308 A

(43) 申请公布日 2016. 04. 27

(21) 申请号 201410583786. 4

(22) 申请日 2014. 10. 24

(71) 申请人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区科技南路
55 号

(72) 发明人 颜志伟

(74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240

代理人 余刚 梁丽超

(51) Int. Cl.

G06F 12/16(2006. 01)

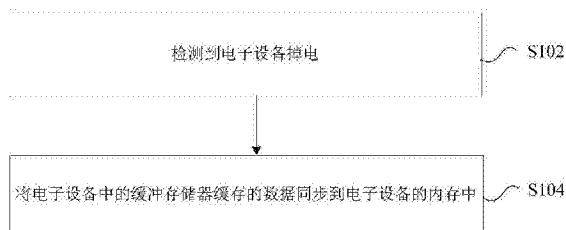
权利要求书2页 说明书6页 附图4页

(54) 发明名称

掉电处理方法、装置及电子设备

(57) 摘要

本发明公开了一种掉电处理方法、装置及电子设备,其中,该方法包括:检测到电子设备掉电;将电子设备中的缓冲存储器缓存的数据同步到电子设备的内存中。通过本发明解决了现有技术中在电子设备异常断电后使内存中数据不丢失的实现方法复杂的问题,进而在电子设备异常断电后,实现了内存中数据不丢失的操作简单,保证了内存中数据的正确性,提升了用户体验。



1. 一种掉电处理方法,其特征在于,包括:
检测到电子设备掉电;
将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中。
2. 根据权利要求 1 所述的方法,其特征在于,所述电子设备掉电的情况包括以下之一:
所述电子设备正常掉电、所述电子设备异常掉电。
3. 根据权利要求 2 所述的方法,其特征在于,所述内存为错误检查和纠正 ECC 内存。
4. 根据权利要求 3 所述的方法,其特征在于,检测到所述电子设备掉电之后包括:
将用于标识所述电子设备是否异常掉电的标志位设置为异常掉电。
5. 根据权利要求 4 所述的方法,其特征在于,将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中之后,所述方法还包括:
从非易失性存储器中读取用于标识所述电子设备是否异常掉电的标志位;
在所述标志位指示异常掉电时,所述电子设备对所述 ECC 内存中的数据进行校验。
6. 根据权利要求 5 所述的方法,其特征在于,所述电子设备通过所述 ECC 内存对所述 ECC 内存中的数据进行校验之后,包括:
将对所述内存中的数据进行 ECC 校验得到的校验结果与所述内存中预先存储的 ECC 校验值进行比较,在比较结果为一致的情况下,确认所述内存中的数据没有变化,在比较结果为不一致的情况下,确认所述内存中的数据发生了变化。
7. 一种掉电处理装置,其特征在于,包括:
检测模块,用于检测到电子设备掉电;
同步模块,用于将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中。
8. 根据权利要求 7 所述的装置,其特征在于,所述检测模块检测到的所述电子设备掉电情况包括以下之一:
所述电子设备正常掉电、所述电子设备异常掉电。
9. 根据权利要求 8 所述的装置,其特征在于,所述内存为错误检查和纠正 ECC 内存。
10. 根据权利要求 9 所述的装置,其特征在于,所述装置还包括:
设置模块,将用于标识所述电子设备是否异常掉电的标志位设置为异常掉电。
11. 根据权利要求 10 所述的装置,其特征在于,所述装置还包括:
读取模块,用于从非易失性存储器中读取用于标识所述电子设备是否异常掉电的标志位;
校验模块,用于在所述标志位指示异常掉电时,所述电子设备对所述 ECC 内存中的数据进行校验。
12. 根据权利要求 11 所述的装置,其特征在于,所述装置还包括:
比较模块,用于将对所述内存中的数据进行 ECC 校验得到的校验结果与所述内存中预先存储的 ECC 校验值进行比较;
第一确认模块,用于在比较结果为一致的情况下,确认所述内存中的数据没有变化;
第二确认模块,用于在比较结果为不一致的情况下,确认所述内存中的数据发生了变化。
13. 一种电子设备,其特征在于,包括:微处理控制器、ECC 内存和缓冲存储器;

微处理控制器,用于在检测到所述电子设备掉电时,产生控制指令;

所述缓冲存储器,用于接收所述控制指令,并在所述控制指令的触发下,将所述缓冲存储器缓存的数据同步到所述 ECC 内存中。

14. 根据权利要求 13 所述的电子设备,其特征在于,所述电子设备还包括:

非易失性存储器,用于存储标识所述电子设备是否异常掉电的标志位。

掉电处理方法、装置及电子设备

技术领域

[0001] 本发明涉及通信领域,具体而言,涉及一种掉电处理方法、装置及电子设备。

背景技术

[0002] 电子设备在工作时,会存在系统异常掉电的情况,这时存储在内存中的用户数据就会丢失,因此希望存在某种设备(比如电池),在电子设备异常掉电后,能够继续为电子设备的内存单元供电,保证内存中数据不丢失,在下次系统启动的过程中,重新利用内存中存储的有效数据,并且尽量使该功能的实现简单。

[0003] 现在采用的内存掉电保护方法基本上是靠外部非易失性存储介质来实现的,简单的说就是在设备电源即将掉电时,将内存中的数据转移到非易失性存储介质中,在设备下次启动后,再将非易失性存储介质中的数据重新拷贝到内存。

[0004] 目前带有错误检查和纠正(Error Correcting Code,简称为ECC)功能的内存条已经非常普遍,虽然ECC内存在正常工作时具有一定的检查、纠错能力,但是在设备重新启动时ECC不会自动校验内存中已有的数据,单纯依靠软件方法利用ECC算法来校验内存中的数据明显不可行,软件也无法从ECC内存中直接读取已有的ECC校验值与自己计算的结果比较。

[0005] 针对相关技术中,在电子设备异常断电后使内存中数据不丢失的实现方法复杂,并且在设备重新启动时ECC不会自动校验内存中已有的数据的问题,还未提出有效的解决方案。

发明内容

[0006] 本发明提供了一种掉电处理方法、装置及电子设备方法及装置,以至少解决现有技术中在电子设备异常断电后使内存中数据不丢失的实现方法复杂,并且在设备重新启动时ECC不会自动校验内存中已有的数据的问题。

[0007] 根据本发明的一个方面,提供了一种掉电处理方法,包括:检测到电子设备掉电;将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中。

[0008] 优选地,所述电子设备掉电的情况包括以下之一:所述电子设备正常掉电、所述电子设备异常掉电。

[0009] 优选地,所述内存为错误检查和纠正ECC内存。

[0010] 优选地,检测到所述电子设备掉电之后包括:将用于标识所述电子设备是否异常掉电的标志位设置为异常掉电。

[0011] 优选地,将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中之后,所述方法还包括:从非易失性存储器中读取用于标识所述电子设备是否异常掉电的标志位;在所述标志位指示异常掉电时,所述电子设备对所述ECC内存中的数据进行校验。

[0012] 优选地,所述电子设备通过所述ECC内存对所述ECC内存中的数据进行校验之后,

包括：将对所述内存中的数据进行 ECC 校验得到的校验结果与所述内存中预先存储的 ECC 校验值进行比较，在比较结果为一致的情况下，确认所述内存中的数据没有变化，在比较结果为不一致的情况下，确认所述内存中的数据发生了变化。

[0013] 根据本发明的另一个方面，还提供了一种掉电处理装置，包括：检测模块，用于检测到电子设备掉电；同步模块，用于将所述电子设备中的缓冲存储器缓存的数据同步到所述电子设备的内存中。

[0014] 优选地，所述检测模块检测到的所述电子设备掉电情况包括以下之一：所述电子设备正常掉电、所述电子设备异常掉电。

[0015] 优选地，所述内存为错误检查和纠正 ECC 内存。

[0016] 优选地，所述装置还包括：设置模块，将用于标识所述电子设备是否异常掉电的标志位设置为异常掉电。

[0017] 优选地，所述装置还包括：读取模块，用于从非易失性存储器中读取用于标识所述电子设备是否异常掉电的标志位；校验模块，用于在所述标志位指示异常掉电时，所述电子设备对所述 ECC 内存中的数据进行校验。

[0018] 优选地，所述装置还包括：比较模块，用于将对所述内存中的数据进行 ECC 校验得到的校验结果与所述内存中预先存储的 ECC 校验值进行比较；第一确认模块，用于在比较结果为一致的情况下，确认所述内存中的数据没有变化；第二确认模块，用于在比较结果为不一致的情况下，确认所述内存中的数据发生了变化。

[0019] 根据本发明的另一个方面，还提供了一种电子设备，包括：微处理控制器、ECC 内存和缓冲存储器；微处理控制器，用于在检测到所述电子设备掉电时，产生控制指令；所述缓冲存储器，用于接收所述控制指令，并在所述控制指令的触发下，将所述缓冲存储器缓存的数据同步到所述 ECC 内存中。

[0020] 优选地，所述电子设备还包括：非易失性存储器，用于存储标识所述电子设备是否异常掉电的标志位。

[0021] 通过本发明，采用检测到电子设备掉电；将电子设备中的缓冲存储器缓存的数据同步到电子设备的内存中。解决了现有技术中在电子设备异常断电后使内存中数据不丢失的实现方法复杂的问题，进而在电子设备异常断电后，实现了内存中数据不丢失的操作简单，保证了内存中数据的正确性，提升了用户体验。

附图说明

[0022] 此处所说明的附图用来提供对本发明的进一步理解，构成本申请的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

[0023] 图 1 是根据本发明实施例的掉电处理方法的流程图；

[0024] 图 2 是根据本发明实施例的掉电处理装置的结构框图；

[0025] 图 3 是根据本发明实施例的掉电处理装置的结构框图一；

[0026] 图 4 是根据本发明实施例的掉电处理装置的结构框图二；

[0027] 图 5 是根据本发明实施例的掉电处理装置的结构框图三；

[0028] 图 6 是根据本发明实施例的电子设备的结构框图；

[0029] 图 7 是根据本发明实施例的电子设备的结构框图一；

- [0030] 图 8 是根据本发明实施例的掉电处理方法涉及到的设备框图；
[0031] 图 9 是根据本发明实施例的掉电处理方法的流程图一；
[0032] 图 10 是根据本发明实施例的电子设备重启时的操作流程图。

具体实施方式

[0033] 下文中将参考附图并结合实施例来详细说明本发明。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0034] 在本实施例中提供了一种掉电处理方法,图 1 是根据本发明实施例的掉电处理方法的流程图,如图 1 所示,该流程包括如下步骤:

[0035] 步骤 S102,检测到电子设备掉电;

[0036] 步骤 S104,将电子设备中的缓冲存储器缓存的数据同步到电子设备的内存中。

[0037] 通过上述步骤,在电子设备掉电时,缓冲存储器将其缓存的数据同步到电子设备的内存中,相比于现有技术中,在电子设备掉电后通过非易失性存储介质将其存储的数据拷贝到内存中,上述步骤解决了现有技术中在电子设备异常断电后使内存中数据不丢失的实现方法复杂的问题,进而在电子设备异常断电后,实现了内存中数据不丢失的操作简单,保证了内存中数据的正确性,提升了用户体验。电子设备出现掉电的情况可以有多种,在一个优选实施例中,电子设备掉电的情况包括电子设备正常掉电或者电子设备异常掉电。其中电子设备异常掉电是指非人为原因主动掉电,比如电压异常、电源被拔掉等。

[0038] 在一个优选实施例中,上述内存为错误检查和纠正 ECC 内存。

[0039] 由于电子设备出现掉电的情况可以有多种,在一个优选实施例中,检测到电子设备掉电之后,将用于标识电子设备是否异常掉电的标志位设置为异常掉电。从而通过对电子设备出现掉电的情况分别予以了标识。在另一个优选实施例中,从非易失性存储器中读取用于标识电子设备是否异常掉电的标志位,在标志位指示电子设备异常掉电的情况下,将电子设备中的缓冲存储器缓存的数据同步到该电子设备的内存中之后,电子设备对 ECC 内存中的数据进行校验。

[0040] 在另一个优选实施例中,电子设备通过 ECC 内存对 ECC 内存中的数据进行校验之后,将对内存中的数据进行 ECC 校验得到的校验结果与内存中预先存储的 ECC 校验值进行比较,在比较结果为一致的情况下,确认内存中的数据没有变化,此时说明对电子设备重新供电后,内存中的数据是正确的,可继续使用的;在比较结果为不一致的情况下,确认内存中的数据发生了变化,在这种情况下,需要进一步判断比较结果差异的大小,在差异小的情况下,可继续使用该内存中的数据,在差异大的情况下,使用该内存中的数据将会产生错误,不能被继续使用。

[0041] 在本实施例中还提供了一种掉电处理装置,该装置用于实现上述实施例及优选实施方式,已经进行过说明的不再赘述。如以下所使用的,术语“模块”可以实现预定功能的软件和/或硬件的组合。尽管以下实施例所描述的装置较佳地以软件来实现,但是硬件,或者软件和硬件的组合的实现也是可能并被构想的。

[0042] 图 2 是根据本发明实施例的掉电处理装置的结构框图,如图 2 所示,该装置包括:检测模块 22,用于检测到电子设备掉电;同步模块 24,用于将电子设备中的缓冲存储器缓存的数据同步到电子设备的内存中。

[0043] 优选地,检测模块 22 检测到的该电子设备掉电情况包括以下之一:电子设备正常掉电、电子设备异常掉电。

[0044] 优选地,内存为错误检查和纠正 ECC 内存。

[0045] 图 3 是根据本发明实施例的掉电处理装置的结构框图一,如图 3 所示,该装置还包括:设置模块 26,将用于标识该电子设备是否异常掉电的标志位设置为异常掉电。

[0046] 图 4 是根据本发明实施例的掉电处理装置的结构框图二,如图 4 所示,该装置还包括:读取模块 28,用于从非易失性存储器中读取用于标识该电子设备是否异常掉电的标志位;校验模块 30,用于在标志位指示异常掉电时,电子设备对该 ECC 内存中的数据进行校验。

[0047] 图 5 是根据本发明实施例的掉电处理装置的结构框图三,如图 5 所示,该装置还包括:比较模块 32,连接至校验模块 30,用于将该内存中的数据进行 ECC 校验得到的校验结果与内存中预先存储的 ECC 校验值进行比较;第一确认模块 34,用于在比较结果为一致的情况下,确认内存中的数据没有变化;第二确认模块 36,用于在比较结果为不一致的情况下,确认内存中的数据发生了变化。

[0048] 图 6 是根据本发明实施例的电子设备的结构框图,如图 6 所示,该电子设备包括:微处理控制器 62、ECC 内存 64 和缓冲存储器 66;微处理控制器 62,用于在检测到电子设备掉电时,产生控制指令;缓冲存储器 66,用于接收控制指令,并在控制指令的触发下,将缓冲存储器 66 缓存的数据同步到 ECC 内存 64 中。其中,缓冲存储器 66,可以是微处理控制器 62 的一部分,俗称刷新高速缓冲存储器(cache),集成在 CPU 内部。

[0049] 图 7 是根据本发明实施例的电子设备的结构框图一,如图 7 所示,该电子设备还包括:非易失性存储器 68,用于存储标识电子设备是否异常掉电的标志位。

[0050] 针对相关技术中存在的上述问题,下面结合优选实施例进行说明,本优选实施例结合了上述实施例及其优选实施方式。

[0051] 本优选实施例提供了一种基于 ECC 内存特性的内存掉电保护方法。该方法的几个组成要素:通信设备使用的网络处理芯片的内存控制器单元能够对内存中的数据进行 ECC 校验,系统掉电后为内存供电的电池,中央处理器(CPU)通过 CPU 总线(local bus)外接一片非易失性随机访问存储器(Non-Volatile Random Access Memory,简称为Nvram)存储系统异常掉电标志(此处可以使用任何一种掉电不丢失数据的存储介质代替),通信设备使用带有 ECC 功能的内存条。

[0052] 电子设备系统异常掉电时,硬件检测到主电源输出电压异常,处理器芯片接收到主电源输出异常中断,通过内存控制器发出内存自刷新命令,同时将 Nvram 中对应的地址置位,硬件逻辑控制打开电池电源,开始为内存供电,之后主电源输出失效。

[0053] 电子设备重启时,在 cpu uboot 引导阶段,从 Nvram 中读出异常掉电标志位,若之前发生系统异常掉电,则进入数据 ECC 校验流程。

[0054] 下面结合附图对本优选实施例进行详细说明。

[0055] 首先该方法基于一定的硬件条件,电子设备使用的网络处理芯片的内存控制器单元能够对内存中的数据进行 ECC 校验,使用的内存带有 ECC 功能,与该方法相关的设备框图如图 8 所示。其中 CPU 是电子设备的核心,完成网络协议处理和报文分发等基本功能。ECC 内存,存储电子设备正常工作时的程序和数据。Nvram 断电后仍能保持数据的一种 ram,设

备在异常掉电时,会将一个标志位存储在 Nvram 中,设备重新启动时,从 Nvram 中读取对应的标志,判断上次掉电是否是异常掉电,以区分本次上电流程。电池 (Battery) 在设备异常掉电时继续为内存供电,保持内存中的数据不丢失。

[0056] 设备在异常掉电时,硬件会检测到主电源电压输出异常,图 9 是根据本发明实施例的掉电处理方法的流程图一,如图 9 所示,该流程包括如下步骤:

[0057] 步骤 S902,电源输出异常;

[0058] 步骤 S904,进入中断处理入口;

[0059] 步骤 S906,Nvram 进行标识;

[0060] 步骤 S908,刷新高速缓冲存储器,将其缓存的数据同步到内存中;

[0061] 步骤 S910,启动内存自刷新;

[0062] 步骤 S912,硬件启动电池为内存电池。

[0063] 具体地,硬件检测到这个异常后,会向 CPU 发送一个中断信号触发设备异常掉电中断,随后软件进入中断流程,触发通过 request_irq 挂接的中断处理函数,中断处理函数主要完成两个工作:1、设置 Nvram 中对应的标志位,表明此次掉电是设备异常掉电,设备在下次启动时要对内存中的数据进行 ECC 校验;2、刷新高速缓冲存储器(cache)同时内存开启自刷新模式,刷新 cache 是为了将 cache 中的数据同步到内存,自刷新(Self-Refresh)在无时钟输入时使用,先执行进入自刷新命令(REFS-EN)进入自刷新模式,开始内部刷新地址计数器计数和刷新操作,刷新控制电路按一定的时间间隔提供刷新控制,Self-Refresh 通常用在节能(power-saving)模式,或是睡眠模式(sleep mode),可以少耗电,刷新周期越短,耗电量越大,为求省点,通常都尽可能的将刷新周期加长,但是周期太长是有危险的,一旦不足以保持 DRAM 的内容,就会造成丢失。对 Nvram 的置位操作,可以采用直接向固定地址写入值的方式,设计时可以将 Nvram 挂接在 CPU 的 local bus 下,然后选取它对应地址空间的一个字节作为标志位,将该字节存储的值改写为 1。刷新 cache 可以采用向无用内存地址写入值的方式,内存大小直接能覆盖 cache 大小即可,这是为了保证正常运行时 cache 中的值已全部同步到内存。在软件处理中断的同时,硬件逻辑会打开电池(battery)的开关,开始为内存供电,之后主电源失效,电子设备掉电。

[0064] 由于在电子设备掉电过程中,内存一直是由电池来供电的,因此内存中的数据不会丢失。但是对于软件来说依然需要保证内存中数据的可靠性,或者至少能够确定数据是否发生了变化,这主要依靠设备重新上电时进行的一些操作。

[0065] 电子设备在重新上电时,CPU 采用 uboot 进行引导,uboot 将 CPU 的内存控制器初始化后,会经过图 10 中所示的一个过程,其具体过程如下:

[0066] 步骤 S1002,进入该过程后,首先软件从 Nvram 中读取表示设备是否异常掉电的标志位,其操作同设备掉电时相同,标志位对应的地址不变,一个是写操作,一个是读操作。

[0067] 步骤 S1004,判断标志位是否被置一,如果标志位置一,表示上次掉电为异常掉电,内存存在掉电过程中使用电池进行了供电,其中的数据需要进行校验,如果标志位没有被置一,则跳过该过程,执行步骤 S1012。如果标志位被置一,执行步骤 S1006。这里所采用的标志位置一的方式只是为了区分是否是异常掉电而采用的一种方法,判断标志位的方式可以另外选择。进入数据校验流程后所要进行的一系列操作主要依赖 CPU 的硬件特性,这里我们采用的 CPU 的内存控制器单元必须能对内存中的数据进行 ECC 校验。这里以一款 mips

架构的 CPU 为例来说明该过程。

[0068] 步骤 S1006, 确定开始地址和结束地址。基于该 CPU 内存控制器的特点, 首先选择需要的内存空间, 用开始地址和结束地址这个区间来表示, 这里的地址值是相对于内存大小来说的, 比如内存大小为 2G, 开始地址为 0, 结束地址为 1G, 表示要对内存的前半部分进行校验, 而非 CPU 所见的物理空间地址 0 ~ 1G。

[0069] 步骤 S1008, 64 字节 ECC 校验。后面就要借助该内存控制器中的一个硬件模块来实现数据的校验了, 该模块可以从支持 ECC 功能的 ddr3 内存中一次读取 64 字节的数据, 并且计算出这些数据对应的 ECC 校验值, 然后将该值与从内存中读取的已经存在的 ECC 校验值进行比较, 如果一致, 则认为内存中的数据没有变化, 如果不一致, 则认为内存中的值发生了变化。由于该模块一次只能处理 64 字节的数据, 如果校验的内存大小大于 64 字节, 需要从开始地址到结束地址循环进行, 每校验完成 64 字节就比较一次, 如果有失败, 就将计数 errrcount 进行加一操作, 直到把所有需要的内存都校验完成。

[0070] 步骤 S1010, 校验完成后, 将 errrcount 也写入 Nvram 中对应的一个地址, 在电子设备重新完成上电后, 从 Nvram 中读取该值, 软件根据数据校验错误的多少来决定, 内存中保存的数据能否继续使用。从数据校验的过程中我们能够看出, 该方法主要依赖 CPU 内存控制器的内存 ECC 校验模块, 特别是它能够完成 64 字节数据 ECC 校验值计算和从内存中读出原有 ECC 校验值的特性。当然, 方法的具体实现并不局限于以上说明, 比如如果某系列的 CPU 能够完成内存中数据的 ECC 校验, 但并不是每次只能处理 64 字节长度的数据, 方法的实现就要做相应的修改, 这里只是基于已经应用的一款处理器做的方法说明。

[0071] 步骤 S1012, 流程结束。

[0072] 综上所述, 通过本发明实施例采用的方法省去了数据搬移的过程, 在设备掉电的过程中, 数据仍然存在于设备内存中。并且可以借鉴 ECC 内存的特性保证对内存单独供电时数据的正确性, 使设备重启后能正常使用内存中的数据, 这也是本发明中内存掉电保护功能的一个关键。

[0073] 显然, 本领域的技术人员应该明白, 上述的本发明的各模块或各步骤可以用通用的计算装置来实现, 它们可以集中在单个的计算装置上, 或者分布在多个计算装置所组成的网络上, 可选地, 它们可以用计算装置可执行的程序代码来实现, 从而, 可以将它们存储在存储装置中由计算装置来执行, 并且在某些情况下, 可以以不同于此处的顺序执行所示出或描述的步骤, 或者将它们分别制作成各个集成电路模块, 或者将它们中的多个模块或步骤制作成单个集成电路模块来实现。这样, 本发明不限制于任何特定的硬件和软件结合。

[0074] 以上所述仅为本发明的优选实施例而已, 并不用于限制本发明, 对于本领域的技术人员来说, 本发明可以有各种更改和变化。凡在本发明的精神和原则之内, 所作的任何修改、等同替换、改进等, 均应包含在本发明的保护范围之内。

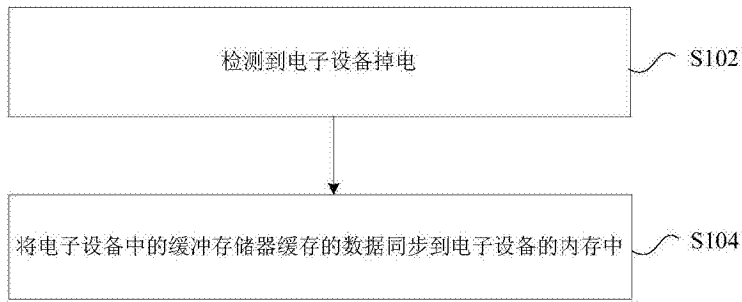


图 1



图 2

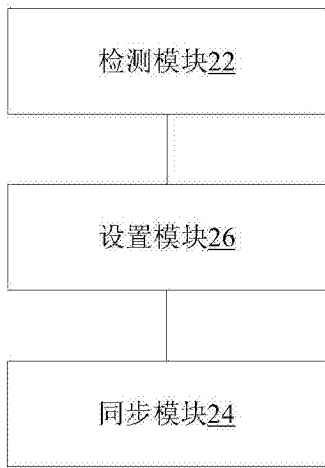


图 3

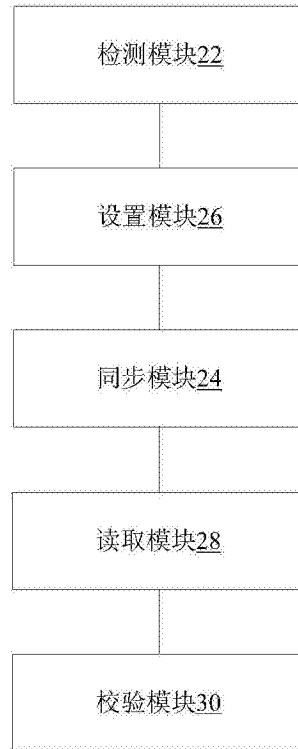


图 4

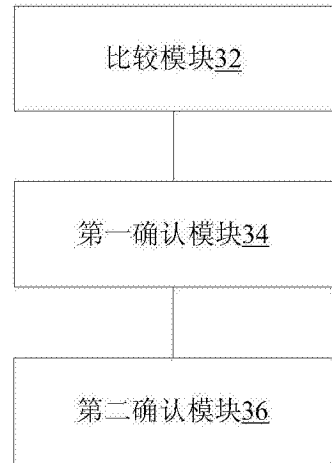


图 5



图 6



图 7

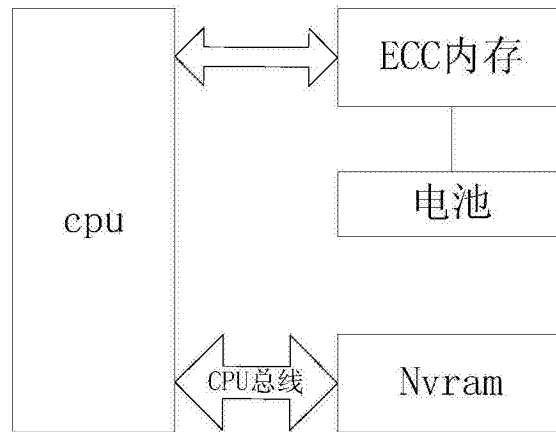


图 8

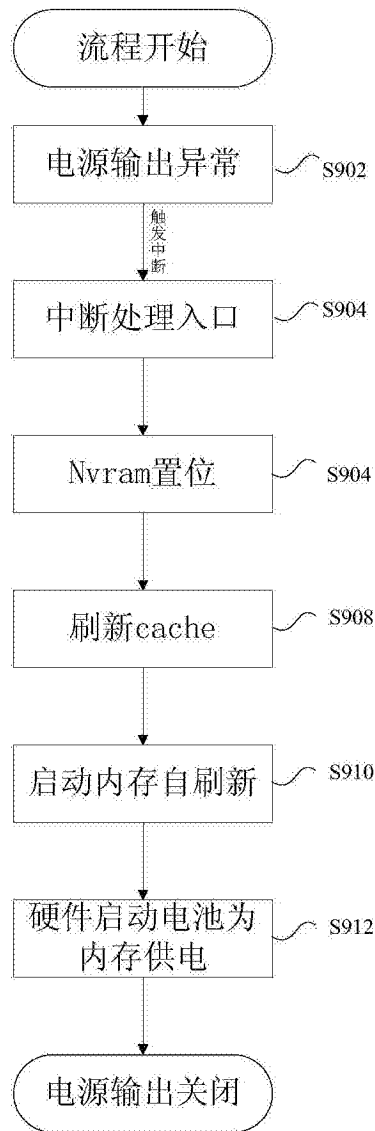


图 9

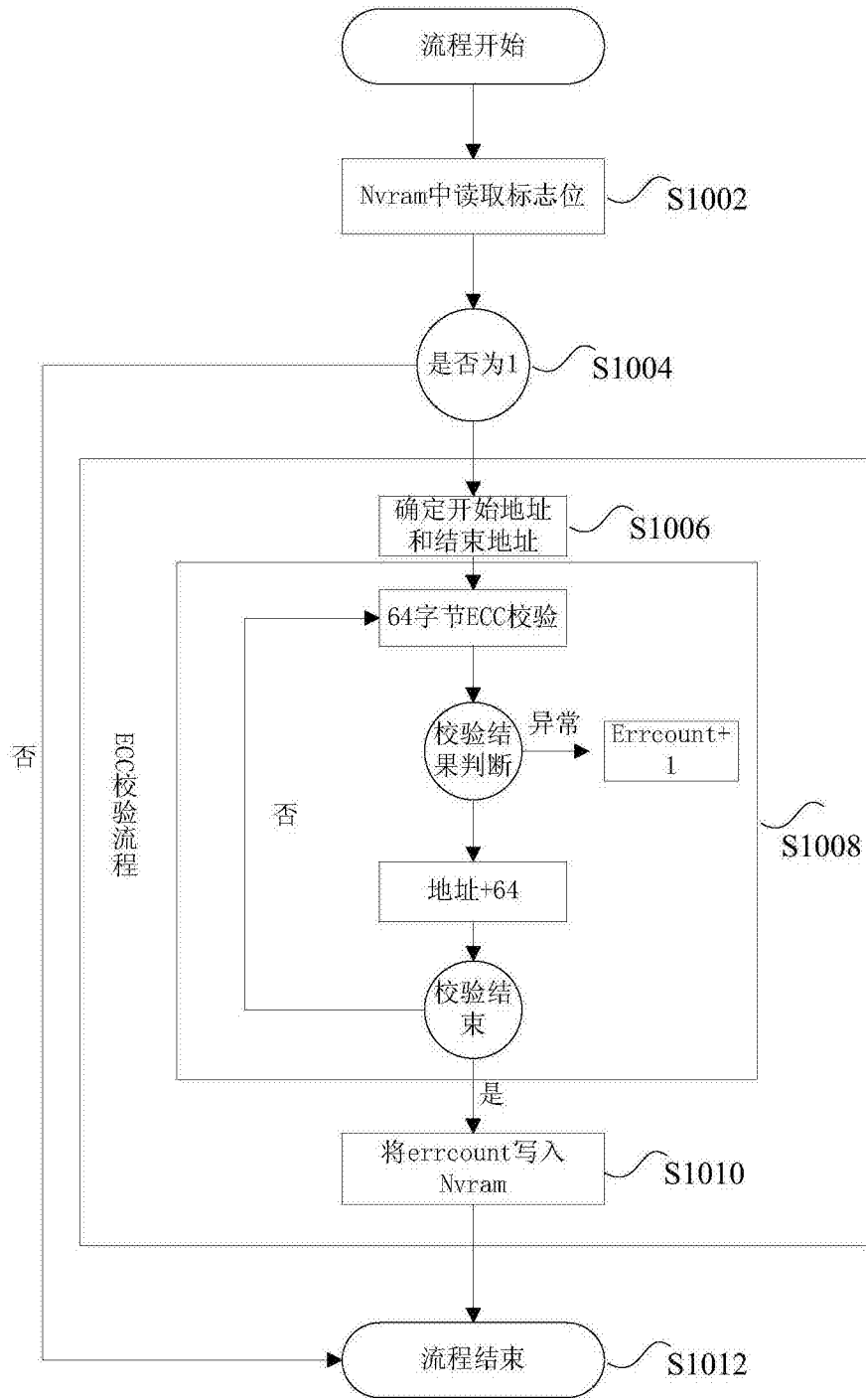


图 10