



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126591 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099138492

(22)申請日：中華民國 99 (2010) 年 11 月 09 日

(51)Int. Cl. :

*H01L21/306 (2006.01)*

*C09K13/00 (2006.01)*

(30)優先權：2009/11/09

日本

2009-256437

(71)申請人：三菱瓦斯化學股份有限公司(日本) MITSUBISHI GAS CHEMICAL COMPANY, INC.

(JP)

日本

(72)發明人：外赤隆二 SOTOAKA, RYUJI (JP)；藤音喜子 FUJIOTO, YOSHIKO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：9 項 圖式數：7 共 29 頁

(54)名稱

矽穿孔製程中之矽基板背面蝕刻用蝕刻液及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法

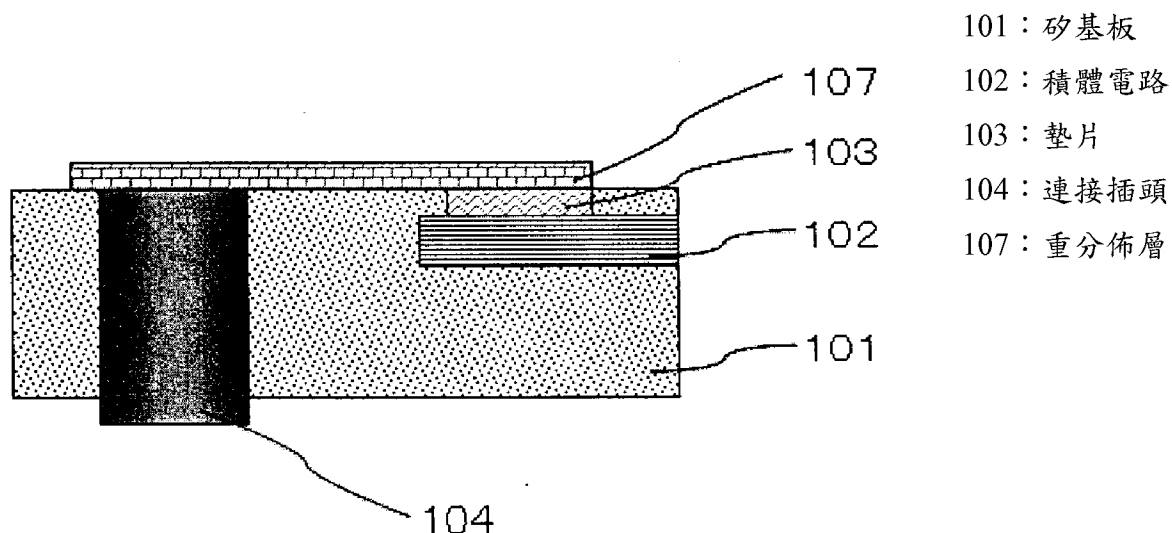
ETCHING LIQUID FOR BACK SIDE ETCHING OF SILICON SUBSTRATE IN A THROUGH-

SILICON VIA PROCESS AND METHOD FOR MANUFACTURING SEMICONDUCTOR CHIP

HAVING THROUGH-SILICON VIA USING THE ETCHING LIQUID

(57)摘要

本發明提供：一種用於矽穿孔製程中之矽基板背面蝕刻的蝕刻液，不會蝕刻由銅或鎢等金屬或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率；以及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法。本發明提供：一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液，具有氫氧化鉀、羥胺以及水；以及使用該蝕刻液之具有矽基板背面蝕刻步驟的半導體晶片之製造方法。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201126591 A1

(43)公開日：中華民國 100 (2011) 年 08 月 01 日

(21)申請案號：099138492

(22)申請日：中華民國 99 (2010) 年 11 月 09 日

(51)Int. Cl. :

*H01L21/306 (2006.01)*

*C09K13/00 (2006.01)*

(30)優先權：2009/11/09

日本

2009-256437

(71)申請人：三菱瓦斯化學股份有限公司(日本) MITSUBISHI GAS CHEMICAL COMPANY, INC.

(JP)

日本

(72)發明人：外赤隆二 SOTOAKA, RYUJI (JP)；藤音喜子 FUJIOTO, YOSHIKO (JP)

(74)代理人：周良謀；周良吉

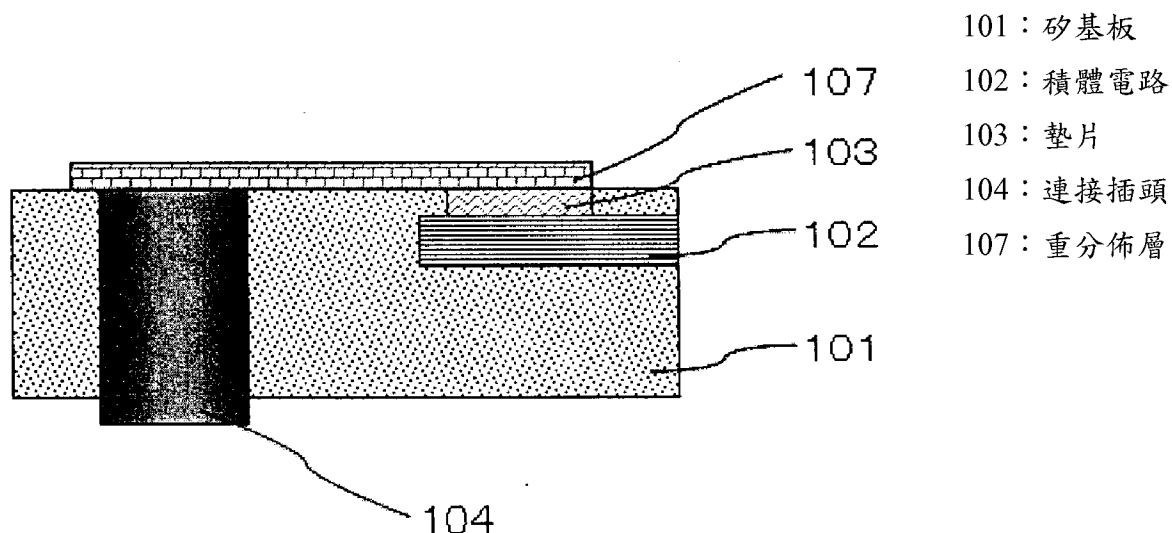
申請實體審查：無 申請專利範圍項數：9 項 圖式數：7 共 29 頁

(54)名稱

矽穿孔製程中之矽基板背面蝕刻用蝕刻液及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法  
ETCHING LIQUID FOR BACK SIDE ETCHING OF SILICON SUBSTRATE IN A THROUGH-SILICON VIA PROCESS AND METHOD FOR MANUFACTURING SEMICONDUCTOR CHIP HAVING THROUGH-SILICON VIA USING THE ETCHING LIQUID

(57)摘要

本發明提供：一種用於矽穿孔製程中之矽基板背面蝕刻的蝕刻液，不會蝕刻由銅或鎢等金屬或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率；以及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法。本發明提供：一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液，具有氫氧化鉀、羥胺以及水；以及使用該蝕刻液之具有矽基板背面蝕刻步驟的半導體晶片之製造方法。



## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法。

### 【先前技術】

近年來伴隨電子設備之小型化的需求，用於該等設備的半導體裝置之小型化、高積體化以及多功能化迅速發展，而為了實現該等需求，所以開發出堆疊半導體晶片製造的 3 維多晶片半導體裝置。

在 3 維多晶片半導體裝置採用的半導體晶片之中也備受矚目的半導體晶片，例如，如圖 1 所示，具有貫穿矽基板 101 的矽穿孔、設置成自該孔內突出於矽基板 101 背面之由銅或鎢等金屬所組成的連接插頭(connection plug)104、以及重分佈層(re-distribution layer)107。除了堆疊半導體晶片而使得相對於半導體基板之半導體晶片的佔用面積減少，這個習知 3 維多晶片半導體裝置的優點之外，由於電性傳導經由矽穿孔，電性衰退不明顯，而可提升半導體元件的運轉速度，更因為可縮小堆疊的半導體晶片之間的間隔，所以可達到將其更小型化的目的。

關於製造如上述之具有矽穿孔的 3 維多晶片半導體裝置用半導體晶片的方法，已有人提議一些方法(例如參考專利文獻 1~3)，在矽基板上設置貫穿矽基板的矽穿孔、設置於該孔內的連接插頭、以及重分佈的方法，一般稱為矽穿孔製程。

該矽穿孔製程，必定具有矽基板背面蝕刻步驟，由矽基板之未設置配線等的背面開始蝕刻，將矽基板薄化。在該蝕刻步驟使用蝕刻液實施濕式蝕刻的情況下，將矽基板慢慢薄化時，會出現被矽基板所覆蓋之由銅或鎢等金屬、或是多晶矽等所組成的連接插頭，而更進一步將矽基板薄化時，可得到具有自孔內且自矽基板的背面突出之構造的連接插頭。此時，矽基板與連接插頭同時

接觸蝕刻液，若使用的蝕刻液不適合，將會產生種種問題。

例如，矽基板的薄化步驟中實施的背面蝕刻，係使用鹼系蝕刻液及酸系蝕刻液等。但是，鹼系蝕刻液蝕刻性能差，無法得到足夠的蝕刻速率，故有生產效率下降的問題。特別是矽基板的薄化步驟需要精細的處理，由於一般以單片處理的形式實施，故對於蝕刻液之蝕刻速率遲緩的情況下之生產效率的下降，有顯著的影響。

因此，矽基板的薄化步驟，宜使用具有通常的氫氟酸、硝酸以及醋酸等之混合酸的酸系蝕刻液(例如，參考專利文獻 4 及 5)。但是，在蝕刻液採用混合酸的情況下，會使原本不打算蝕刻的銅或鎢溶解而被蝕刻，結果會造成半導體元件性能變差。

儘管有上述種種問題，專利文獻 1 雖記載有將矽基板薄化的蝕刻步驟中採用乾式蝕刻、濕式蝕刻或是 CMP(化學機械研磨)等方法，但完全沒有詳細的討論。又，採乾式蝕刻及 CMP 等方法，連接插頭會被研磨，這是其問題。專利文獻 2 及 3 僅記載在蝕刻步驟中可使用通常的蝕刻方法或是晶圓背面研磨之通常的研磨方法，或是以研磨法及蝕刻法之中至少任一種以上的方法實行，但完全無詳細的討論。

如上述，在矽穿孔製程中之矽基板背面的蝕刻步驟，一般希望蝕刻液不會蝕刻由銅或鎢等金屬、或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率，而目前的狀況為：不存在能夠解決該等問題的有效蝕刻液。

專利文獻 1：日本專利第 4011695 號說明書

專利文獻 2：日本特開 2002-305283 號公報

專利文獻 3：日本特開 2009-4722 號公報

專利文獻 4：日本特開 2000-124177 號公報

專利文獻 5：日本特開 2005-217193 號公報

### 【發明內容】

[發明所欲解決的問題]

本發明係因應前述狀況而設計，其目的在於提供一種用於矽穿孔製程中之矽基板背面蝕刻的蝕刻液，不會蝕刻由銅或鎢等金屬、或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率；以及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法。

[解決問題之技術手段]

本案發明人為了達成該目的，反覆認真研究的結果發現：藉由使用具有氫氧化鉀、羥胺以及水的鹼系蝕刻液，而可解決該等問題。亦即，本發明之要點係如以下所述。

1.一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液，包含：氫氧化鉀、羥胺以及水。

2.如 1 記載的蝕刻液，其中氫氧化鉀的含量為 10~50 質量%，羥胺的含量為 8~40 質量%。

3.如 1 或 2 記載的蝕刻液，其中矽基板具有重分佈層與連接插頭，且該連接插頭在未設置重分佈層的矽基板背面突出。

4.如 3 記載的蝕刻液，其中連接插頭由選自於多晶矽、銅以及鎢之至少 1 種所組成。

5.一種 3 維多晶片半導體裝置用半導體晶片的製造方法，具有使用 1~4 中任一項記載的蝕刻液之矽基板背面蝕刻步驟。

6.如 5 記載的半導體晶片之製造方法，其中該矽基板背面蝕刻步驟依序具有：矽基板薄化步驟(1)，在覆蓋連接插頭的絕緣層被矽基板覆蓋的狀態下將矽基板薄化；矽基板薄化步驟(2)，使被該絕緣層覆蓋的連接插頭突出，且至少在該矽基板薄化步驟(2)中使用 1~4 中任一項記載的蝕刻液。

7.如 6 記載的半導體晶片之製造方法，其中該矽基板薄化步驟(1)結束時的矽基板背面與絕緣層的矽基板背面側的面之距離以及該矽基板薄化步驟(1)結束時的絕緣層之矽基板背面側的面與該矽基板薄化步驟(2)結束時的矽基板背面之距離的和為 20~30 $\mu\text{m}$  的範圍內。

8.如 6 或 7 記載的半導體晶片之製造方法，其中連接插頭由選

自於多晶矽、銅以及鎢之至少 1 種所組成。

9.如 5~8 中任一項記載的半導體晶片之製造方法，其中半導體晶片用於 3 維多晶片半導體裝置。

[對照先前技術之功效]

依照本發明可提供一種用於矽穿孔製程中之矽基板背面蝕刻的蝕刻液，不會蝕刻由銅或鎢等金屬、或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率；以及使用此蝕刻液之具有矽穿孔的 3 維多晶片半導體裝置用半導體晶片之製造方法。

【實施方式】

[蝕刻液]

本發明的蝕刻液係用於矽穿孔製程中之矽基板背面蝕刻，並為具有氫氧化鉀、羥胺以及水的液體。

本發明的蝕刻液中之氫氧化鉀的含量宜為 10~50 質量%，而較理想之樣態為 15~50 質量%，更理想之樣態為 20~40 質量%。若氫氧化鉀的含量在上述範圍內，則不會使半導體晶片的外觀及功能受到不良影響，另外由於羥胺的添加，可充分得到蝕刻速率的增加效應。

本發明的蝕刻液中之羥胺的含量，係根據羥胺對於水的溶解度、蝕刻液中之氫氧化鉀的含量、以及其他添加劑的含量等適當的加以決定，理想之樣態為 5~50 質量%，而更理想之樣態為 8~40 質量%，又更理想之樣態為 10~40 質量%。若羥胺的含量在上述範圍內，可得到足夠的蝕刻速率，另外在蝕刻液中之結晶析出及固化不會產生，處理亦容易。

《其他成分》

本發明的蝕刻液可摻合習知技術所使用的添加劑。

本發明的蝕刻液之 pH 值，較理想之樣態為比 7 高之鹼性，而更理想之樣態為 11 以上。

本發明的蝕刻液係用於矽穿孔製程中之矽基板背面蝕刻。關

於矽穿孔製程，只要是在矽基板上設置貫穿矽基板的矽穿孔、設置於該孔內的連接插頭、以及重分佈的方法即可，並無特別限制。例如，在揭示於專利文獻 1~3 的矽穿孔製程或是半導體裝置的製造方法中，矽基板之薄化(蝕刻)以濕式蝕刻實施的情況下，本發明的蝕刻液可在該蝕刻中作為蝕刻液而適當地使用。

又，本發明的蝕刻液，不限於矽穿孔製程中之矽基板背面蝕刻，在矽基板的薄化(蝕刻)製程，矽基板與銅或鎢等金屬、或是多晶矽等所組成的連接插頭(配線材料)同時曝露於蝕刻液的狀態之製程中，亦可適當地使用。更具體而言，較理想之樣態為：矽穿孔製程中，在矽基板之連接插頭突出於與該矽基板之設置重分佈層側之相反側的矽基板背面的情況下，可有效的利用本發明的蝕刻液之效果。

#### [半導體晶片的製造方法]

本發明之具有矽穿孔的 3 維多晶片半導體裝置用半導體晶片之製造方法，用以製造在矽基板上設置貫穿矽基板的矽穿孔、設置於該孔內的連接插頭、以及重分佈的半導體晶片，係矽穿孔製程中的一環。而且，本發明的製造方法的特徵為：在該製造方法中的一步驟，即矽穿孔製程中之一步驟的矽基板背面蝕刻步驟中，使用本發明的蝕刻液。

#### 《矽穿孔製程》

本發明的製造方法中，於該蝕刻步驟使用本發明的蝕刻液，只要在矽基板上設置貫穿矽基板的矽穿孔、設置於該孔內的連接插頭、以及重分佈即可，對於其他步驟之樣態並無限制。以下說明本發明的製造方法之典型理想形態之一例。

#### (製造方法 A)

作為本發明的製造方法之理想形態之一例，可舉依序具有以下步驟 1A~7A 的製造方法 A。首先，關於製造方法 A，吾人使用各步驟 1A~7A 的半導體晶片之剖面示意圖：圖 2 加以說明。

步驟 1A：在矽基板上形成穿孔的穿孔形成步驟。

步驟 2A：在該穿孔的側壁上形成絕緣層的絕緣層形成步驟。

步驟 3A：在該穿孔內形成連接插頭的連接插頭形成步驟。

步驟 4A：形成具有半導體元件的積體電路以及墊片的半導體元件形成步驟。

步驟 5A：將該積體電路與連接插頭重分佈的重分佈步驟。

步驟 6A：凸塊電極的形成步驟。

步驟 7A：矽基板背面的蝕刻步驟。

#### 〈步驟 1A〉

步驟 1A 係為：在矽基板上形成穿孔的穿孔形成步驟。穿孔的形成，可用光阻劑形成使形成該穿孔的地方開口的光罩圖案，藉由將矽基板蝕刻至不至於貫穿的深度之方法，或是雷射鑽孔等形成。

#### 〈步驟 2A〉

步驟 2A 係為：在步驟 1A 形成的穿孔內之側壁上形成絕緣層 105 的步驟。絕緣層 105 係為：為了矽基板 101 與設置於穿孔內的連接插頭 104 之絕緣而設置的夾層。絕緣層 105 由在氧氣環境中的矽表面之加熱氧化或蒸鍍等方法形成的氧化矽等之氧化膜或氮化膜等所組成。

#### 〈步驟 3A〉

步驟 3A 係為：在絕緣層 105 形成於側壁上的穿孔內之空洞部分，形成連接插頭 104 的步驟。作為形成連接插頭 104 的材料，可列舉出之理想者有：銅、鎢、鉑等金屬或是多晶矽等各種材料。連接插頭 104 之形成，可藉由蒸鍍、濺鍍等加以實施。

#### 〈步驟 4A〉

步驟 4A 係為：在穿孔內設置連接插頭 104 及絕緣層 105 的矽基板 101 上，形成具有半導體元件的積體電路 102 與墊片 103 的步驟。本發明的製造方法中，該積體電路 102 及墊片 103 的形成，可藉由公知的方法加以實施，並無特別地限制。另外，在該積體電路 102 及墊片 103 的形成中，通常會形成由氧化矽、氮化矽等所組成的絕緣層 112。

#### 〈步驟 5A〉

步驟 5A 係為：將在步驟 4A 形成的積體電路 102(墊片 103) 與連接插頭 104 重分佈的重分佈步驟。重分佈層，可用公知的方法形成，例如：(i)設置使穿孔及墊片 103 之頂端開口的絕緣層 106，將濺鍍銅等形成的晶種層 113、具有包含該墊片 103 及連接插頭 104 之開口部的光阻膜、以及在該開口部上利用電解電鍍而由銅等各種金屬所組成的配線，按照順序設置後，去除光阻膜，蝕刻該晶種層 113 中無配線覆蓋之部分的方法；(ii) 藉由將銅或鎢等各種金屬濺鍍或蒸鍍等，形成金屬膜於矽基板上，蝕刻以感光膜圖案遮蔽的該金屬膜等之方法。重分佈層可為單層亦可為多層，依半導體晶片之用途適當選擇即可。

另外，絕緣層 106 可藉由氧化矽及氮化物等之蒸鍍，或環氧樹脂及聚醯亞胺樹脂等絕緣性有機材料之塗佈加以形成。而且，在形成重分佈層之各種金屬與該絕緣層 106 之黏著性不足夠的情況下；以及形成重分佈層之各種金屬擴散至該絕緣層 106 的情況下，係於該絕緣層 106 之形成後，將由鈦及氮化鈦等所組成的阻障層設置成覆蓋於該絕緣層 106 及墊片 103 上即可。

設置重分佈層 107 後，依需要可設置重分佈層 107 之保護膜 108。保護膜 108，可在氧氣環境中藉由矽表面的加熱氧化或蒸鍍等方法形成氧化矽等氧化膜及氮化膜而加以設置，或是使用環氧樹脂或聚醯亞胺樹脂等絕緣性有機材料等，藉由蒸鍍及塗佈等方法形成。

#### 〈步驟 6A〉

凸塊之形成，例如塗佈環氧樹脂或聚醯亞胺樹脂等絕緣性有機材料，將其覆蓋於步驟 5A 形成的重分佈層 107 上形成絕緣膜，藉由將該絕緣膜中欲設置凸塊的地方蝕刻等而設置開口部，而除了錫、鉛及其合金(錫-鉛合金)之外，可使用金、鈮、鎳、銅等，藉由電解電鍍加以形成。

#### 〈步驟 7A〉

步驟 7A 係為：將矽基板之未設置重分佈層 107 等之背面加以薄化的矽基板背面蝕刻步驟，且該蝕刻步驟中使用本發明的蝕刻

液。在步驟 7A 實施之矽基板背面之整體的薄化(蝕刻)中，可使用本發明的蝕刻液，而根據生產效率的觀點，較理想之樣態為步驟 7A 在覆蓋連接插頭 104 的絕緣層 105 被矽基板 101 覆蓋的狀態下，依序具有：矽基板薄化步驟(1)，將矽基板 101 加以薄化；矽基板薄化步驟(2)，使絕緣層 105 突出，且在矽基板薄化步驟(2)中使用上述之本發明的蝕刻液。

矽基板薄化步驟(1)中，矽基板之薄化，可如前述般，使用本發明的蝕刻液實施濕式蝕刻，亦可實施化學研磨、機械研磨及化學機械研磨等研磨法，或使用其他通常的矽基板薄化中採用的酸系蝕刻液等之濕式蝕刻、或是電漿蝕刻及氣體蝕刻等乾式蝕刻，抑或是組合該等蝕刻方法而加以實施。

根據通常的蝕刻速度之觀點，該等方法之中尤以機械研磨薄化最常被人採用。

又，考慮作業安定性及生產效率，矽基板薄化步驟(1)，當矽基板背面與絕緣層 105 的矽基板背面側之面的距離(圖 5 中的 a)為 5~15 $\mu\text{m}$  的範圍內時結束，然後進行到之後的矽基板薄化步驟(2)，如此較為理想。

矽基板薄化步驟(2)為藉由蝕刻使覆蓋連接插頭 104 的絕緣層 105 突出的步驟，且該蝕刻中係使用上述之本發明的蝕刻液。

將根據本發明之製造方法製得的半導體晶片堆疊起來而成的 3 維多晶片半導體裝置的情況，由其作業安定性及可靠性之觀點，自蝕刻後之矽基板背面突出的連接插頭之高度，較理想之樣態為 10~20 $\mu\text{m}$  之範圍內。根據生產效率之觀點，在矽基板薄化步驟(2)中，藉由本發明之蝕刻液蝕刻的矽基板之厚度，亦即矽基板薄化步驟(1)結束時的矽基板背面與絕緣層 105 之矽基板背面側的面之距離(圖 5 中的 a)、以及該矽基板薄化步驟(1)結束時的絕緣層之矽基板背面側的面與該矽基板薄化步驟(2)結束時的矽基板背面之距離(圖 5 中的 b)的和(a+b)，較理想之樣態為 20~30 $\mu\text{m}$  之範圍內。

本發明對於使蝕刻液與蝕刻對象物接觸之方法無特別的限制，例如可採用者有：藉由將蝕刻液滴入及噴灑等形式，使其與

對象物接觸的方法，或將對象物浸泡於蝕刻液的方法等。在本發明中宜採用單片旋轉處理。

蝕刻液的使用溫度宜為 50°C 以上、低於沸點的溫度，而較理想之樣態為 50~90°C，更理想之樣態為 60~90°C，最理想之樣態為 70~90°C。若蝕刻液之溫度在上述範圍內，則因為蝕刻速度不會太低，所以生產效率無明顯下降，而可抑制溶液成分變化，維持一定的蝕刻條件。提高蝕刻液的溫度，則蝕刻速度會上升，但考慮到保持較小的蝕刻液之成分變化等為前提，而決定最適當的處理溫度較為理想。

實施本步驟時，如圖 4 所示，在設置半導體晶片的重分佈層 107 等之面上，透過黏接層 110，可理想地使用玻璃基板 111 作為薄化用的支撐治具。由於使用支撐治具，所以可實施穩定的蝕刻。

#### (製造方法 B)

另外，作為本發明之製造方法的理想形態之一例，可舉依序具有以下步驟 1B~7B 的製造方法 B。關於製造方法 B，吾人使用各步驟 1B~7B 的半導體晶片之剖面示意圖：圖 3 加以說明。

步驟 1B：在矽基板上形成具有半導體元件的積體電路以及墊片的半導體元件形成步驟。

步驟 2B：在該矽基板上形成穿孔的穿孔形成步驟。

步驟 3B：形成絕緣層，俾使得在該穿孔之內壁及該矽基板表面之墊片頂端成開口部之絕緣層形成步驟。

步驟 4B：在包含該穿孔內壁的該矽基板之全表面上，形成阻障層的阻障層形成步驟。

步驟 5B：在該穿孔內形成連接插頭之同時，將該積體電路與連接插頭重分佈的連接插頭形成/重分佈步驟。

步驟 6B：凸塊電極的形成步驟。

步驟 7B：矽基板背面的蝕刻步驟。

製造方法 B，以製造方法 A 之步驟 4A 的半導體元件形成步驟為起始步驟而進行，相對於稱為孔起始製程(via first process)的製造方法 A，被稱為孔最終製程(via last process)。

〈步驟 1B 及 2B〉

步驟 1B 及 2B 係分別同於步驟 4A 及步驟 1A。

〈步驟 3B〉

步驟 3B 中，在設置絕緣層 306 之前，形成積體電路 302 及墊片 303。因此在步驟 3B 中，絕緣層 306 可同時形成於：穿孔之內壁；與設置於矽基板 301 表面上之墊片 303 的頂端之開口部以外的地方。根據此觀點，製造方法 B 的孔最終製程可達到減少製造步驟及減少製造成本之目的。

〈步驟 4B〉

步驟 4B 係為設置阻障層的步驟：確保足夠的重分佈層 307 與絕緣層 306 之黏著性的同時，以抑制該重分佈層 307 朝該絕緣層 306 擴散為目的，在包含穿孔內壁的矽基板 301 之全表面上形成阻障層 305。

〈步驟 5B〉

步驟 5B 係為：在絕緣層 306 及阻障層 305 依序形成於穿孔之內壁的該穿孔內之空洞部分，形成連接插頭 304，並將積體電路 302(墊片 303)與連接插頭 304 同時重分佈的步驟。連接插頭 304 及重分佈層 307 之形成，例如，依照上述步驟 3B 及 4B 之方法，依序設置絕緣層 306 及阻障層 305 後，可藉由下述等方法而達成：(i)設置濺鍍銅等形成的晶種層、具有包含該墊片 303 及連接插頭 304 之開口部的光阻膜、以及藉由電解電鍍堆疊銅等金屬材料於該開口部的導電層後，去除光阻膜，蝕刻該晶種層及阻障層 305 之中未被導電層覆蓋之部分的方法；(ii) 將鎢等金屬材料藉由濺鍍及蒸鍍等堆疊於矽基板上形成金屬膜，以感光膜圖案遮蔽而蝕刻該金屬膜等之方法。

〈步驟 6B 及 7B〉

步驟 6B 及 7B 分別同於步驟 6A 及步驟 7A。另外，該矽基板薄化步驟(1)結束時的矽基板背面與絕緣層 306 之矽基板背面側的面之距離，係相當於圖 7 中的 c，該矽基板薄化步驟(1)結束時的絕緣層 306 之矽基板背面側的面與該矽基板薄化步驟(2) 結束時

的矽基板背面之距離，係相當於圖 7 中的 d。

(其他的製造方法)

本發明的製造方法，例如在揭示於專利文獻 1~3 的矽穿孔製程中之矽基板的薄化(蝕刻)步驟，係可使用本發明之蝕刻液。

本發明製得的半導體晶片，由於電性傳導經由矽穿孔，電性衰退不明顯，而可提升半導體封裝的運轉速度。又，於堆疊該晶片的情況下，由於可縮小半導體晶片之間の間隔，故適用於 3 維多晶片半導體裝置。

實施例

接著，根據實施例更加詳細說明本發明，但本發明並非限定於這些例子。

評鑑項目 1. 生產性評鑑(蝕刻處理時間)

將各製造例製得的 3 維多晶片半導體裝置用半導體晶片樣本，以第 1 表及第 2 表所示的蝕刻液，在處理溫度下藉由單片旋轉裝置進行蝕刻，實施蝕刻處理，使該樣本成第 1 表及第 2 表所示之蝕刻量，將該等處理所需的時間依照下述標準加以評鑑。並且，第 1 表中的蝕刻量 b 以及第 2 表中的蝕刻量 d，分別如圖 4 及圖 5 所示，係為自矽基板背面 101 及 301 突出的連接插頭 104 及 304 的高度。

◎：處理所需的時間在 4 分鐘以內。

○：處理所需的時間在 5 分鐘以內。

△：處理所需的時間在 7 分鐘以內。

×：在 7 分鐘以內無法結束處理。

評鑑項目 2. 蝕刻處理後的形狀評鑑

將製造例製得的樣本，以第 1 表及第 2 表所示的蝕刻液，在處理溫度下藉由浸漬進行蝕刻，實施蝕刻處理，使該樣本成第 1 表及第 2 表所示的蝕刻量為止，然後對於連接插頭的狀態，依照下述標準加以評鑑。

○：連接插頭不被蝕刻液溶解，而得到預定的連接插頭高度。

×：連接插頭被蝕刻液溶解，而得不到預定的連接插頭高度，

或是無法蝕刻矽基板。

調製例(蝕刻液的調製)

依照表 1 所示的摻合成分(質量%)，調配各實施例及比較例所使用的蝕刻液。

製造例 1(根據孔起始製程(製造方法 A)之半導體晶片的製造 1)  
在矽基板 101(厚度：775 $\mu\text{m}$ )上，以光阻劑形成具有開口部的光罩圖案，將矽基板蝕刻至不至於貫穿的深度，在開口部上形成穿孔(直徑：30 $\mu\text{m}$ ，深度：40 $\mu\text{m}$ )，在該穿孔內之內壁使矽熱氧化，形成厚度 0.4 $\mu\text{m}$  的絕緣層 105。接著，在內壁設置有絕緣層 105 的穿孔內，將多晶矽藉由濺鍍而埋入，形成連接插頭 104，依序設置：含有半導體元件的積體電路 102；以及在該積體電路 102 上面的墊片 103，藉由氧化矽之蒸鍍，設置於穿孔及墊片 103 之頂端具有開口部的絕緣層 106。設置該絕緣層 106 後，將濺鍍鈦所形成的阻障層、濺鍍銅所形成的晶種層 113、具有包含墊片 103 及連接插頭 104 之開口部的光阻膜、以及在該開口部上由電解電鍍銅所組成的配線，按照順序設置後，去除該光阻膜，蝕刻該阻障層、與該晶種層 113 中無配線覆蓋的部分，而得到重分佈層 107。再者，在連接插頭 104 頂端的重分佈層 107 上，設置藉由電鍍而由銅所組成的凸塊 109，使用聚醯亞胺樹脂設置重分佈層之保護膜 108，而得到具有矽穿孔的 3 維多晶片半導體裝置用半導體晶片。如圖 4 所示，將得到的半導體晶片透過黏接層 110，固定於作為支撐治具的玻璃基板 111 上後，將矽基板 101 之背面研磨至圖 5 所示的 a(矽基板背面與覆蓋連接插頭 104 的絕緣層 105 之矽基板背面側的面之距離)成 10 $\mu\text{m}$  為止，而得到 3 維多晶片半導體裝置用半導體晶片樣本 1。

製造例 2(根據孔起始製程(製造方法 A)之半導體晶片的製造 2)

除了在製造例 1 中，將形成連接插頭 104 的材料由多晶矽換成鎢以外，其他部分係同於製造例 1，並得到 3 維多晶片半導體裝置用半導體晶片樣本 2。

製造例 3(根據孔最終製程(製造方法 B)之半導體晶片的製造 3)

在設置有：包含半導體元件的積體電路 302；以及在該積體電路 302 上面的墊片 303 的矽基板 301(厚度：775 $\mu\text{m}$ )上，以光阻劑形成具有開口部的光罩圖案，將矽基板蝕刻至不至於貫穿的深度，在開口部上形成穿孔(直徑：30 $\mu\text{m}$ ，深度：40 $\mu\text{m}$ )，將氧化矽蒸鍍於該穿孔之內壁及矽基板 301 上，俾使得在墊片 303 頂端具有開口部，而形成厚度 0.4 $\mu\text{m}$  的絕緣層 306。接著，藉由鈦之濺鍍形成阻障層 305(厚度：0.1 $\mu\text{m}$ )，俾使得在絕緣層 306 設置於內壁的穿孔內及矽基板 301 上，覆蓋墊片 303，然後藉由濺鍍銅於該阻障層 305 上形成晶種層。再者，將具有包含形成絕緣層 306、阻障層 305、晶種層於內部的穿孔、及墊片 303 之開口部的光阻膜，以及在該開口部上由電解電鍍而由銅所組成的導電層，依序設置後，去除該光阻膜，蝕刻：該阻障層 305；與該晶種層中之未被因電解電鍍而由銅所組成的導電層所覆蓋的部分，而同時得到連接插頭 304 與重分佈層 307。再者，在連接插頭 304 頂端的重分佈層 307 上，設置因電鍍而由銅所組成的凸塊 309，使用聚醯亞胺樹脂設置重分佈層之保護膜 308，而得到具有矽穿孔的半導體晶片。如圖 6 所示，將得到的半導體晶片透過黏接層 310，固定於作為支撐治具的玻璃基板 311 上後，將矽基板 301 之背面研磨至圖 7 所示的 c(矽基板背面與覆蓋連接插頭 304 的絕緣層 306 之矽基板背面側的面之距離)成 10 $\mu\text{m}$  為止，而得到 3 維多晶片半導體裝置用半導體晶片樣本 3。

製造例 4(根據孔最終製程(製造方法 B)之半導體晶片的製造 4)

除了在製造例 3 中，將形成連接插頭 304 的材料由銅換成鎢以外，其他部分係同於製造例 3，並得到 3 維多晶片半導體裝置用半導體晶片樣本 4。

實施例 1~57 及比較例 1~3

將製造例 1 製得的 3 維多晶片半導體裝置用半導體晶片樣本 1，以第 1 表所示的蝕刻液，在處理溫度下藉由單片旋轉裝置進行蝕刻，實施蝕刻處理，使該樣本成第 1 表所示的蝕刻量(圖 5 所示的 a 及 b)。

處理時間及形狀，係按照前述之評鑑標準加以評鑑。評鑑結果示列於第 1 表。又，對於製造例 2 製得的 3 維多晶片半導體裝置用半導體晶片樣本 2，亦與 3 維多晶片半導體裝置用半導體晶片樣本 1 同樣施以評鑑，而其結果同於 3 維多晶片半導體裝置用半導體晶片樣本 1。

#### 實施例 58~114 及比較例 4~6

將製造例 3 製得的 3 維多晶片半導體裝置用半導體晶片樣本 3，以第 2 表所示的蝕刻液，在處理溫度下藉由單片旋轉裝置進行蝕刻，實施蝕刻處理，使該樣本成第 2 表所示的蝕刻量(圖 7 所示的 c 及 d)。處理時間及形狀，係按照前述之評鑑標準加以評鑑。評鑑結果示列於第 2 表。又，對於製造例 4 製得的 3 維多晶片半導體裝置用半導體晶片樣本 4，亦與 3 維多晶片半導體裝置用半導體晶片樣本 3 同樣施以評鑑，而其結果同於 3 維多晶片半導體裝置用半導體晶片樣本 3。

[表 1]

第 1 表

新實施例編號	蝕刻液成分				蝕刻量			處理溫度 (°C)	評鑑結果		
	胺類 (質量%)	無機鹼化合物		水濃度 (質量%)	a(μm)	b(μm)	a+b(μm)		生產性評鑑		形狀 評鑑
		種類	濃度(質量%)						(min)	評鑑	
實施例 1	10	KOH	10	80	10	10	20	90	4	◎	○
實施例 2	10	KOH	10	80	10	15	25	90	5	○	○
實施例 3	10	KOH	15	75	10	10	20	80	5	○	○
實施例 4	10	KOH	15	75	10	10	20	90	4	◎	○
實施例 5	10	KOH	15	75	10	15	25	90	5	○	○
實施例 6	10	KOH	15	75	10	20	30	90	6	△	○
實施例 7	10	KOH	20	70	10	10	20	80	4	◎	○
實施例 8	10	KOH	20	70	10	15	25	80	6	△	○
實施例 9	10	KOH	20	70	10	20	30	90	5	○	○
實施例 10	10	KOH	25	65	10	10	20	80	4	◎	○
實施例 11	10	KOH	25	65	10	15	25	80	5	○	○
實施例 12	10	KOH	25	65	10	20	30	90	4	◎	○
實施例 13	10	KOH	30	60	10	15	25	80	5	○	○
實施例 14	15	KOH	10	75	10	10	20	80	6	△	○
實施例 15	15	KOH	10	75	10	20	30	90	6	△	○
實施例 16	15	KOH	15	70	10	10	20	80	5	○	○
實施例 17	15	KOH	15	70	10	15	25	80	6	△	○
實施例 18	15	KOH	15	70	10	20	30	90	5	○	○
實施例 19	15	KOH	20	65	10	10	20	70	6	△	○
實施例 20	15	KOH	20	65	10	10	20	80	4	◎	○
實施例 21	15	KOH	20	65	10	15	25	80	5	○	○
實施例 22	15	KOH	20	65	10	20	30	80	6	△	○
實施例 23	15	KOH	25	60	10	10	20	70	5	○	○
實施例 24	15	KOH	25	60	10	15	25	80	4	◎	○
實施例 25	15	KOH	25	60	10	20	30	80	5	○	○
實施例 26	15	KOH	30	55	10	10	20	70	4	◎	○
實施例 27	15	KOH	30	55	10	20	30	80	4	◎	○
實施例 28	18	KOH	10	72	10	10	20	80	6	△	○
實施例 29	18	KOH	10	72	10	15	25	80	7	△	○
實施例 30	18	KOH	10	72	10	20	30	90	6	△	○

實施例 31	18	KOH	15	67	10	10	20	70	7	△	○
實施例 32	18	KOH	15	67	10	15	25	80	5	○	○
實施例 33	18	KOH	15	67	10	20	30	80	6	△	○
實施例 34	18	KOH	20	62	10	10	20	70	5	○	○
實施例 35	18	KOH	20	62	10	20	30	80	5	○	○
實施例 36	18	KOH	25	57	10	10	20	70	5	○	○
實施例 37	18	KOH	25	57	10	15	25	70	6	△	○
實施例 38	18	KOH	30	52	10	15	25	70	5	○	○
實施例 39	20	KOH	10	70	10	10	20	80	6	△	○
實施例 40	20	KOH	10	70	10	15	25	80	7	△	○
實施例 41	20	KOH	10	70	10	20	30	90	6	△	○
實施例 42	20	KOH	15	65	10	10	20	70	7	△	○
實施例 43	20	KOH	15	65	10	10	20	80	4	◎	○
實施例 44	20	KOH	15	65	10	20	30	80	7	△	○
實施例 45	20	KOH	20	60	10	10	20	70	5	○	○
實施例 46	20	KOH	20	60	10	15	25	70	6	△	○
實施例 47	20	KOH	25	55	10	10	20	70	4	◎	○
實施例 48	20	KOH	25	55	10	15	25	70	5	○	○
實施例 49	25	KOH	10	65	10	10	20	80	6	△	○
實施例 50	25	KOH	10	65	10	15	25	80	7	△	○
實施例 51	25	KOH	10	65	10	20	30	90	6	△	○
實施例 52	25	KOH	15	60	10	10	20	70	7	△	○
實施例 53	25	KOH	15	60	10	10	20	80	4	◎	○
實施例 54	25	KOH	15	60	10	20	30	80	6	△	○
實施例 55	25	KOH	20	55	10	10	20	70	4	◎	○
實施例 56	25	KOH	20	55	10	15	25	70	6	△	○
實施例 57	25	KOH	20	55	10	20	30	70	7	△	○
比較例 1		混合酸 (49%氫氟酸/70%硝酸=1/8.5)			10	10	20	25	2	◎	×
比較例 2	0	KOH	30	70	10	10	20	90	9	×	○
比較例 3	25	—	0	75	10	10	20	90	>10	×	×

[表 2]

第 2 表

新實施例編號	蝕刻液成分				蝕刻量			處理溫度 (°C)	評鑑結果		
	羥胺 (質量%)	無機鹼化合物		水濃度 (質量%)	c(μm)	d(μm)	c+d(μm)		生產性評鑑		形狀評鑑
		種類	濃度(質量%)						(min)	評鑑	
實施例 58	10	KOH	10	80	10	10	20	90	4	◎	○
實施例 59	10	KOH	10	80	10	15	25	90	5	○	○
實施例 60	10	KOH	15	75	10	10	20	80	5	○	○
實施例 61	10	KOH	15	75	10	10	20	90	4	◎	○
實施例 62	10	KOH	15	75	10	15	25	90	5	○	○
實施例 63	10	KOH	15	75	10	20	30	90	6	△	○
實施例 64	10	KOH	20	70	10	10	20	80	4	◎	○
實施例 65	10	KOH	20	70	10	15	25	80	6	△	○
實施例 66	10	KOH	20	70	10	20	30	90	5	○	○
實施例 67	10	KOH	25	65	10	10	20	80	4	◎	○
實施例 68	10	KOH	25	65	10	15	25	80	5	○	○
實施例 69	10	KOH	25	65	10	20	30	90	4	◎	○
實施例 70	10	KOH	30	60	10	15	25	80	5	○	○
實施例 71	15	KOH	10	75	10	10	20	80	6	△	○
實施例 72	15	KOH	10	75	10	20	30	90	6	△	○
實施例 73	15	KOH	15	70	10	10	20	80	5	○	○
實施例 74	15	KOH	15	70	10	15	25	80	6	△	○
實施例 75	15	KOH	15	70	10	20	30	90	5	○	○
實施例 76	15	KOH	20	65	10	10	20	70	6	△	○
實施例 77	15	KOH	20	65	10	10	20	80	4	◎	○
實施例 78	15	KOH	20	65	10	15	25	80	5	○	○
實施例 79	15	KOH	20	65	10	20	30	80	6	△	○
實施例 80	15	KOH	25	60	10	10	20	70	5	○	○
實施例 81	15	KOH	25	60	10	15	25	80	4	◎	○
實施例 82	15	KOH	25	60	10	20	30	80	5	○	○
實施例 83	15	KOH	30	55	10	10	20	70	4	◎	○
實施例 84	15	KOH	30	55	10	20	30	80	4	◎	○
實施例 85	18	KOH	10	72	10	10	20	80	6	△	○
實施例 86	18	KOH	10	72	10	15	25	80	7	△	○
實施例 87	18	KOH	10	72	10	20	30	90	6	△	○
實施例 88	18	KOH	15	67	10	10	20	70	7	△	○
實施例 89	18	KOH	15	67	10	15	25	80	5	○	○

實施例	90	18	KOH	15	67	10	20	30	80	6	△	○
實施例	91	18	KOH	20	62	10	10	20	70	5	○	○
實施例	92	18	KOH	20	62	10	20	30	80	5	○	○
實施例	93	18	KOH	25	57	10	10	20	70	5	○	○
實施例	94	18	KOH	25	57	10	15	25	70	6	△	○
實施例	95	18	KOH	30	52	10	15	25	70	5	○	○
實施例	96	20	KOH	10	70	10	10	20	80	6	△	○
實施例	97	20	KOH	10	70	10	15	25	80	7	△	○
實施例	98	20	KOH	10	70	10	20	30	90	6	△	○
實施例	99	20	KOH	15	65	10	10	20	70	7	△	○
實施例	100	20	KOH	15	65	10	10	20	80	4	◎	○
實施例	101	20	KOH	15	65	10	20	30	80	7	△	○
實施例	102	20	KOH	20	60	10	10	20	70	5	○	○
實施例	103	20	KOH	20	60	10	15	25	70	6	△	○
實施例	104	20	KOH	25	55	10	10	20	70	4	◎	○
實施例	105	20	KOH	25	55	10	15	25	70	5	○	○
實施例	106	25	KOH	10	65	10	10	20	80	6	△	○
實施例	107	25	KOH	10	65	10	15	25	80	7	△	○
實施例	108	25	KOH	10	65	10	20	30	90	6	△	○
實施例	109	25	KOH	15	60	10	10	20	70	7	△	○
實施例	110	25	KOH	15	60	10	10	20	80	4	◎	○
實施例	111	25	KOH	15	60	10	20	30	80	6	△	○
實施例	112	25	KOH	20	55	10	10	20	70	4	◎	○
實施例	113	25	KOH	20	55	10	15	25	70	6	△	○
實施例	114	25	KOH	20	55	10	20	30	70	7	△	○
比較例	4	混合酸 (49% 氫氟酸 / 70% 硝酸 = 1 / 8.5)			10	10	20	25	2	◎	×	
比較例	5	0	KOH	30	70	10	10	20	90	9	×	○
比較例	6	25	—	0	75	10	10	20	90	>10	×	×

使用本發明之蝕刻液經蝕刻後的實施例，所有的蝕刻處理時間都是 4~7 分鐘，在生產性評鑑方面得到優良的結果，而形狀評鑑亦優良。另一方面，使用混合酸作為蝕刻液的比較例 1 及 4，雖然處理時間只要短短的 2 分鐘，生產評鑑也良好，但因為會將絕緣層及連接插頭溶解掉，而得不到預定高度。另外，使用不含羥胺的蝕刻液之比較例 2 及 5，蝕刻處理時間耗費 9 分鐘才結束，在生產性這點不夠充分，而不含無機鹼化合物的比較例 3 及 6，無法實施蝕刻處理。

#### 產業上利用性

本發明的蝕刻液係用於矽穿孔製程中之矽基板背面蝕刻，不會蝕刻由銅或鎢等金屬、或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且可發揮卓越的蝕刻速率。又，由於經過該矽穿孔製程，而有卓越的生產效率，所以可以製造具有矽穿孔的 3 維多晶片半導體裝置用半導體晶片。

#### 【圖式簡單說明】

[圖 1] 根據本發明之製造方法製造的半導體晶片的剖面示意

圖。

[圖 2]本發明之製造方法 A 中，各步驟的半導體晶片的剖面示意圖。

[圖 3]本發明之製造方法 B 中，各步驟的半導體晶片的剖面示意圖。

[圖 4]製造例 1 及 2 製得的半導體晶片樣本的剖面示意圖。

[圖 5]將製造例 1 及 2 製得的半導體晶片樣本蝕刻後的剖面示意圖。

[圖 6]製造例 3 及 4 製得的半導體晶片樣本的剖面示意圖。

[圖 7]將製造例 3 及 4 製得的半導體晶片樣本蝕刻後的剖面示意圖。

**【主要元件符號說明】**

101、301~矽基板

102、302~積體電路

103、303~墊片

104、304~連接插頭

105、106、306~絕緣層

107、307~重分佈層

108、308~保護膜

109、309~凸塊

110、310~黏接層

111、311~玻璃基板

112、312~絕緣層(在積體裝置及墊片形成步驟中形成)

113~晶種層

305~阻障層

a、b、c、d~距離

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99138492

※申請日： 99.11.9

※IPC 分類： H01L 21/306 (2006.01)

一、發明名稱：(中文/英文)

Co9k 1310 (2006.01)

矽穿孔製程中之矽基板背面蝕刻用蝕刻液及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法/ETCHING LIQUID FOR BACK SIDE ETCHING OF SILICON SUBSTRATE IN A THROUGH-SILICON VIA PROCESS AND METHOD FOR MANUFACTURING SEMICONDUCTOR CHIP HAVING THROUGH-SILICON VIA USING THE ETCHING LIQUID

二、中文發明摘要：

本發明提供：一種用於矽穿孔製程中之矽基板背面蝕刻的蝕刻液，不會蝕刻由銅或鎢等金屬或是多晶矽等組成的連接插頭，僅蝕刻矽基板，且具有卓越的蝕刻速率；以及使用此蝕刻液之具有矽穿孔的半導體晶片之製造方法。

本發明提供：一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液，具有氫氧化鉀、羥胺以及水；以及使用該蝕刻液之具有矽基板背面蝕刻步驟的半導體晶片之製造方法。

三、英文發明摘要：

This invention provides an etching liquid for back side etching of silicon substrate in a through-silicon via process. The etching liquid etches the silicon substrate only at an excellent etching rate, without etching a connecting plug formed by metal such as copper or tungsten etc., or polysilicon etc. Also provided is a method for manufacturing a semiconductor chip having through-silicon via by using the same etching liquid.

The etching liquid includes potassium hydroxide, hydroxylamine and water, and is used for back side etching of silicon substrate in a through-silicon via process. And, the method for manufacturing the semiconductor chip includes a step of etching the back side of a silicon substrate using the etching liquid.

## 七、申請專利範圍：

- 1.一種矽穿孔製程中之矽基板背面蝕刻用蝕刻液，包含：氫氧化鉀、羥胺以及水。
- 2.如申請專利範圍第 1 項之矽穿孔製程中之矽基板背面蝕刻用蝕刻液，其中氫氧化鉀的含量為 10~50 質量%，羥胺的含量為 8~40 質量%。
- 3.如申請專利範圍第 1 或 2 項之矽穿孔製程中之矽基板背面蝕刻用蝕刻液，其中矽基板具有重分佈層與連接插頭，且該連接插頭在未設置重分佈層的矽基板背面突出。
- 4.如申請專利範圍第 3 項之矽穿孔製程中之矽基板背面蝕刻用蝕刻液，其中連接插頭由選自於多晶矽、銅以及鎢之至少 1 種所組成。
- 5.一種 3 維多晶片半導體裝置用半導體晶片的製造方法，具有使用申請專利範圍第 1~4 項中任一項之矽穿孔製程中之矽基板背面蝕刻用蝕刻液的矽基板背面蝕刻步驟。
- 6.如申請專利範圍第 5 項之 3 維多晶片半導體裝置用半導體晶片的製造方法，其中該矽基板背面蝕刻步驟依序具有：矽基板薄化步驟(1)，在覆蓋連接插頭的絕緣層被矽基板覆蓋的狀態下將矽基板薄化；矽基板薄化步驟(2)，使被該絕緣層覆蓋的連接插頭突出，  
其中至少在該矽基板薄化步驟(2)中使用申請專利範圍第 1~4 項中任一項之矽穿孔製程中之矽基板背面蝕刻用蝕刻液。
- 7.如申請專利範圍第 6 項之 3 維多晶片半導體裝置用半導體晶片的製造方法，其中該矽基板薄化步驟(1)結束時的矽基板背面與絕緣層的矽基板背面側的面之距離、以及該矽基板薄化步驟(1)結束時的絕緣層之矽基板背面側的面與該矽基板薄化步驟(2)結束時的矽基板背面之距離的和為 20~30 $\mu\text{m}$  的範圍內。
- 8.如申請專利範圍第 6 或 7 項之 3 維多晶片半導體裝置用半導體晶片的製造方法，其中連接插頭由選自於多晶矽、銅以及鎢之至少 1 種所組成。
- 9.如申請專利範圍第 5~8 項中任一項之 3 維多晶片半導體裝置用半

導體晶片的製造方法，其中半導體晶片用於 3 維多晶片半導體裝置。

八、圖式：

導體晶片的製造方法，其中半導體晶片用於 3 維多晶片半導體裝置。

八、圖式：

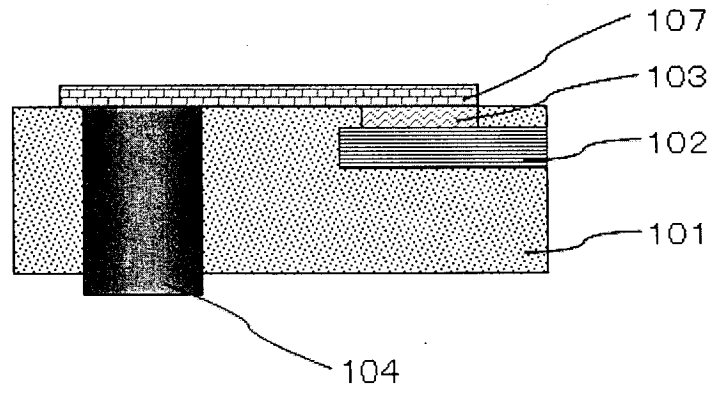


圖 1

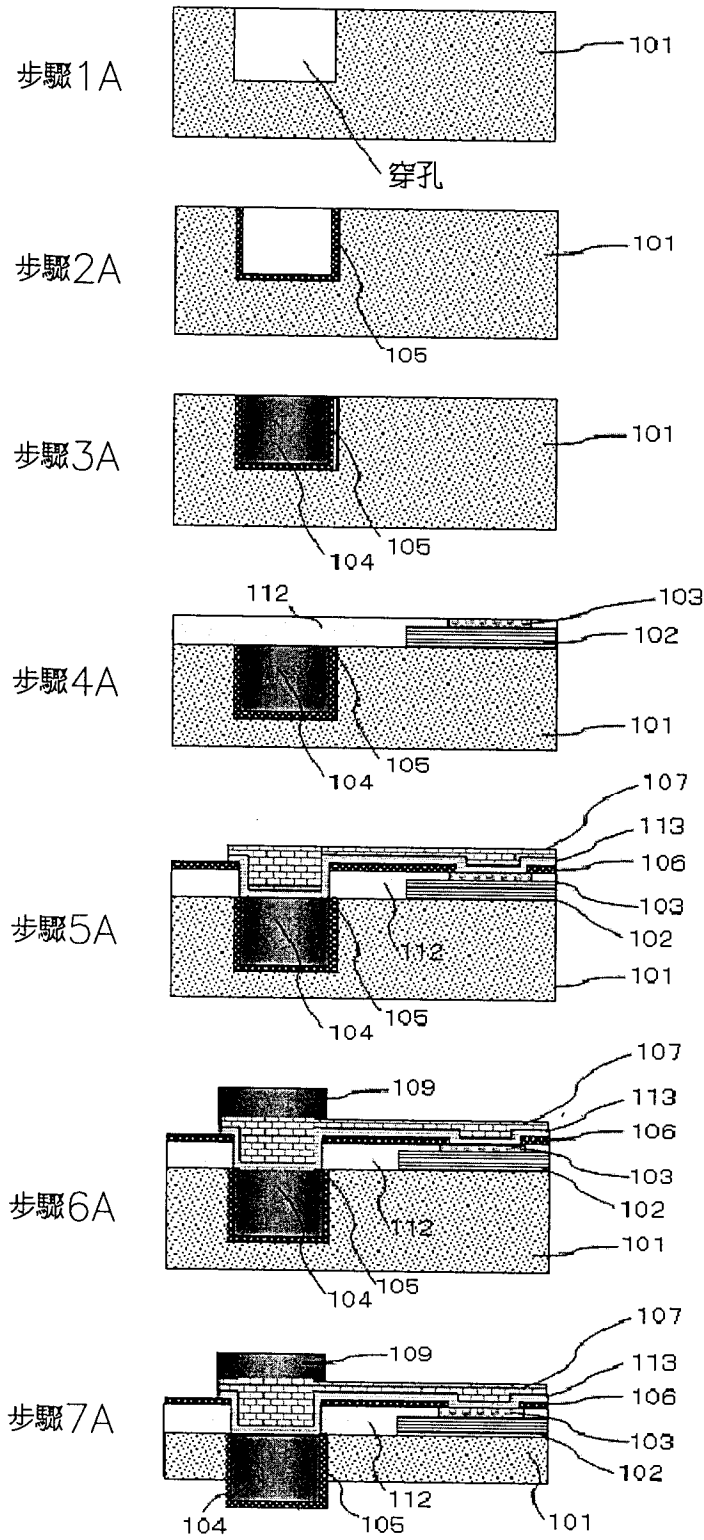


圖 2

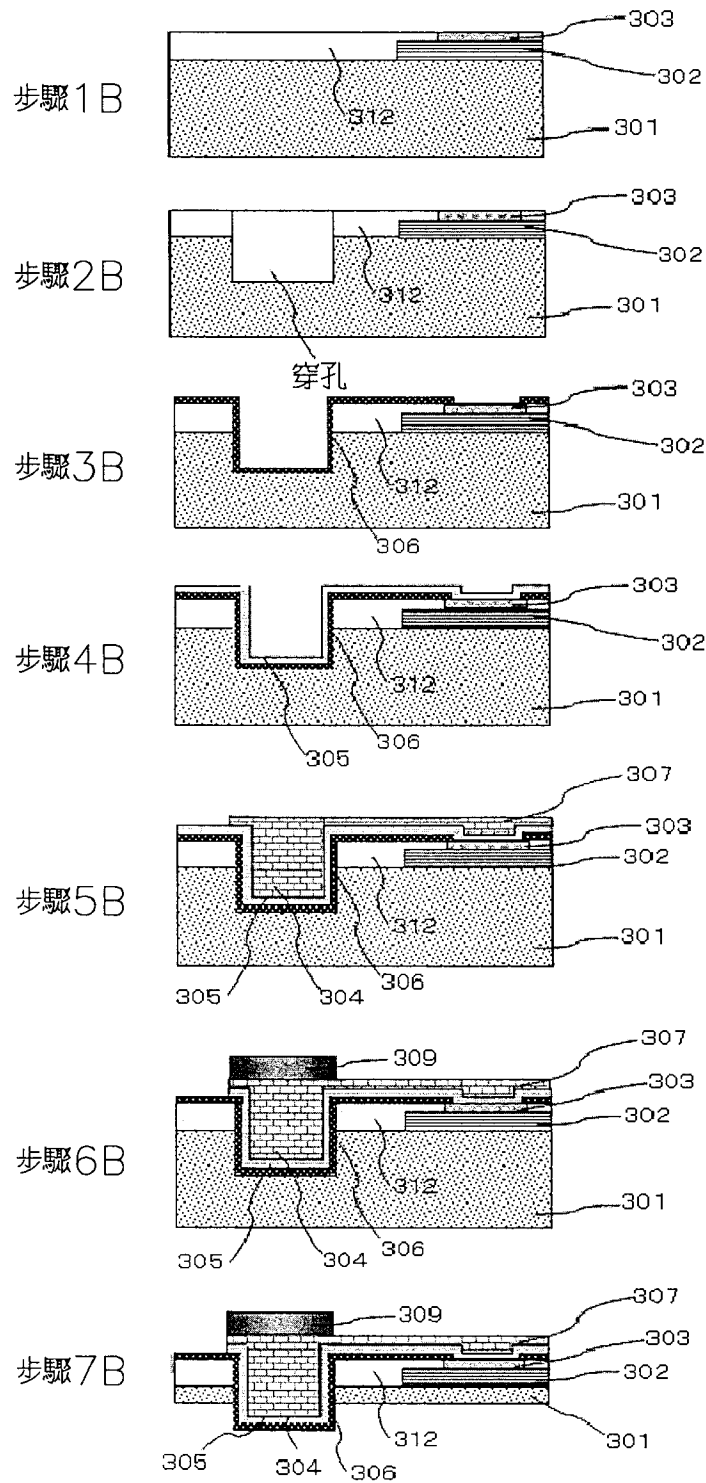


圖 3

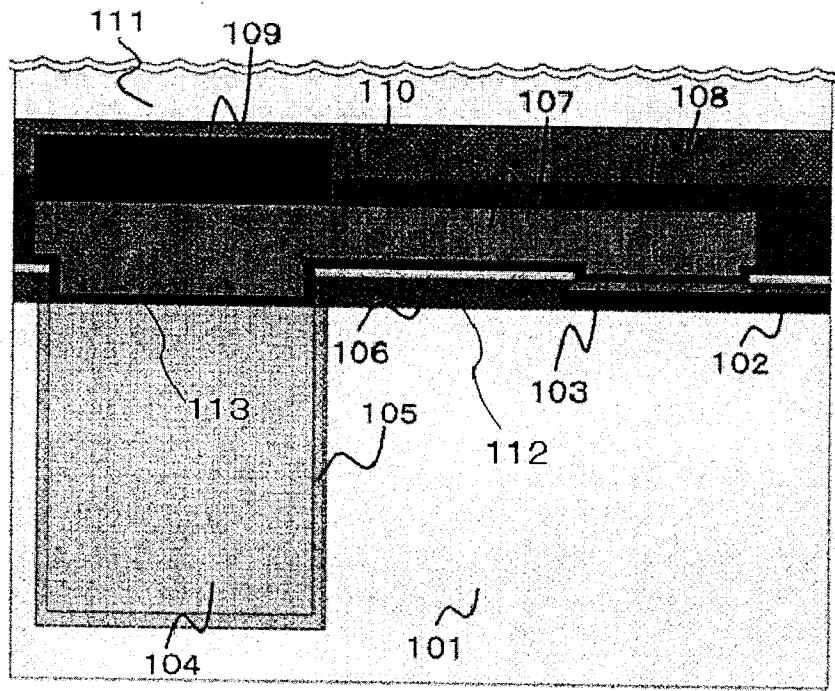


圖 4

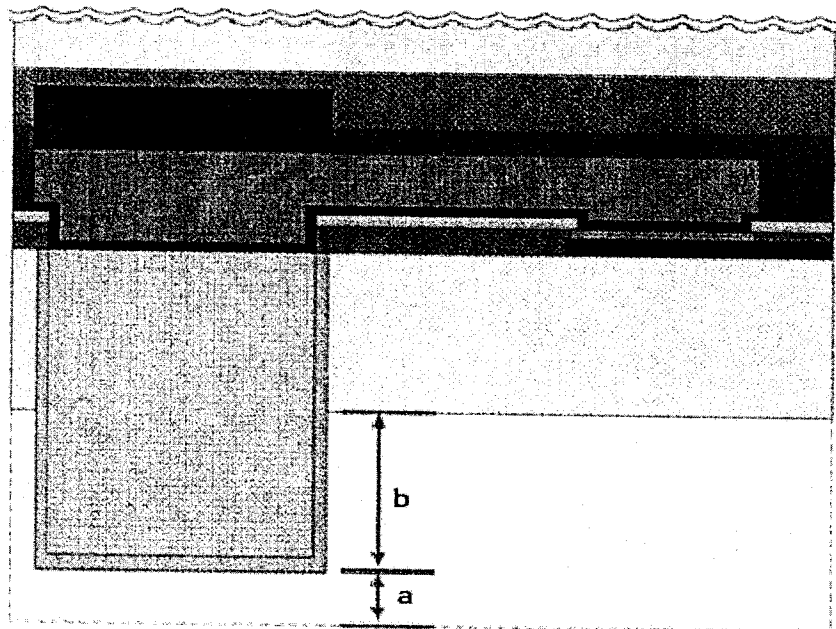


圖 5

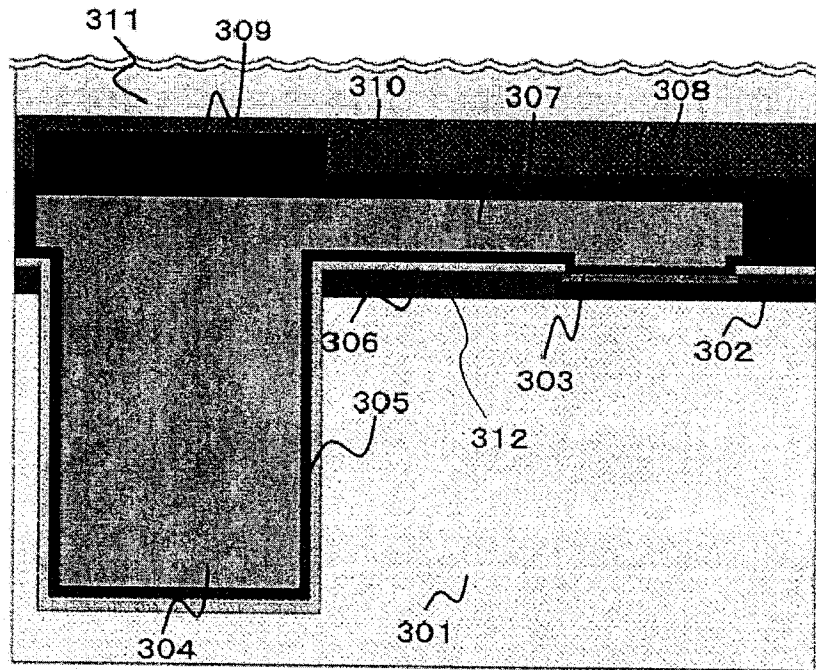


圖 6

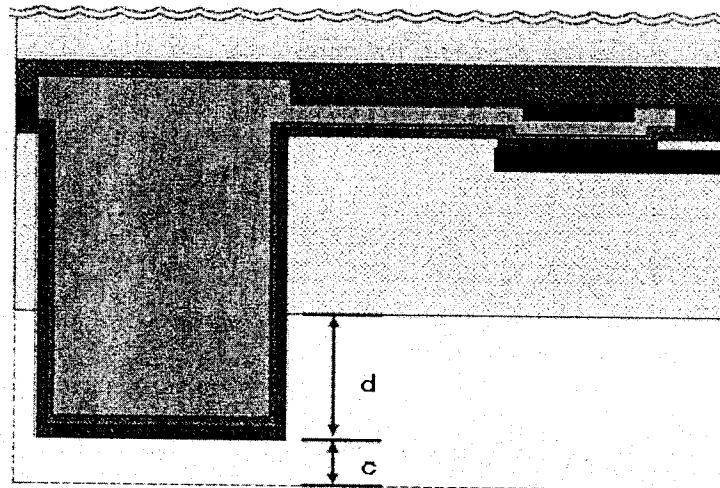


圖 7

四、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

101~矽基板

102~積體電路

103~墊片

104~連接插頭

107~重分佈層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：  
無。