

公告本

申請日期: 87-09-04 案號: 87114/21
 類別: G11C^{16/04} H01L^{27/115}

(以上各欄由本局填註)

發明專利說明書

434554

| | | |
|--------|--------------------|--|
| 一、發明名稱 | 中文 | 虛擬接地型半導體儲存裝置 |
| | 英文 | A VIRTUAL GROUND TYPE SEMICONDUCTOR STORAGE DEVICE |
| 二、發明人 | 姓名 (中文) | 1. 太田 佳似 |
| | 姓名 (英文) | 1. YOSHIJI OHTA |
| | 國籍 | 1. 日本 |
| | 住、居所 | 1. 日本國大阪府柏原市上市2-1-10 |
| 三、申請人 | 姓名 (名稱) (中文) | 1. 日商夏普股份有限公司 |
| | 姓名 (名稱) (英文) | 1. SHARP KABUSHIKI KAISHA |
| | 國籍 | 1. 日本 |
| | 住、居所 (事務所) | 1. 日本國大阪府大阪市阿倍野區長池町22番22號 |
| | 代表人 姓名 (中文) | 1. 町田 勝彦 |
| | 代表人 姓名 (英文) | 1. KATSUHIKO MACHIDA |



本案已向

國(地區)申請專利

日本 JP

申請日期

1997/10/07 特願平9-274272

案號

主張優先權

有

有關微生物已寄存於

寄存日期 -

寄存號碼



五、發明說明 (1)

發明背景

本發明係關於虛擬接地型半導體儲存裝置。

近年來半導體儲存裝置容量顯著增加，為了因應成本降低，裝置之有效細胞面積減少例如多值系統及虛擬接地系統逐一問世。特別虛擬接地系統其經由適當設計電路可僅需要小細胞面積，允許發展比採用相同方法之其他系統具有更小晶片面積之裝置。

但虛擬接地系統中，由於設置於兩毗鄰欄之記憶體細胞電晶體之汲極及源極共通連結至相同虛擬位元線，故來自兩毗鄰細胞之漏電流無法忽視。因此為了消除漏電流的影響，根據至目前為止所生產之裝置，讀取操作係每八位元以八次感測操作執行(先前技術1)，揭示於日本專利公開案第和6-68683號。另外每第九位元之記憶體細胞電晶體之閾電壓調整成比其他記憶體細胞電晶體之閾電壓更高(對應於儲存資料"0", "1")，藉此防止漏電流(先前技術2)。

圖9顯示日本專利公開案第和6-68683號揭示之記憶體細胞陣列區塊。當讀取儲存於記憶體細胞1之資料時，擴散虛擬接地線選擇線12及擴散位元線選擇線10及字線4同時升高至 V_{CC} ，而擴散虛擬接地線選擇線13及擴散位元線選擇線11被調整為具有地電位。如此金屬虛擬地線15由於預充電選擇電路14及操作下降至地電位，故擴散虛擬地線6及7變成具有地電位。它方面，其他金屬虛擬地線17，...經由其他預充電選擇電路16, 16, ...，之作動變成具有預充



五、發明說明 (2)

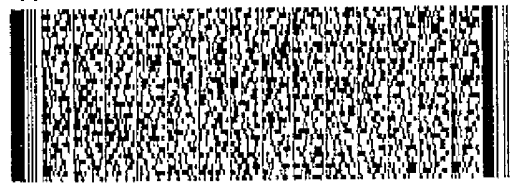
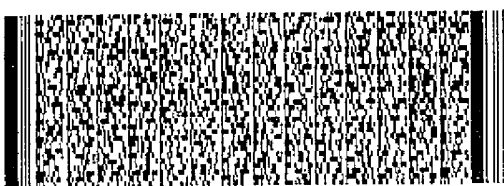
電電壓 V_{pc} ，故其他擴散虛擬地線5, 8, 9, ... 變成具有預充電電壓 V_{pc} 。又金屬位元線19係由Y閘18選擇，然後擴散位元線選擇線10升高至 V_{cc} ，及因擴散位元線選擇線11具有地電位故擴散位元線3處於選擇狀態。

此種情況下，擴散位元線3之電位如圖10所示，隨記憶體細胞1及其毗鄰記憶體細胞2保有之資料改變。因此經由設定感測放大器之反相電位於箭頭指示位置，位在低於 $(V_{pc}-V_{th})$ 電位及高於約略 $(V_{pc}-V_{th})$ 至 $V_{pc}/2$ 之中間定位，保留於記憶體細胞1之資料可被讀取而與毗鄰記憶體細胞2之狀態無關。隨後四條擴散位元線循序利用Y閘18及擴散位元線選擇線10及11選擇，與此操作期間，擴散虛擬地線選擇線12及13之電壓切換供反相施加於擴散虛擬地線之電壓。如此保有於連接至一條字線之全部記憶體細胞之資料於八次感測操作被讀取。

但，前述先前技術虛擬接地型半導體儲存裝置有下列問題。亦即日本專利公開案第和6-68683(先前技術1)揭示之半導體儲存裝置如前述需要八次感測操作俾讀取儲存於連結至一條字線之全部記憶體細胞之資料。因此讀取儲存資料相當耗損，無法達成高速讀取操作。

它方面，第二種半導體儲存裝置(先前技術2)中，無效記憶體細胞各自由閾電壓比正常記憶體細胞閾電壓更高之電晶體組成，無效記憶體細胞以八位元間隔設置，如此導致有效記憶體細胞面積加大問題。

發明概述



五、發明說明 (3)

因此本發明之目的係提供一種可以較少次感測操作讀取成區塊連結至同一條字線之全部記憶體細胞，同時壓制毗鄰記憶體細胞之干擾至最低而未產生無效記憶體細胞之半導體儲存裝置。

為了達成前述目的，本發明提供一種虛擬接地型半導體儲存裝置，其具有複數非揮發性記憶體細胞排列成矩陣形式，及位元線及字線連結至該非揮發性記憶體細胞，該裝置包含：

一電源供充電位元線；

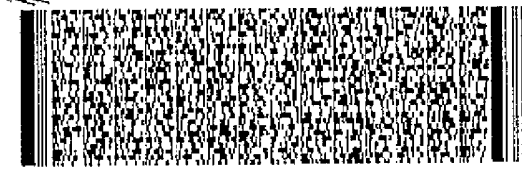
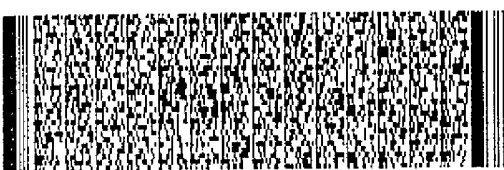
第一交換裝置供執行各位元線與電源間之連結及解除連結；

地線其接地；

第二交換裝置連結於各位元線與地線間；及

控制裝置供控制第二交換裝置執行地線與每 K 條接續位元線(k ：整數； $k \geq 3$)中之至少一條位元線間之連結及解除連結，其中該至少一條位元線之數目不大於 $k-2$ ，及當該數目為二或以上時，位元線數目為接續位元線。

於半導體儲存裝置中，位元線藉第一交換裝置連結至充電電源歷規定時間，故全部位元線皆充電。隨後 K 條接續位元線中之一或多條接續位元線藉第二交換裝置連結至地線，故一或多條位元線放電。因此經由通路非揮發性記憶體細胞連結至放電位元線及充電位元線二者，及感測連結至通路非揮發性記憶體細胞之充電位元線電壓，保留於非揮發性記憶體細胞之資料可被讀取。此種情況下有兩個非



五、發明說明 (4)

揮發性記憶體細胞連結至放電位元線及充電位元線二者，因此一次讀取保留於兩個非揮發性記憶體細胞之資料。

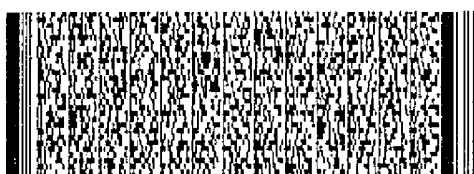
此外，連結至毗鄰待讀取的非揮發性記憶體細胞之兩個非揮發性記憶體細胞各者之兩條位元線電位相等，兩個待讀取之非揮發性記憶體細胞設置成其充電位元線及其放電位元線彼此相反，因此來自毗鄰非揮發性記憶體細胞之漏電流對待讀取之非揮發性記憶體細胞之影響被壓制至最低。

一個具體例中，第二交換裝置包含交換元件其對每條位元線設置，及控制裝置連續由 k 條位元線中選擇不同組之至少一條位元線，及開與關交換元件而僅連結選定之位元線組至地線。

根據前述構造，一組至少一條待連結至地線之位元線係由 k 條位元線中選擇，位元線組經由操作第二交換裝置連續改成另一組。此種情況下兩個待讀取至非揮發性記憶體細胞也循序變化，故連結至一個字之區塊中至全部非揮發性記憶體細胞於 $k/2$ 次感測操作被讀取，各區塊含 k 個記憶體細胞。

一個具體例中，兩條被連結至地線之交互毗鄰位元線透過電阻器等效裝置彼此連結。

根據前述構造，漏電流透過交換毗鄰位元線間之電阻器等效裝置產生，該二位元線於讀取保留於連結至放電位元線及充電位元線間二者之非揮發性記憶體細胞的資料時未連結至地線。如此使漏電流由全部充電位元線流至待感測



五、發明說明 (5)

之位元線，可減少因保留於毗鄰待讀取的非揮發性記憶體細胞充電側至非揮發性記憶體細胞之資料差異造成感測電壓變化。

一個具體例中，電阻器等效裝置包含一非揮發性記憶體細胞，及作為電阻器等效裝置之非揮發性記憶體細胞具有閾電壓其許可漏電流於此非揮發性記憶體細胞之開狀態時產生。

一個具體例中，連結至地線之交互毗鄰位元線也藉由一電阻器等效裝置彼此連結，該電阻器等效裝置包含一非揮發性記憶體細胞，及作為電阻器等效裝置之非揮發性記憶體細胞具有閾電壓其許可漏電流於此非揮發性記憶體細胞之開狀態時產生。

根據前述構造，當作為電阻器等效裝置之非揮發性記憶體細胞連結至交互毗鄰位元線而位元線連結至通路之地線時，介於一或多條連結至地線之位元線間產生漏電流，故待接地位元線電位調整至約略相等電位而與導線電阻無關。

一個具體例中，連結兩條交互毗鄰位元線而二位元線未連結至地線之電阻器等效裝置，包含一第一電晶體其具有一源極及一汲極連結至此二交互毗鄰位元線及一閘極，對該閘極施加第一電壓，及連結兩條交互毗鄰位元線而位元線係連結至地線之電阻器等效裝置包含一第二電阻器，其具有一源極及一汲極連結至此二交互毗鄰位元線及一閘極，高於第一電壓之第二電壓施加至此閘極。



五、發明說明 (6)

根據前述構造，第一電壓施加至第一電晶體閘極，而第二電壓施加至第二電晶體閘極。如此第一及第二電晶體變成通路而介於連結至地線之兩位元線間及介於未連結至地線之兩位元線間產生漏電流。此種情況下，施加於連結於待接地位元線間之第二電晶體閘極的第二電壓係高於施加至第一電晶體閘極之第一電壓。結果達成低開狀態電阻，故於待接地位元線藉第二交換裝置連結至地線後，待接地位元線快速放電。

圖式之簡單說明

參照後文詳細說明及附圖將更完整地明瞭本發明，詳細說明及附圖僅供舉例說明之用而非限制本發明，附圖中：

圖1為根據本發明之半導體儲存裝置之相當電路圖；

圖2為圖1所示半導體儲存裝置之讀取操作之時序圖；

圖3為線圖顯示保留於毗鄰記憶體細胞資料對感測主位元線之電壓變化之影響；

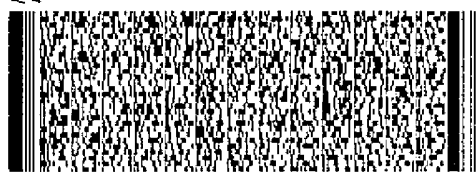
圖4為線圖顯示先前技術半導體儲存裝置中，保留於毗鄰記憶體細胞之資料對感測主位元線之電壓變化之影響；

圖5為略圖顯示放電主位元線與讀取記憶體細胞間之關係；

圖6為略圖顯示於八條主位元線中之一、二、四至六位元線於一個區塊放電之例中，放電主位元線與讀取記憶體細胞間之關係；

圖7為略圖顯示與圖1不同之調整細胞AC構造；

圖8為略圖顯示與圖1不同之電阻器等效裝置構造；



五、發明說明 (7)

圖9為先前技術半導體儲存裝置之相當電路圖；及

圖10為略圖顯示擴散位元線之電位係取決於保留於圖9所示半導體儲存裝置之感測記憶體細胞及毗鄰記憶體細胞之資料。

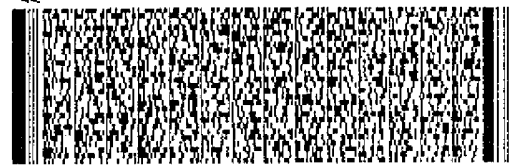
較佳具體例之詳細說明

基於附圖所示具體例詳細說明本發明如後。

圖1為根據本具體例之半導體儲存裝置之相當電路圖。

記憶體細胞陣列係由排列 $\{(n+1) \times (m+1)\}$ 記憶體細胞電晶體(場效電晶體設置浮動閘極)成矩陣形式構成。排列於第一列之記憶體細胞電晶體(後文簡稱為"記憶體細胞") MC_{00} 至 MC_{0m} 之控制閘極連結至字線 WL_0 。同理排列於第 $(n+1)$ 列之記憶體細胞 MC_{n0} 至 MC_{nm} 之位元線控制閘極連結至字線 WL_n 。

記憶體細胞 MC 係製造成三重阱，具有擴散區 $n+$ 及擴散區 $n-$ 其設置成接觸個別擴散區 $n+$ 。擴散區 $n-$ 及 $n+$ 具有非對稱濃度變化。擴散區 $n-$ 及 $n+$ 構成虛擬接地系統之副位元線 21 。各副位元線 21 連結至設置成一欄之 $(n+1)$ 記憶體細胞 MC 之源極或汲極，及連結至設置於毗鄰欄之 $(n+1)$ 記憶體細胞 MC 之汲極或源極。奇數副位元線 21 透過電晶體 $22, 22, \dots$ 連結至奇數主位元線 $BL_0, BL_2, \dots, BL_{m-1}$ 。選擇閘極選擇信號 sg 共通供給電晶體 $22, 22, \dots$ 之閘極。又偶數副位元線 21 透過電晶體 $23, 23, \dots$ 連結至偶數主位元線 BL_1, BL_3, \dots, BL_m ，電晶體閘極也共通供給選擇閘極選擇信號 sg 。



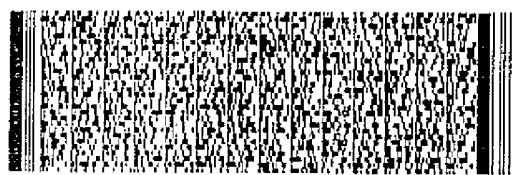
五、發明說明 (8)

前述記憶體細胞陣列再劃分成複數 $\{(n+1) \times 8\}$ 記憶體細胞區塊，各個區塊具相同構造。後文說明將基於具有一區塊由主位元線BL0延伸至主位元線BL7之例。

主位元線BL1至BL3透過地線20及電晶體24, 24, ... 接地，電晶體之閘極被供給放電信號dis0。主位元線BL3至BL5透過地線20及電晶體25, 25, ... 接地，電晶體之閘極被供給放電信號dis1。主位元線BL5至BL7透過地線20及電晶體26, 26, ... 接地，電晶體之閘極被供給放電信號dis2。主位元線BL0, BL1, BL7, BL8透過地線20及電晶體27接地，電晶體之閘極被供給放電信號dis3。

又介於兩毗鄰主位元線BL間連結電阻器等效裝置供陽性產生漏電流介於兩主位元線BL間，及約略等值由充電位元線至讀取記憶體細胞之漏電流值，而與毗鄰讀取記憶體細胞之記憶體細胞處於消除態或程式規劃態無關。本具體例中，電阻器等效裝置係由非揮發性記憶體細胞(後文稱作"調整細胞")AC00至AC07組成，其各自包含設置浮動閘極之場效電晶體及具有控制閘極連結至被調整的字線AWL0。又調整細胞AC10至AC17其控制閘極連結至被調整之字線AWL1，調整細胞AC20至AC27其控制閘極連結至被調整之字線AWL2，及調整細胞AC30至AC37其控制閘極連結至被調整之字線AWL3也提供作為電阻器等效裝置。

調整細胞AC00至AC07中，調整細胞AC00至AC03為被消除細胞(圖中以"E"指示)，其中組成此等調整細胞之各電晶體閘電壓係高於供給被調整字線AWL0之調整信號aw10之H

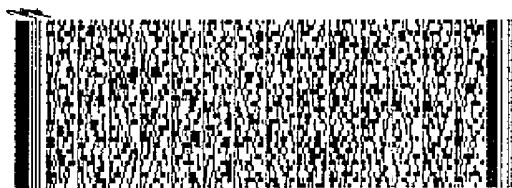


五、發明說明 (9)

電位電壓，而調整細胞AC04至AC07為程式規劃細胞(圖中以"P"指示)，其中組成此等調整細胞之各電晶體之閘電壓係低於供給被調整字線AWL0之調整信號awl0之H電位。調整細胞AC10至AC17中，調整細胞AC12至AC15為被消除細胞E，而調整細胞AC10、AC11、AC16及AC17為程式規劃細胞P。調整細胞AC20至AC27中，調整細胞AC24至AC27為被消除細胞E，而調整細胞AC20至AC23為程式規劃細胞P。調整細胞AC30至AC37中，調整細胞AC30、AC31、AC36及AC37為被消除細胞E，而調整細胞AC32至AC35為程式規劃細胞P。

奇數主位元線BL0、BL2、BL4、BL6及BL8連結至充電線29，充電電壓 V_{pre} 透過電晶體28供給。共同供給充電信號 Φ_{pre} 至電晶體28閘極。又此等主位元線一端連結至感測放大器SA0、SA2、SA4、SA6及SA8。主位元線BL2、BL4、BL6及BL8之另一端連結至感測放大器SA1、SA3、SA5及SA7。它方面偶數主位元線BL1、BL3、BL5及BL7連結至充電線31，充電電壓 V_{pre} 由電源 V_{pre} 透過電晶體30供給，電晶體30之閘極被供給充電信號 ϕ_{pre} 。

具有前述構造記憶體細胞陣列之半導體儲存裝置可於四次感測操作讀取儲存於連結至一字線WL之全部記憶體細胞MC之資料，容後詳述。圖2為前述半導體儲存裝置之操作時序之時序圖。本具體例之半導體儲存裝置之操作將參照圖2說明如後，其於一例其中資料係於連結至字線WL0之本區塊由記憶體細胞MC00至MC07讀取。首先被選定之連結至記憶體細胞MC00至MC07之字線WL0變成具有H電位，選擇開



五、發明說明 (10)

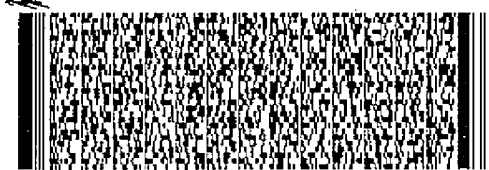
極選擇信號sg調整為具有H電位，然後連結全部副位元線21至主位元線BL供啟動讀取作業。

(a) 第一感測操作(由記憶體細胞MC00及MC03讀取)

充電信號 ϕ_{pre} 於時間 t_0 調整為具有H電位，故全部主位元線BL皆以充電電壓 V_{pre} (例如1伏)充電。待供給經調整字線AWL0之調整信號awl0變成升高。

充電信號 ϕ_{pre} 於時間 t_1 設定為L電位。隨後放電信號dis0於時間 t_2 具有H電位，因此放電主位元線BL1至BL3。於此電位段，若保留於記憶體細胞MC00之資料為"0"(例如組成記憶體細胞MC00之電晶體閾電壓係低於字線WL0：程式規劃細胞之H電位 V_{cc})，主位元線BL0透過關聯副位元線21，記憶體細胞MC00及主位元線BL1放電。同理若保留於記憶體細胞MC03之資料為"0"，則主位元線BL4透過關聯副位元線21，記憶體細胞MC03及主位元線BL3放電。相反地，若保留於記憶體細胞MC00及MC03之資料為"1"(例如電晶體閾電壓高於字線WL0：消除細胞之H電位 V_{cc})放電，則主位元線BL0及BL4未放電。

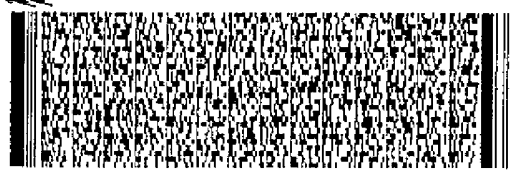
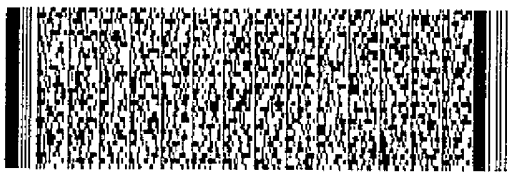
然後感測放大器SA0及SA4於時間 t_3 被驅動。然後主位元線BL0及BL4之電壓由感測放大器SA0及SA4檢測。若電壓下降，則決定保留於記憶體細胞MC00或記憶體細胞MC03之資料為"0"。若電壓未降，則判定保留於記憶體細胞MC00或記憶體細胞MC03之資料為"1"。然後調整信號awl0於時間 t_4 下降，如此放電信號dis0具L電位。如此完成第一感測操作。



五、發明說明 (11)

前述操作中，主位元線BL0至BL8中之主位元線BL1至BL3經放電。藉此毗鄰連結至讀取記憶體細胞MC03之放電端主位元線BL3之主位元線BL2之電位調整至等於主位元線BL3電位，而毗鄰連結至讀取記憶體細胞MC03之充電端(感測端)主位元線BL4之主位元線BL5之電位變成等於主位元線BL4電位。換言之，毗鄰讀取記憶體細胞MC03之記憶體細胞MC02及MC04之源極電位分別變成等於其汲極電位。又讀取記憶體細胞MC03及讀取記憶體細胞MC00(後者MC00為位置最接近前者MC03之讀取記憶體細胞)排列成其放電端彼此相向，其充電端間距儘可能變大，故二者儘可能遠離。因此來自毗鄰記憶體細胞MC02及MC04之漏電流對讀取記憶體細胞MC03之影響被壓抑至最低。對讀取記憶體細胞MC00亦為真。

由調整信號aw10激活之調整細胞AC00至AC07中，連結至藉放電信號dis0放電之主位元線BL1至BL3之調整細胞AC00至AC03為消除細胞E，而其他調整細胞AC04至AC07為程式規劃細胞P。採用此種配置，由讀取記憶體細胞MC03讀取資料時，漏電流經由程式規劃細胞P之調整細胞AC04-AC07流入主位元線BL4，故當全部記憶體細胞MC04至MC07皆為消除細胞時發生的漏電流與記憶體細胞裝置之任一者為程式規劃細胞時發生的漏電流間之差異(換言之，主位元線BL4之電壓變化)被消除。亦即，保留於毗鄰讀取記憶體細胞MC03之記憶體細胞之資料為"0"之例與保留資料為"1"之例間之漏電流差異被消除。需注意同等情況亦見於讀取記



五、發明說明 (12)

憶體細胞MC00。

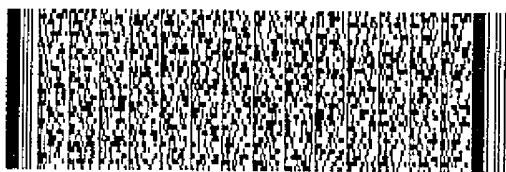
(b) 第二感測操作由記憶體細胞M02及M05讀取。

充電信號 ϕ_{pre} 於時間 t_5 變成具有H電位，因此全部主位元線BL皆以充電電壓 V_{pre} 充電。但供給經調整字線AWL1之調整信號 $awl1$ 變成升高。

充電信號 ϕ_{pre} 於時間 t_6 設定為L電位。隨後放電信號 $dis1$ 於時間 t_7 調整為具有H電位，因此放電位元線BL3至BL5。然後感測放大器SA2及SA6於時間 t_8 驅動而檢測主位元線BL2及BL6之電壓，因此決定記憶體細胞MC02及MC05之資料。然後調整信號 $awl1$ 於時間 t_9 下降，因此使放電信號 $dis1$ 具有L電位。如此完成第二感測操作。

前述操作中，於主位元線BL0至BL8中之主位元線BL3至BL5被放電。如此毗鄰讀取記憶體細胞MC05之記憶體細胞MC04及MC06之源極電位變成等於其汲極電位。又讀取記憶體細胞MC05及讀取記憶體細胞MC02，後者為位置最接近前者之讀取記憶體細胞，設置成其放電端彼此相向，及其充電端彼此儘可能遠離。因此來自毗鄰記憶體細胞MC04及MC06之漏電流對讀取記憶體細胞MC05之影響被壓抑至最低。此點對讀取記憶體細胞MC02亦為真。

由調整信號 $awl1$ 激活之調整細胞AC10至AC17中，連結至由放電信號 $dis1$ 放電之主位元線BL3至BL5之調整細胞AC12至AC15為消除細胞E，而其他調整細胞AC10、AC11、AC16及AC17為程式規劃細胞P。如此於由讀取記憶體細胞MC05讀取資料時，全部記憶體細胞MC00、MC01、MC06及MC07皆



五、發明說明 (13)

為消除細胞之例與此等記憶體細胞中之任一者為程式規劃細胞之例間之漏電流差被消除。此點對讀取記憶體細胞MC02亦為真。

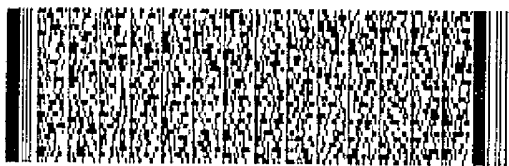
(c) 第三感測操作由記憶體細胞M04及M07讀取

充電信號 ϕ_{pre} 於時間 t_{10} 變成具有H電位，因此全部主位元線BL皆以充電電壓 V_{pre} 充電。但供給經調整字線AWL2之調整信號awl2變成升高。

充電信號 ϕ_{pre} 於時間 t_{11} 設定為L電位。隨後放電信號dis2於時間 t_{12} 調整為具有H電位，因此放電位元線BL5至BL7。然後感測放大器SA3及SA7於時間 t_{13} 驅動而檢測主位元線BL4及BL8之電壓，因此決定記憶體細胞MC04及MC07之資料。然後調整信號awl2於時間 t_{14} 下降，因此使放電信號dis2具有L電位。如此完成第三感測操作。

前述操作中，於主位元線BL0至BL8中之主位元線BL5至BL7被放電。如此毗鄰讀取記憶體細胞MC04之記憶體細胞MC03及MC05之源極電位變成等於其汲極電位。又讀取記憶體細胞MC04及讀取記憶體細胞MC07，後者為位置最接近前者之讀取記憶體細胞，設置成其放電端彼此相向，及其充電端彼此儘可能遠離。因此來自毗鄰記憶體細胞MC03及MC05之漏電流對讀取記憶體細胞MC04之影響被壓抑至最低。此點對讀取記憶體細胞MC07亦為真。

由調整信號awl2激活之調整細胞AC20至AC27中，連結至由放電信號dis2放電之主位元線BL5至BL7之調整細胞AC24至AC27為消除細胞E，而其他調整細胞AC20至AC23為程式



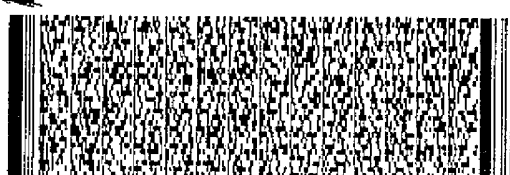
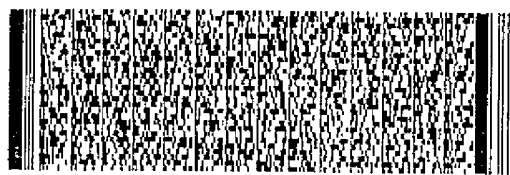
五、發明說明 (14)

規劃細胞P。如此於由讀取記憶體細胞MC04讀取資料時，全部記憶體細胞MC00至MC03皆為消除細胞之例與此等記憶體細胞中之任一者為程式規劃細胞之例間之漏電流差被消除。此點對讀取記憶體細胞MC07亦為真。

(d) 第四感測操作由記憶體細胞M01及M06讀取充電信號 ϕ_{pre} 於時間t15變成具有H電位，因此全部主位元線BL皆以充電電壓 V_{pre} 充電。但供給經調整字線AWL3之調整信號aw13變成升高。

充電信號 ϕ_{pre} 於時間t16設定為L電位。隨後放電信號dis1於時間t17調整為具有H電位，因此放電位元線BL0、BL1、BL7及BL8。然後感測放大器SA1及SA5於時間t18驅動而檢測主位元線BL2及BL6之電壓，因此決定記憶體細胞MC01及MC06之資料。然後於時間t19，字線WL0之電位調整為下降，選擇閘極選擇信號sg變成具有L電位，調整信號aw13調整為下降及放電信號dis3變成具有L電位，藉此方式完成第四感測操作。

前述操作中，於主位元線BL0、BL1、BL7及BL8中之主位元線BL0至BL8被放電。如此毗鄰讀取記憶體細胞MC01之記憶體細胞MC00及MC02之源極電位變成等於其汲極電位。又讀取記憶體細胞MC01及讀取記憶體細胞MC06，後者為位置最接近前者之讀取記憶體細胞，設置成其放電端彼此相向，及其充電端彼此儘可能遠離。因此來自毗鄰記憶體細胞MC00及MC02之漏電流對讀取記憶體細胞MC04之影響被壓抑至最低。此點對讀取記憶體細胞MC06亦為真。



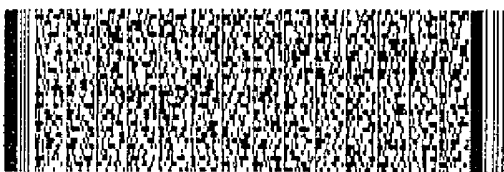
五、發明說明 (15)

由調整信號aw13激活之調整細胞AC30至AC37中，連結至由放電信號dis3放電之主位元線BL0、BL1、BL7及BL8之調整細胞AC30、AC31、AC36及AC37為消除細胞E，而其他調整細胞AC32至AC35為程式規劃細胞P。如此於由讀取記憶體細胞MC01讀取資料時，全部記憶體細胞MC02至MC05皆為消除細胞之例與此等記憶體細胞中之任一者為程式規劃細胞之例間之漏電流差被消除。此點對讀取記憶體細胞MC06亦為真。

如前述本具體例中，記憶體細胞MC00及MC03係於第一操作讀取，記憶體細胞MC02及MC05係於第二操作讀取，記憶體細胞MC04及MC07係於第三操作讀取，及記憶體細胞MC01及MC06係於第四操作讀取。因此一區塊之全部記憶體細胞MC00至MC07可於四次操作讀取。然後經由同時對全部區塊執行相同操作，由連結至一字線WL0之全部記憶體細胞MC00至MC0m讀取資料可於四次操作執行。

前述情況下，全部記憶體細胞MC皆以充電電壓 V_{pre} 一次充電。隨後至於一區塊，連結至二個記憶體細胞MC之四條主位元線BL之內部二條係於一次讀取操作讀取，及又介於兩條內主位元線間之主位元線被放電。另外，另兩條外側位元線BL分別連結至兩個記憶體細胞MC，及又設置於兩條外主位元線外側之主位元線被放電。

因此毗鄰讀取記憶體細胞之二記憶體細胞MC之源極電位及汲極電位可調整為彼此相等。此外，二被讀取記憶體細胞設置成其放電端或充電端彼此相向，及其充電端於前述



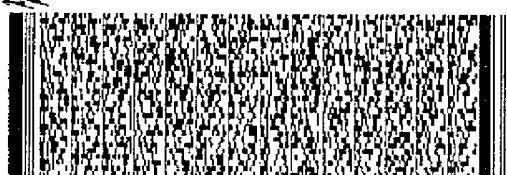
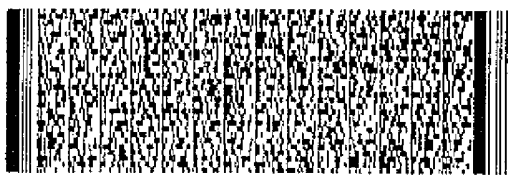
五、發明說明 (16)

狀態變成儘可能彼此遠離。結果來自毗鄰記憶體細胞之漏電流對被讀取記憶體細胞之影響被壓抑至最低。換言之，可縮短同時被讀取之記憶體細胞間隔，如此允許一個區塊之八個記憶體細胞中之二者同時被讀取毫無問題。

此外，連結至待放電之主位元線BL之調整細胞AC設計為被消除細胞E，而其他調整細胞AC設計為程式規劃細胞P。使用此種配置，由被讀取的記憶體細胞讀取資料時，漏電流經由連結至被充電主位元線BL至調整細胞AC(程式規劃細胞P)，流入待藉感測放大器SA感測之主位元線BL。因此可減少當全部具有源極及汲極連結至充電主位元線之記憶體細胞MC皆為被消除細胞時發生的漏電流與此等記憶體細胞之任一者為程式規劃細胞時發生的漏電流間之差異。

圖3顯示於一次讀取操作期間，由感測放大器SA感測之主位元線BL之電壓變化。圖中符號"E"指示被讀取記憶體細胞為消除細胞之例之電壓變化，而符號"P"表示被讀取記憶體細胞為程式規劃細胞之例之電壓變化。符號"E"及"P"後方之數字"1"指示毗鄰記憶體細胞為消除細胞，而符號後方之數字"2"指示毗鄰記憶體細胞為程式規劃細胞。圖4顯示先前技術半導體儲存裝置對應於圖3之圖，其既未使用被調整字線AWL也未使用調整細胞AC。

圖4顯示於被調整字線AWL及調整細胞AC皆未使用之例，依據毗鄰記憶體細胞為消除細胞或程式規劃細胞而定，來自毗鄰被讀取記憶體細胞之記憶體細胞之漏電流對感測主位元線之影響有別。因此先前技術半導體儲存裝置之例



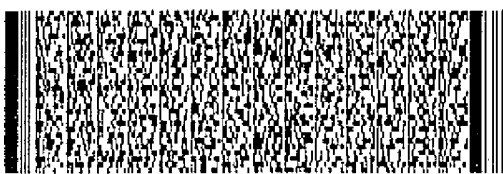
五、發明說明 (17)

中，同時被讀取之記憶體細胞間隔必須變大，故於一區塊八個記憶體細胞中可同時被讀取至記憶體細胞數目至多為一。結果需要八次感測操作來讀取劃分於八記憶體細胞區塊之各個記憶體細胞。

相反地，本具體例之半導體儲存裝置中，漏電流經由連結至充電主位元線BL之調整細胞AC(程式規劃細胞P)流入待感測之主位元線BL。使用此種配置，如圖3顯然易見，無論毗鄰記憶體細胞為消除細胞或程式規劃細胞，來自毗鄰記憶體細胞之漏電流差異不大，存在有兩條曲線交叉至一點A。因此經由設定於此點A之感測操作開始時間，可減低由於來自毗鄰記憶體細胞之漏電流造成感測主位元線之電壓變化。因此可縮小同時被讀取之記憶體細胞間隔，允許組成八記憶體細胞區塊之各記憶體細胞於四次感測操作讀取。

前述具體例中，其中三條主位元線BL相對於一區塊八條主位元線BL放電，放電主位元線與讀取主位元線間之關係如圖5所示。圖5中，數字"0"表示放電主位元線，而數字"1"表示充電主位元線。此外表示放電/充電線之數字"0"及"1"對讀取記憶體細胞例顯示。如圖5顯然易知，經由選擇兩個記憶體細胞MC作為讀取記憶體細胞，其中源極或汲極連結至放電主位元線，及另一者連結至充電主位元線，可達成下述情況。

(1) 毗鄰讀取記憶體細胞之二記憶體細胞之源極電位調整為等於個別汲極電位；及



五、發明說明 (18)

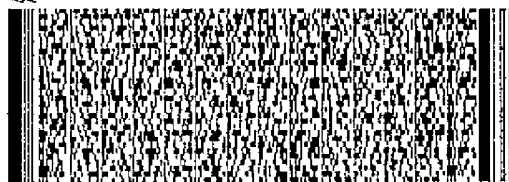
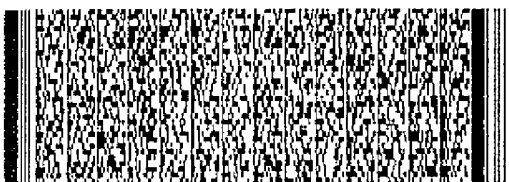
(2) 最接近第一讀取記憶體細胞之第一讀取記憶體細胞及第二讀取記憶體細胞具有其放電端或充電端彼此相向，及其充電端於該狀態儘可能彼此遠離。

二讀取記憶體細胞MC其中源極及汲極之一係連結至放電主位元線及另一者係連結至充電主位元線，不僅可如前述於一次讀取操作放電每一區塊八條主位元線BL中之三條主位元線BL達成，同時也可如圖6所示經由放電一主位元線BL，二主位元線BL，四主位元線BL，五主位元線BL或六主位元線BL達成。換言之前述配置可經由於一次操作對每個區塊接續設置之一或多條但不多於 $k-2$ 條主位元線放電達成(此處 k 為一個區塊之主位元線BL數目及數字2指示被讀取之記憶體細胞數目)。需注意此種情況下，於調整細胞AC之程式規劃細胞P位置及數目要求遵照放電主位元線之位置及數目之變化改變。

此外調整細胞AC之配置非僅限於圖1所示。圖7顯示圖1之調整細胞AC00至AC07之配置之另一例。

圖7中，唯有連結至被讀取記憶體細胞MC00及MC03連結的相同主位元線BL0、BL1、BL3及BL4之調整細胞AC00及AC03組成消除細胞E，其他調整細胞AC01、AC02及AC04至AC07組成程式規劃細胞P。經由如此設計調整細胞AC01及AC02中作為程式規劃細胞P，於放電前主位元線BL1至BL3之電位約略等值，而與此等主位元線間之線電阻等之差異無關，因而允許主位元線BL1至BL3之放電時間等值。

前述具體例中，經調整字線AWL及調整細胞AC其為非揮

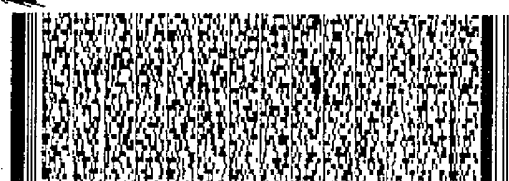
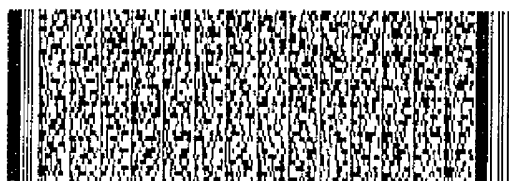


五、發明說明 (19)

發性記憶體細胞用作電阻器等效裝置，供消除由毗鄰記憶體細胞至被讀取記憶體細胞之漏電流變化，而與毗鄰記憶體細胞為消除細胞或程式規劃細胞無關。但本發明非僅限於此，只要裝置產生前述漏電流則可使用另一種其他電阻器等效裝置。但當非揮發性記憶體細胞用作電阻器等效裝置時，與儲存資料相同的非揮發性記憶體細胞可採用，故電阻器等效裝置佔有的面積可縮小。

圖8顯示電阻器等效裝置之另一例。圖8中，兩個電晶體35其閘極連結至被調整之字線AWLOH者用作對應於調整細胞AC01及AC02之裝置，調整細胞AC01及AC02為圖7中作為程式規劃細胞P之調整細胞AC01、AC02及AC4至AC07中連結至待被放電的主位元線BL1至BL3者。它方面，其閘極連結至另一條調整字線AWLOM之四個電晶體36用作裝置，其對應於圖7之程式規劃調整細胞AC04至AC07其連結至未被放電的主位元線BL4至BL8。此種情況下，較佳提供待被放電的主位元線BL1至BL3間之低電阻，因此高電壓施加於經調整之字線AWLOH。它方面，較佳介於未放電之主位元線BL4至BL8間提供高電阻，因此低電壓施加至經調整之字線AWLOM。

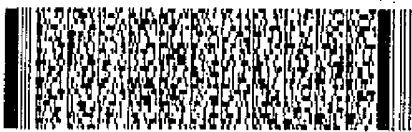
記憶體細胞MC並非限於製造成三重阱之記憶體細胞及包括具有前述非對稱濃度變化之擴散區 n^+ 及擴散區 n^- ，尋常NOR型記憶體細胞也可接受。所述具體例實施一個區塊中K條主位元線BL中1至k-2主位元線之放電及透過電阻器等效裝置連結全部主位元線。但本發明許可實施其中之任一



五、發明說明 (20)

者。

如此說明本發明，顯然可以多種方式改變。此等變化並未視為背離本發明之精髓及範圍，對業界人士顯然易知之全部此等修改意圖及含括於隨附之申請專利範圍之範圍內。

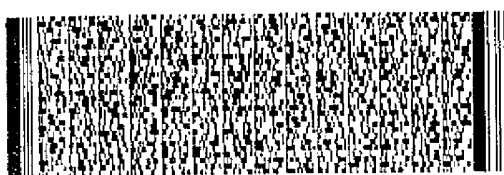


四、中文發明摘要 (發明之名稱：虛擬接地型半導體儲存裝置)

一種虛擬接地型半導體儲存裝置中，全部連結至八個記憶體細胞區塊之一條字線之全部記憶體細胞，係於四次感測操作讀取。各次讀取操作中，三條接續主位元線BL由放電信號dis放電及兩個記憶體細胞MC其各自連結至放電主位元線及充電主位元線用作讀取記憶體細胞，因此來自讀取記憶體細胞之毗鄰記憶體細胞之漏電流影響被壓制至最低。由調整信號awl激活之調整細胞單位AC中，一個僅連結至充電主位元線之AC設計做為程式規劃細胞P俾減少漏電流變化對感測主位元線之影響，原因為資料係保留於僅連結至充電主位元線之記憶體細胞MC。

英文發明摘要 (發明之名稱：A VIRTUAL GROUND TYPE SEMICONDUCTOR STORAGE DEVICE)

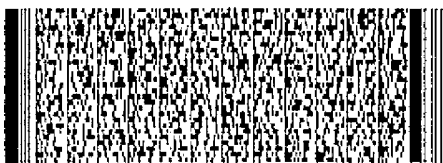
In a virtual ground type semiconductor storage device, all of memory cells connected to one word line in blocks of eight memory cells are read in four sense operations. In each read operation, three consecutive main bit lines (BL) are discharged by a discharge signal (dis) and two memory cells (MC) which are each connected to both a discharged main bit line and a charged main bit line are used as read memory cells, whereby the influence of a leak current from both the adjacent



四、中文發明摘要 (發明之名稱：虛擬接地型半導體儲存裝置)

英文發明摘要 (發明之名稱：A VIRTUAL GROUND TYPE SEMICONDUCTOR STORAGE DEVICE)

memory cells on the read memory cells is suppressed to the minimum. Among adjust cells (AC) activated by an adjust signal (awl), ones (AC) connected to only the charged main bit lines are designed as programmed cells (P) to reduce a variation in leak current to a sense main bit line due to data retained in the memory cells (MC) connected to only the charged main bit lines. (Fig. 1)



六、申請專利範圍

1. 一種虛擬接地型半導體儲存裝置，其具有複數非揮發性記憶體細胞(MC)排列成矩陣形式，及位元線(BL)及字線(WL)連結至該非揮發性記憶體細胞，該裝置包含：

一電源(Vpre)供充電位元線；

第一交換裝置(28、30)供執行各位元線與電源(Vpre)間之連結及解除連結；

地線(20)其接地；

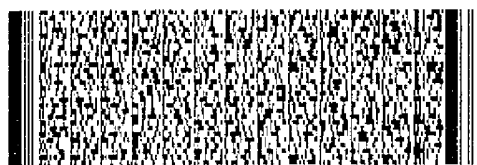
第二交換裝置(24、25、26、27)連結於各位元線(BL)與地線(20)間；及

控制裝置(dis0、dis1、dis2、dis3)供控制第二交換裝置(24、25、26、27)執行地線(20)與每k條接續位元線(k：整數； $k \geq 3$)中之至少一條位元線(BL)間之連結及解除連結，其中該至少一條位元線之數目不大於k-2，及當該數目為二或以上時，位元線(BL)數目為接續位元線。

2. 如申請專利範圍第1項之半導體儲存裝置，其中該第二交換裝置(24、25、26、27)包含交換元件(24、25、26、27)其對每條位元線設置，及控制裝置(dis0、dis1、dis2、dis3)連續由k條位元線中選擇不同組之至少一條位元線，及開與關交換元件(24、25、26、27)而僅連結選定之位元線組至地線(20)。

3. 如申請專利範圍第1項之半導體儲存裝置，其中未連結至地線(20)之交互毗鄰位元線係透過電阻器等效裝置(AC、36)彼此連結。

4. 如申請專利範圍第3項之半導體儲存裝置，其中



六、申請專利範圍

該電阻器等效裝置(AC、36)包含一非揮發性記憶體細胞(AC、36)；及

該作為電阻器等效裝置之非揮發性記憶體細胞(AC、36)具有閾電壓其許可漏電流於此非揮發性記憶體細胞(AC、36)之開狀態時產生。

5. 如申請專利範圍第4項之半導體儲存裝置，其中

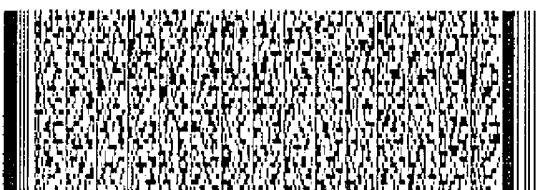
該連結至地線(20)之交互毗鄰位元線也藉由一電阻器等效裝置彼此連結，該電阻器等效裝置包含一非揮發性記憶體細胞(AC、35)，及作為電阻器等效裝置之非揮發性記憶體細胞(AC、35)具有閾電壓其許可漏電流於此非揮發性記憶體細胞(AC、35)之開狀態時產生。

6. 如申請專利範圍第3項之半導體儲存裝置，其中

連結至地線(20)之交互毗鄰位元線係透過電阻器等效裝置(AC：P及E；35；36)彼此連結；

該連結未連結至地線(20)之交互毗鄰二位元線之電阻器等效裝置包含一第一電晶體(P、36)，其具有一源極及一汲極連結至此等交互毗鄰位元線，及一閘極，對該閘極施加第一電壓；及

該連結至地線(20)之交互毗鄰二位元線之電阻器等效裝置包含一第二電晶體(E、35)，其具有一源極及一汲極連結至此等交互毗鄰位元線，及一閘極，對該閘極施加高於第一電壓之第二電壓。



圖式

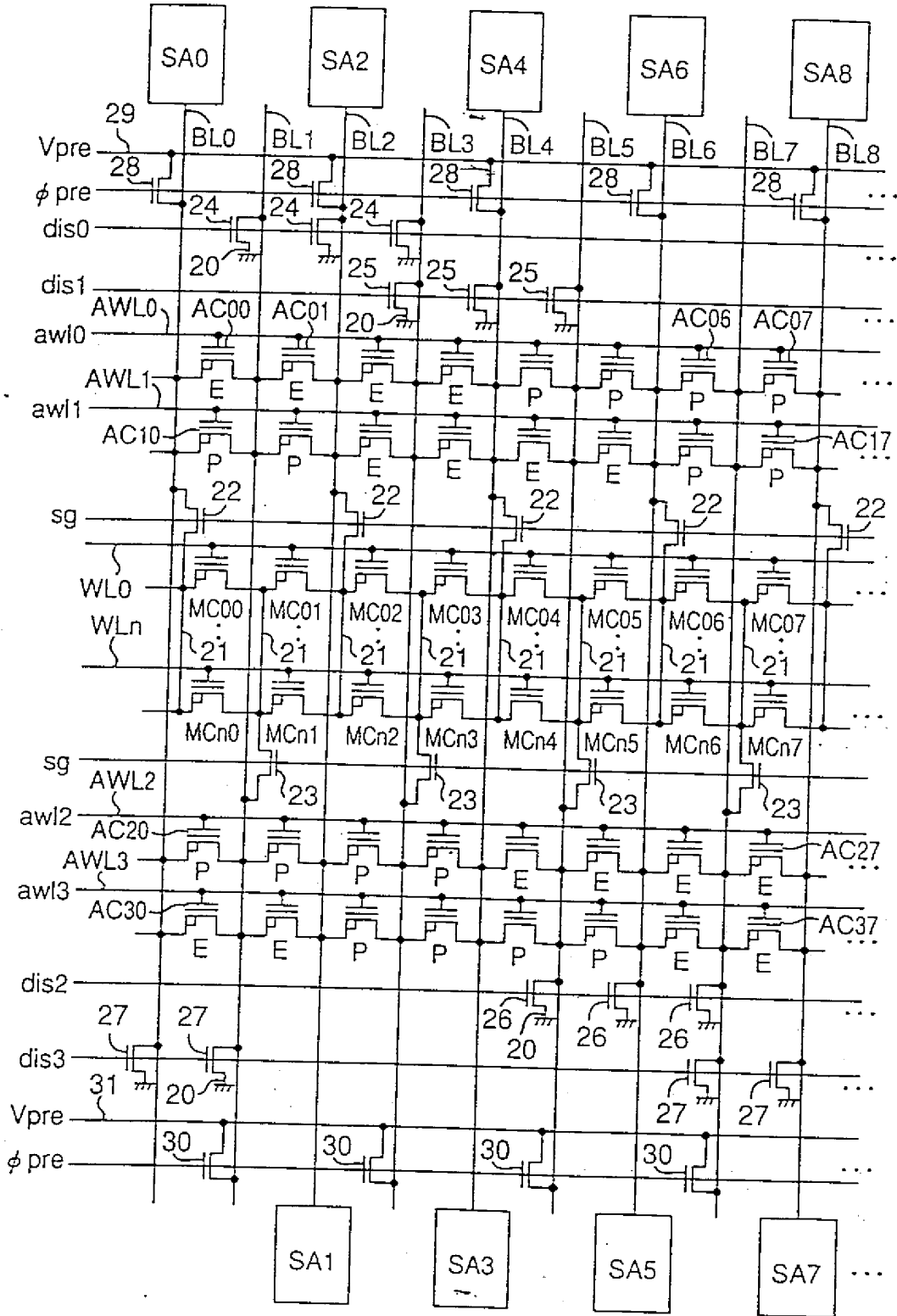


圖 1

圖式

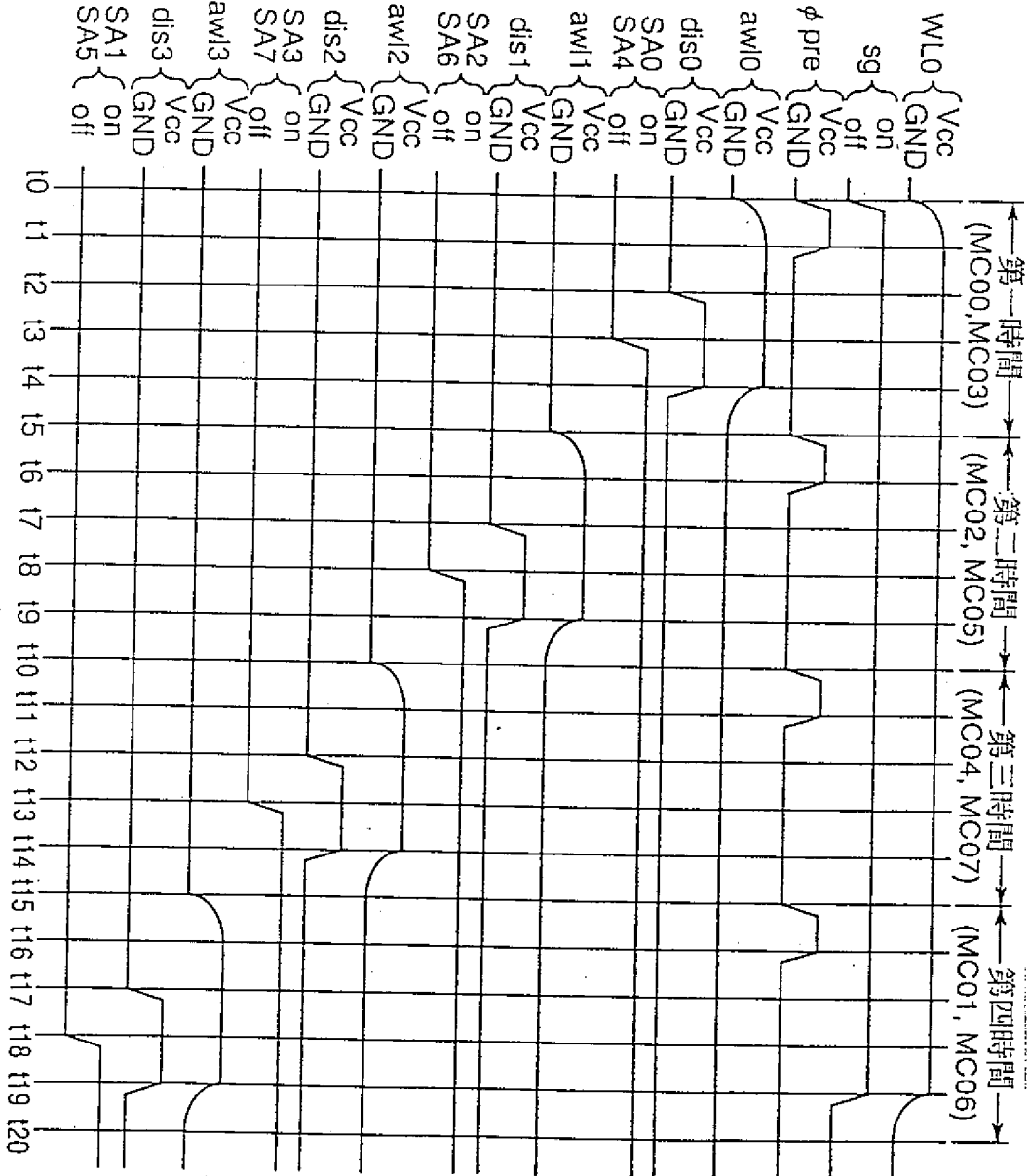
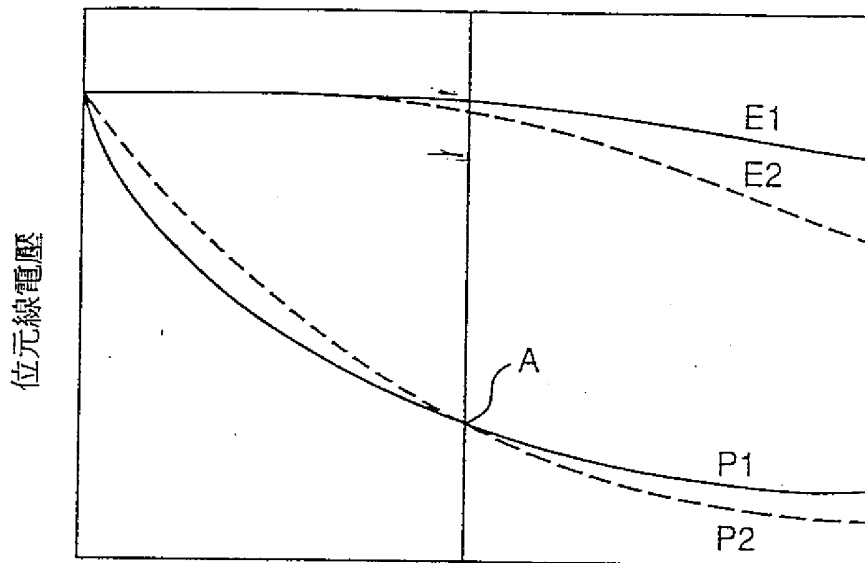


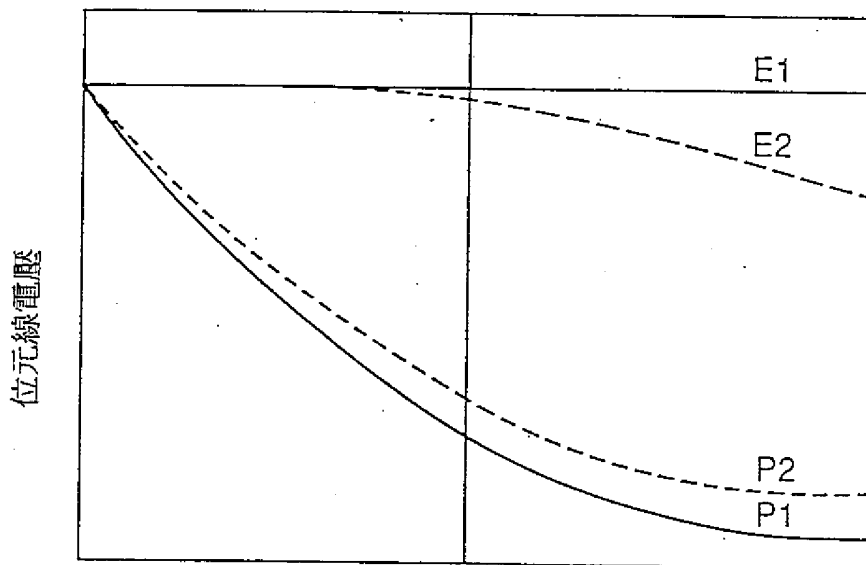
圖 2 ✓

圖式



感測操作起點
位元線放電時間

圖 3



感測操作起點
位元線放電時間

圖 4

圖式

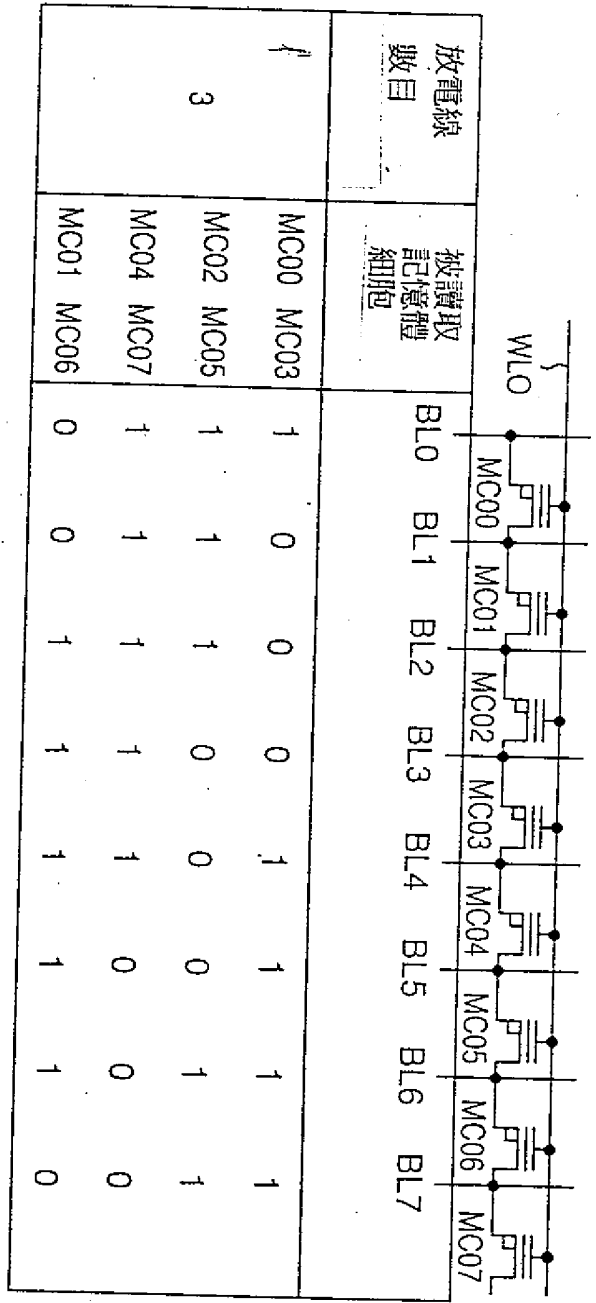
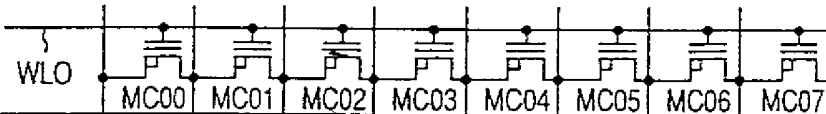


圖 5

圖式



| 放電線 數目 | 被讀取 記憶體 細胞 | | | | | | | | |
|-----------|------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| | | BLO | BL1 | BL2 | BL3 | BL4 | BL5 | BL6 | BL7 |
| 1 | MC00 MC01 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| | MC02 MC03 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| | MC04 MC05 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| | MC06 MC07 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 2 | MC00 MC02 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| | MC01 MC03 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| | MC04 MC06 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| | MC05 MC07 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 4 | MC00 MC04 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| | MC01 MC05 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| | MC02 MC06 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| | MC03 MC07 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 5 | MC00 MC03 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| | MC02 MC05 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| | MC01 MC06 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| | MC04 MC07 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 6 | MC00 MC02 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| | MC01 MC03 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| | MC04 MC06 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| | MC05 MC07 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |

圖 6

圖式

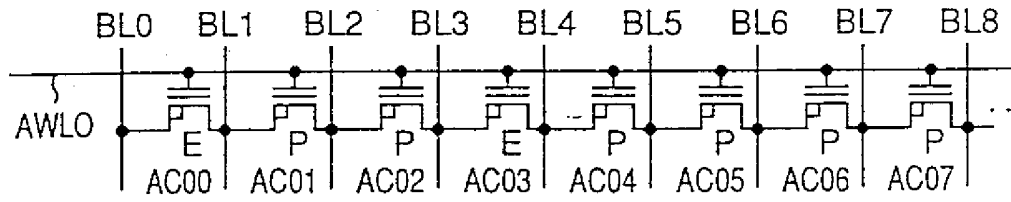


圖 7

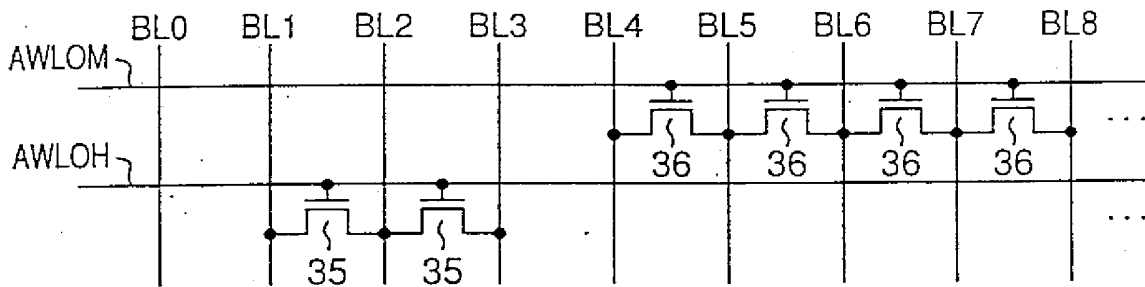
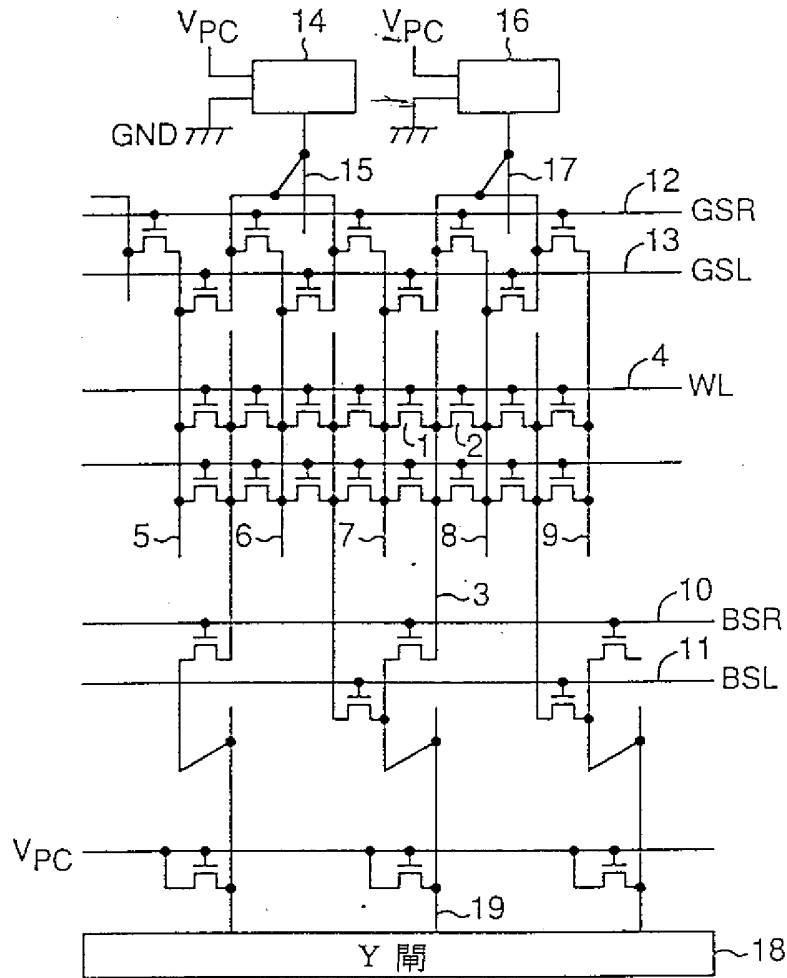


圖 8

圖式

圖 9

先前技術



先前技術

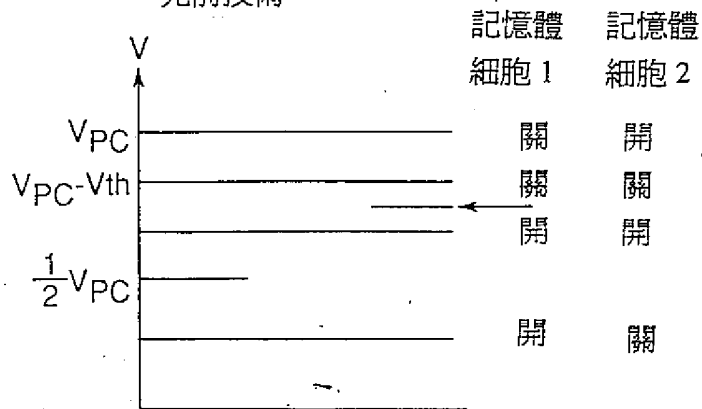


圖 10