

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95146675

※申請日期：95年12月13日

※IPC分類：G06F 12/02 (2006.01)

G11C 8/12 (2003.01)

一、發明名稱：

(中) 使動態記憶體分配之潛時最佳化的方法及系統

(英) Method and system for optimizing latency of dynamic memory sizing

二、申請人：(共 1 人)

1. 姓 名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID地 址：(中) 美國加州聖大克拉瑞密遜學院路 2200 號
(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA
國籍：(中英) 美國 U.S.A.

三、發明人：(共 1 人)

1. 姓 名：(中) 桑吉夫 傑哈吉爾達
(英) JAHAGIRDAR, SANJEEV
國 籍：(中) 印度
(英) INDIA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2005/12/30 ; 11/323,259 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95146675

※申請日期：95年12月13日

※IPC分類：G06F 12/02 (2006.01)

G11C 8/12 (2003.01)

一、發明名稱：

(中) 使動態記憶體分配之潛時最佳化的方法及系統

(英) Method and system for optimizing latency of dynamic memory sizing

二、申請人：(共 1 人)

1. 姓 名：(中) 英特爾股份有限公司
(英) INTEL CORPORATION代表人：(中) 1. 大衛 賽門
(英) 1. SIMON, DAVID地 址：(中) 美國加州聖大克拉瑞密遜學院路 2 200 號
(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA
國籍：(中英) 美國 U.S.A.

三、發明人：(共 1 人)

1. 姓 名：(中) 桑吉夫 傑哈吉爾達
(英) JAHAGIRDAR, SANJEEV
國 籍：(中) 印度
(英) INDIA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2005/12/30 ; 11/323,259 ☒ 有主張優先權

九、發明說明

相關申請案之對照

此申請案有關讓渡給 Intel Corporation 之由發明人 Kurts 等人於 2004 年 8 月 31 日所申請的美國專利申請案第 10/931,565 號；讓渡給 Intel Corporation 之由發明人 Naveh 等人於 2004 年 9 月 3 日所申請的美國專利申請案第 10/934,034 號；讓渡給 Intel Corporation 之由發明人 Naveh 等人於 2004 年 12 月 28 日所申請的美國專利申請案第 11/024,538 號；讓渡給 Intel Corporation 之由發明人 Naveh 等人於 2004 年 7 月 27 日所申請的美國專利申請案第 10/899,674 號；以及有關讓渡給 Intel Corporation 之由發明人 Jahagirdar 所同時申請的命名為”用於零電壓休眠狀態之方法及設備“之專利申請案，文件號碼 042390.P22435。

【發明所屬之技術領域】

本發明的一些實施例係大致有關積體電路及/或計算系統。更特別的是，本發明的一些實施例係有關動態記憶體分配(sizing)。

【先前技術】

當朝向具有更多電晶體和更高頻率之例如中央處理單元(CPU)的先進微處理器的趨勢持續成長時，電腦設計者及製造商經常面對著功率及能量消耗中的對應增加。特別是在移動式裝置中，所增加的功率消耗可導致過熱而不

利地影響性能，且可大大地降低電池壽命。因為電池典型上具有受限的容量，所以超出必要之運行移動式裝置之處理器會比所想要的更快速地耗盡該容量。

因此，功率消耗持續成為計算系統之重要課題，該計算系統包括桌上型電腦、膝上型電腦、無線電話、個人數位助理等。在現今的計算系統中，例如為了解決功率消耗的問題，某些組件可根據減少之活動或需求而進入更低的功率狀態。

在微處理器設計上同時發展的是，針對既定的矽區域，記憶體大小正持續增加以達成較佳的性能。惟，朝向更大記憶體大小趨勢已然增加了與記憶體相關聯之部分的功率消耗。因此，更低的功率狀態之應用以及與操作更大記憶體進入及退出該等狀態相關聯的潛時已成為功率消耗管理之逐漸重要的領域。

【發明內容及實施方式】

實際地由計算系統及/或其相關聯的軟體所需之記憶體數量經常相對於時間而改變。例如，對於典型的應用而言，在任何既定的時間可能僅需小部分的記憶體。依據本發明的一些實施例，諸如第1及2圖之記憶體管理，該記憶體管理可予以動態地分配(sized)，以便降低其中所使用之記憶體電路及系統的電力要求。

特別是，如同在此所描述者，當不需要及/或未選擇下述致能/使失能的子分段(sub-section)時，本發明之一些

實施例可在記憶體的一或多個子分段之致能/使失能的期間提供最佳的潛時如同相對於第3至9圖所述之以第1至2圖中所示的記憶體形態所實施者。在本發明的一些實施例中，記憶體會在該計算系統的特定狀態中被致能/使失能。該等狀態（亦被稱為電力狀態）將相對於進階組態及電源介面（ACPI）規格（例如，ACPI規格2004年9月2日之3.0版；2003年8月25日之2.0c版；2000年7月27日之2.0版，等）而另外詳細地說明於下文。

第1圖顯示藉由依據本發明之一些實施例的路線(ways)所組織之記憶體架構的實例方塊圖。在具有可動態分配之記憶體的實施例中，例如可使用靜態隨機存取記憶體(SRAM)來實施第1圖之多路相關聯記憶體。複數個子分段101a、101b至101n（其各自為此特別實例中之路線）可分離地或地耦接至複數個休眠裝置（未顯示出），使得各個子分段或路線101可選擇性地被致能/使失能，或等效地及選擇性地被耦接至/解耦接自電源。

依據本發明的一些實施例，至少根據在此所提供之教示，可使用替換的休眠裝置，且所說明的該等裝置係例舉可由熟習本項技藝之人士所使用之類型的休眠裝置。“電力閘控電晶體”、“休眠電晶體”及“休眠裝置”之術語的使用並非意圖限制本發明之範疇於任何特定的裝置，而是該等術語僅打算例舉休眠裝置關閉或閘控電力至記憶體子分段的能力。此外，例如可呈明顯於一般技藝者的是，休眠裝置之該等各式各樣的實施例可具有比其他實施例更特別

的應用，且因此，針對某些類型之可動態分配的記憶體而言，可更加有利。

記憶體形態可決定特定的休眠裝置是否可予以使用來控制電力至分段或子分段的記憶體。針對第1圖，在一些實施例中，其中，記憶體係藉由路線來予以組織，則可使用休眠裝置來控制記憶體之各路線。若記憶體形態係以一些其他方式來予以組織，尤其是並未隔離既定的路線時，則休眠裝置無法控制記憶體的某些分段。替換之機構將針對第2圖來做說明。

第2圖顯示未藉由依據本發明之一些實施例之邏輯電路所組織的記憶體架構之另一實例的方塊圖。路線202a、202b至202n具有任意的尺寸大小且係隨意設置於記憶體之中。在本發明之一些實施例中，其中，該等路線係實際地分配於記憶體的不同區塊上，該記憶體可藉由路線而以順序方式來予以清除(flushed)，但該等路線無法使用休眠裝置來予以關閉電力。因而，該記憶體僅可在清除用於既定區塊之所有路線後，使用休眠電晶體來予以關閉電力。

根據本發明之一些實施例，一或多個路線，例如，但未受限於第1及2圖中所示之該等路線，可使用以路線為基礎之動態分配方法來予以縮減。在本發明之一些實施例中，不同的動態分配方法可於當進入至及/或退出自不同的電力狀態時由計算系統之組件所實施。

針對由處理器（例如，多核心處理器或中央處理單元（CPU））所存取之記憶體，依據本發明之一些實施例，

處理器之微碼（請參閱下文第5圖）可透過各個路線中的線路來前進，以清除正被止動或縮減之路線中的任何所修正之資料。在本發明之一些實施例中，在清除所有所修正之資料至記憶體後，可使用例如休眠裝置來關閉電力至該等路線。

依據本發明之一些實施例，處理器之電力管理邏輯電路（PML）或背面匯流排邏輯電路（BBL）之控制邏輯電路（參閱下文第5圖）可利用最近最少使用（LRU）來停止配置到所止動的路線。在本發明之進一步實施例中，當路線為可重致能、重啓動時（或者換言之，當記憶體成長時，如同相反於上述之“縮減”），則可使電力閘控電晶體導通；路線的狀態位元被清除（例如，MESI協定之狀態I）；且可開始配置該PML或控制邏輯電路至此路線。例如，一般技藝之人士將會理解到，應注意的是，除了MESI（4個狀態：修正、互斥、分享、無效）之外的替換相關性或寫入無效協定可由本發明來予以實施及使用。例如，一般技藝之人士將發現到立即呈明顯的是，可實施MOESI（5個狀態：修正、所有者、互斥、分享、無效）或DRAGON（4個狀態：有效-互斥、分享-清除、分享-修正、修改）。依據本發明之一些實施例，諸如，但未受限於使用具有零電壓之狀態的實施例，可保留該等狀態位元。若保留該等狀態位元時，則在本發明的一些實施例中，當自電力狀態退出時，PML 150或電力管理邏輯電路642並不會清除它們。

對於本發明之一些實施例，可使用各式各樣的電路來實施替換的休眠邏輯電路及/或提供類似於已使用不同方式之休眠裝置的功能性。例如，在本發明之一些實施例中，可實施記憶體之不同的子分段於不同的電力平面之上，使得該記憶體之子分段可透過電力平面控制來予以致能/使失能。其他方式係在各式各樣實施例的範疇之內。

此外，雖然對了例舉而在此敘述實施於微處理器上之n路線相關聯的記憶體，但將理解的是，本發明之實施例可應用於其他類型的記憶體，包含具有不同架構的記憶體，及/或實施於另一類型之積體電路裝置上的記憶體。此外，在本發明之一些實施例中，係使用”記憶體“、“快取”、“及”快取記憶體“之術語，但此並非意指限制本發明實施例之操作，而是例如本發明實施例之操作可應用於所有形式或類型之記憶體，尤其是在一些實施例之中，可應用於快取記憶體。

對於本發明之一些實施例，例如包含各式各樣層級的快取記憶體之其他分割、子分段或部分的記憶體可使用此處所敘述之方式的一個方式或多個方式來選擇性地予以致能及/或使失能。因此，所例舉之路線將提供諸如陣列之胞格(cell)的合適群組，惟，術語”路線“的使用並非意圖限制本發明之精神或範疇。

在本發明之一些實施例，主動路線可以按順序方式來加以清除；然，熟習於相關技術之一般人士將理解的是，至少依據此處所敘述之教示，可使用其他方式來清除快取

記憶體的路線。清除快取記憶體所的時間係決定進入諸如（但未受限於）休眠狀態之電力狀態之潛時的一個因素。當自諸如（但未受限於）休眠狀態之電力狀態退出時，其中該快取記憶體狀態位元係無效的。使該等狀態位元無效所需的時間係決定自電力狀態退出之潛時的一個因素。

依據本發明之一些實施例，諸如藉由降低所需的時間量來改善或使進入及退出電力狀態最佳化，可極有用於製造商、使用者及程式設計者。本發明之一些實施例可應用於上文在第1及2圖中所述之快取記憶體形態，以及其他的形態，諸如，但未受限於包含可立即造成多重時間以實施快取之區的快取記憶體形態。此外，在本發明之一些實施例中，例如熟習於本項技藝之人士將理解的是，至少依據此處所述之教示，快取記憶體之路線可由路線而成爲均一或由集合及路線而非均一，以及可以以各式各樣的方式來予以映射。

在本發明之一些實施例中，電力狀態可使用逐一路線之快取記憶體清除微架構，其中處理器可檢查快取記憶體中的各個路線以瞭解它們是否含有即將被寫入至主記憶體之經修正的資料。因此，依據本發明之一些實施例，追蹤例如經修正資料之動態記憶體資料的方法可降低進入及退出的潛時。在潛時中的降低可以以至少兩方式來予以助益：第一，在進入/退出之性能中會有所改善；以及第二，在操作快取記憶體所需的能量中會有所節省，因爲快取記憶體之線路的清除/使無效並不會發生。

依據本發明之一些實施例，快取記憶體狀態的追蹤可由暖位元(warm bit)及/或修改位元(dirty bit)之使用來予以協助。在本發明之一些實施例中，可使用暖位元來記錄特別的快取記憶體區塊是否因為自電力狀態的最後退出而已被存取。在本發明之一些實施例中，該存取包含對該快取記憶體區塊之任何線路的讀取及/或寫入操作。在本發明之一些實施例中，可使用修改位元來記錄特別的快取記憶體區塊是否包含修正的資料。在本發明之一些實施例中，修正的資料可由觀察該快取記憶體區塊中之線路所發生的寫入操作狀態資訊來加以偵測。

第3及4圖分別例舉暖位元及修改位元之一些實施例，其中，每區塊可存在有一個位元。可使用其他實施例而不會偏離自此處所述之教示。在第3圖中，暖位元302係顯示於列302a、302b~302n之中；在第4圖中，修改位元402係顯示於列402a、402b~402n之中。在本發明之一些實施例中，該等修改位元可為該等暖位元的子集，因此，在一些實施例中，特別的快取記憶體區塊僅於其亦為暖位元之區塊時，方可為修改位元之區塊，亦即，在本發明之一些實施例中，存取或使用可為修正之先決條件。

依據一或多個實施例，爲了要使可動態分配之記憶體101及/或202的相關聯子分段致能及/或使失能，控制最佳化過程所需之邏輯電路可以以主積體電路、電腦系統或以軟體來予以實施。此一實施之實例將相對於本發明之一些實施例來說明於此。

第5圖係依據本發明之一些實施例以產生暖位元及修改位元的邏輯電路實例之圖式。依據本發明之一些實施例，該邏輯電路可以以硬體、軟體或韌體來予以實施，且可由下文所述之均顯示於第6圖中的PML 150、電力管理狀態控制邏輯電路642或作業系統(OS) 645而被儲存及/或操作。

依據本發明之一些實施例，此邏輯電路將根據下列之一個以上而產生暖位元及/或修改位元：對快取記憶體之一或多個異動(transaction)的位址，一或多個讀取/寫入致能，以及狀態/路線資訊。在本發明之一些實施例中，邏輯電路500包含解碼邏輯電路512，其接收記憶體異動資訊502以及路線選擇506及路線致能508資訊。在本發明之一些實施例中，該記憶體異動位址502可包含一或多個子集之集合位元504。

依據本發明之一些實施例，該解碼邏輯電路512亦可接收異動類型資訊510。在一些實施例之中，異動類型的實例可包含：記憶體讀取、記憶體寫入、記憶體探測、記憶體寫回(清除)、或記憶體無效。記憶體屬性(例如使用MESI)亦可藉由510來予以讀取。依據本發明之一些實施例，此資訊可被使用來產生暖位元及/或修改位元，因為該等位元可僅在記憶體異動的類型上被設定為1，例如，在一些實施例中，暖位元可在任何異動上被設定於該集合及路線，此外，在一些實施例中，若寫入修正資料至集合及路線時，可設定修改位元。在本發明之一些實施例中

，該解碼邏輯電路512接著能夠產生一或多個暖位元514及/或一或多個修改位元516。在一些實施例中，該解碼邏輯電路可意識到記憶體形態(topology)及區塊邊界。

此外，在本發明之一些實施例中，該解碼邏輯電路可清除暖位元514及修改位元516。在替換之實施例中，PML 150、電力管理狀態控制邏輯電路642或OS 645可清除位元514及/或516。在一些實施例中，當清除記憶體之區塊時，可清除修改位元516。在一些實施例中，當退出電力狀態時，可清除暖位元514。

在本發明之一些實施例中，每當退出電力狀態時，會重新開始暖位元及修改位元資訊收集程序。在該等實施例，暖位元及修改位元在本質上可以是飽和的，亦即，針對多重寫入至記憶體之相同區塊，暖位元可為（1或0的）1。在本發明之一些實施例中，暖位元514及516僅在電腦系統之明確的重設時才可被清除。在一些實施例中，多重記憶體區塊可分享暖位元及/或修改位元。

如本文中之其他處所述地，本發明之一些實施例可以以硬體、韌體、及軟體的其中之一或其組合來予以實施。本發明之一些實施例亦可全部或部分地實施為儲存在機器可讀取媒體上之指令，其可被至少一處理器所讀取及執行，以實施此處所述之操作。機器可讀取媒體可包含以可由機器（例如，電腦）所讀取之形式來儲存或傳送資訊的任何機制。例如，機器可讀取媒體可包含唯讀記憶體（ROM）；隨機存取記憶體（RAM）；磁碟儲存媒體；光學儲存

媒體；快取記憶體裝置；電氣、光學、聲音或其他形式之傳播信號（例如載波、紅外線信號、數位信號等），等等。

第6圖係根據本發明實施例之可使用於以動態記憶體分配來實施記憶體潛時之最佳化的電腦系統實例之方塊圖。系統600可為筆記型或膝上型電腦系統，或可為任何不同類型之移動式電子系統，例如移動式裝置、個人數位助理、無線電話/手機、或甚至可為非移動式系統，例如桌上型或企業型計算系統。其他類型之電子系統也在各式各樣實施例的範疇之內。

該系統600包含處理器605，例如多核心處理器；平台層級時脈產生器611；電壓調整器612，係耦接至處理器605；記憶體控制集線器615，係透過匯流排617而耦接至處理器605；記憶體620，其可包含一或多個隨機存取記憶體（RAM）、快閃記憶體、及/或其他類型之記憶體；輸入/輸出（I/O）控制集線器625，係透過匯流排627而耦接至記憶體控制集線器615；以及大量儲存裝置630，係透過匯流排632而耦接至I/O控制集線器625。在一些實施例中，雖然系統600可為具有上述子系統之移動式裝置，但應理解的是，該系統600可為具有比上述子系統更多或更少的子系統之不同類型的移動式裝置或非移動式裝置。

在本發明之一些實施例中，處理器605可為英特爾（Intel®）架構微處理器，例如英特爾奔騰（Intel Pentium®）M處理器之後繼處理器，其包含一個以上的處理核心（

例如 120 及 122) 及至少一個執行單元 110，以處理指令。對於本發明之一些實施例而言，該處理器 605 可包含 Intel SpeedStep® 技術或另一電力管理相關連技術，其提供兩個以上之電壓/頻率操作點。相關聯的時脈/電力管理單元 150 可被包含於該處理器 605 中，以控制兩個以上之電壓/頻率對之間的變遷。

在本發明之一些實施例中，處理器 605 可為不同類型的處理器，例如數位信號處理器、嵌入式處理器、或來自不同來源之微處理器。

選用地，處理器 605 可包含專用的快取記憶體 140 (例如同步隨機存取記憶體 (SRAM))，其可被使用來儲存處理器之狀態變數及暖位元/修改位元資訊。在本發明之一些實施例中，當處理器進入極低電壓狀態，諸如 (但未受限於) 零電壓休眠狀態時，該記憶體 140 可儲存此資訊的部分或全部。在本發明之一些實施例中，記憶體可被建構於處理器之晶片內，或封裝於與該處理器晶片相同的殼體之內。

當處理器 605 上包含 Intel SpeedStep® 技術或另一類型之電力管理技術時，與該技術相關聯之可用的電壓/頻率對包含最小電壓/頻率對，其對應於與該處理器 605 相關聯之最小主動模式操作電壓及最小操作頻率，以供全功能之操作模式用。此處，可分別稱謂它們為最小操作電壓及最小操作頻率，或最小主動模式操作電壓及頻率。相似地，可界定最大操作電壓及頻率。其他可用的電壓頻率對可被

稱為操作電壓/頻率對，或簡稱為其他電壓/頻率或頻率/電壓對。

選用地，零電壓進入/退出邏輯電路154亦可被包含於處理器605中，或者在電力管理邏輯電路（PML）150之內部或外部，以控制進入至零電壓休眠狀態以及自零電壓休眠狀態退出，此處，該零電壓休眠狀態亦稱為C6狀態。如本文中之其他處所述地，PML 150可包含邏輯電路500。

可包含可藉由該零電壓進入/退出邏輯電路154而存取之電壓識別（VID）記憶體152，以儲存電壓識別碼查閱表。該VID記憶體可為在晶片上或在晶片外之暫存器，或可為另一類型之記憶體，且該VID之資料可經由軟體、基本輸入/輸出系統（BIOS）碼678（其可儲存於韌體集線器679上或另一記憶體中）、作業系統、其他韌體而被載入於記憶體內，及/或例如可被硬體編碼(hardcoded)。替換地，包含VID及相關連的資料之軟體查閱表此外可藉由邏輯電路150來存取，該VID資訊亦可被儲存於CPU上做為熔絲（fuses）（例如，可程式化ROMs（PROMs））。

在本發明之一些實施例中，邏輯電路500之操作所需的資訊及/或暖位元/修改位元的狀態可類似地和VID資料一起被儲存。

類比至數位轉換器（ADC）156亦可被設置來做為零電壓進入/退出邏輯電路150的部分，以監測電壓供應位準及提供相關聯的數位輸出，如下文中所詳細描述者。

電壓調整器612提供供應操作電壓至處理器605，且例

如可符合諸如IMVP-6規格之英特爾移動式電壓定位（IMVP）規格的版本。針對此等實施例，該電壓調整器612被耦接，以透過匯流排635而接收來自處理器605的VID信號，且回應於該等VID信號而透過信號線640提供相關聯的操作電壓至處理器605。該電壓調整器612可包含零電壓休眠邏輯電路102，該零電壓休眠邏輯電路102回應於一或多個信號而使到處理器605之電壓640降低至零狀態，而後，在退出該零電壓休眠狀態之後，使到該處理器605之電壓再度跳回。

對於本發明之其他實施例而言，可使用不同類型的電壓調整器，包含符合不同規格的電壓調整器。此外，對於一些實施例而言，該電壓調整器可與包含處理器605之系統600的另一組件相整合。應理解的是，電壓調整器可根據設計考量而與或不與CPU相整合。

處理器控制集線器615可包含圖形和記憶體兩者的控制能力，且在本文中可替換地被稱為圖形和記憶體控制集線器（G/MCH）或北橋。該圖形和記憶體控制集線器615及I/O控制集線器625（其亦可稱為南橋）可共同地稱為晶片組。針對其他實施例，晶片組特性可以以不同的方式來加以分割及/或可使用不同數目之積體電路晶片來予以實施。例如，對於一些實施例而言，圖形和記憶體控制能力可利用分離的積體電路裝置來予以提供。

一些實施例之I/O控制集線器625包含電力管理狀態控制邏輯電路642（在本文中替換地被稱為C狀態控制邏輯電

路)。獨立自主地抑或回應於作業系統或其他軟體或硬體事件，該電力管理狀態控制邏輯電路642可控制與處理器605相關聯之一些電力管理及/或正常操作狀態間之變遷的狀態樣。例如，針對支援至少主動模式及被稱為C0、C1、C2與C4、C5和C6之電力管理狀態的Intel®架構處理器，電力管理狀態控制邏輯電路642可利用停止時脈(STPCLK#)、處理器休眠(SLP#)、深度休眠(DPSLP#)、更深度停止(DPRSTP#)、及/或停止處理器(STPCPU#)信號的其中之一或多個信號而至少部分地控制至少該等狀態的子集間之變遷。

又，在本發明之一些實施例中，來自I/O控制集線器625之電壓(VI/O 149)可被提供給處理器605，以便提供足夠的電力至專用的快取記憶體140，使其可儲存與處理器605相關聯的狀態變數，而剩餘之處理器605則藉由降低操作電壓640至零狀態而關閉電源。在本發明之一些實施例中，狀態變數包含暖位元及/或修改位元資訊。

對於支援不同電力管理及/或正常操作狀態之其他的類型架構及/或處理器而言，該電力管理狀態控制邏輯電路642可使用與在此所描述之該等信號相似或不同的一個以上之信號來控制兩個以上之不同的電力管理及/或正常操作狀態間之變遷。

大量儲存裝置630可包含一個以上之光碟片唯讀記憶體(CD-ROM)驅動器及相關聯的碟片，一個以上之硬碟驅動器及相關聯的碟片，以及/或可由計算系統600透過網

路而存取之一個以上的大量儲存裝置。諸如光學驅動器及相關聯的媒體之其他類型的大量儲存裝置亦在各式各樣實施例的範疇之內。

對於一些實施例而言，該大量儲存裝置 630 儲存包含碼 650 之作業系統 645 以支援目前及 / 或後繼版本之 ACPI 規格（其將在本文中之其他處予以說明）。ACPI 可被使用來控制電力管理之一些態樣，如下文中所詳細描述者。該作業系統 645 可為由美國華盛頓州雷蒙市之微軟（Microsoft®）公司所販售之視窗（Windows™）或其他類型的作業系統。替換地，可使用諸如 Linux™ 作業系統之不同類型的作業系統及 / 或以不同類型之作業系統為基礎的電力管理於其他實施例。此外，在此被描述為與 ACPI 相關聯之電力管理功能及能力可藉由不同的軟體或硬體來予以提供。

又，應理解的是，系統 600 可包含諸如陰極射線管（CRT）或液晶顯示器（LCD）之顯示裝置，用以顯示資訊給使用者。此外，系統 600 可包含字母與數字輸入裝置（例如，鍵盤），該字母與數字輸入裝置包含字母與數字鍵及其他鍵，用以傳送資訊及命令選擇至處理器 605。額外的使用者輸入裝置可為例如滑鼠、軌跡球、軌跡墊、針筆、或游標方向鍵之游標控制裝置，用以傳送方向資訊及命令選擇至處理器 605，以及用以控制顯示裝置上之游標移動。

可與系統一起被包含的另一裝置為硬式拷貝裝置，其

可被使用來印製指令、資料、或其他資訊於諸如紙、軟片、或相似類型之媒體的媒體上。再者，諸如揚聲器及/或微音器（未顯示出）之聲音記錄及播放裝置可選用地被包含於系統600中，以供聲頻介接使用。

在該系統600為移動式或可攜式系統的情況中，可包含電池或電池連接器655，以排它地或沒有另一類型之電源的方式提供電力來操作該系統600。此外，對於一些實施例而言，可包含天線660，且可使該天線660經由例如無線區域網路（WLAN）裝置661而被耦接至系統600，以提供無線連接給該系統600。

WLAN裝置661可包含無線通訊模組，該無線電通訊模組可使用無線應用協定（WAP）來建立無線通訊頻道。該無線通訊模組可實施無線網路連接標準，例如1999年公佈之IEEE std. 802.11-1999（電機及電子工程師協會（IEEE）802.11標準）。

應理解的是，在本發明之一些實施例中，第6圖之處理器605可變遷於各式各式已知的C狀態之間。用於處理器605之正常操作狀態或主動模式為C0狀態，其中，該處理器主動地處理指令。在該C0狀態中，處理器605係處於高頻模式（HFM）中，其中，電壓/頻率設定可藉由最大電壓/頻率對來予以提供。

爲了要保存電力及/或降低熱負荷，例如，無論何時當可行的時候，可變遷該處理器605至更低的電力狀態。例如，回應於執行HALT或MWAIT指令（未顯示出）之諸

如微碼的韌體，或諸如作業系統 645 的軟體，或甚至在一些情況中之 ACPI 軟體，處理器 605 可自 C0 狀態變至 C1 至 Auto-HALT（自動暫停）狀態。在該 C1 狀態中，可使處理器 605 電路之部分關閉電源以及可閘控局部時脈。

例如，當藉由 I/O 控制器 625 來確定 STPCLK# 或類似的信號時，處理器可變遷成為 C2 狀態，該 C2 狀態亦稱為停止許可或 SLEEP（休眠）狀態。該 I/O 控制器 625 可確定 STPCLK# 信號以回應於作業系統 645，其決定可進入或應進入更低的電力模式以及經由 ACPI 軟體 650 來指示此。尤其，可包含一個以上的 ACPI 暫存器（未顯示出）於 I/O 控制器 625 之中，且可寫入 ACPI 軟體 650 至該等暫存器以控制狀態之間的至少一些變遷。在 C2 狀態中之操作期間，可使處理器 605 電路之部分關閉電源，且可閘控內部及外部核心時脈。針對一些實施例，處理器可自 C0 狀態直接變遷成為 C2 狀態。

同樣地，回應於 I/O 控制器 625 或其他晶片組特性確定（asserting）CPUSLP# 信號及隨後之 DPSLP# 信號或其他類似的信號，處理器 605 可變遷成為 C3 狀態，該 C3 狀態亦稱為深度休眠狀態。在該深度休眠狀態中，除了關閉內部處理器電路之電源外，可使該處理器 605 中之所有的鎖相迴路（PLL）失能。此外，對於一些實施例而言，STOP_CPU 信號可藉由輸入/輸出控制器 625 來予以確定且被時脈產生器 611 所接收，以致使時脈產生器暫停時脈信號 CLK 至 CPU 605。

在系統 600 中，例如，回應於 ACPI 軟體 650 偵測出並沒有未決的處理器中斷，可進行變遷進入 C4 狀態或進入零電壓休眠狀態。ACPI 軟體可藉由致使 ICH 625 確定諸如代表性的更深度停止（DPRSTP#）信號和代表性的 DPSLP# 信號之一個以上的電力管理相關連信號而做上面所述的事。該更深度停止（DPRSTP#）信號係直接從晶片組提供至處理器，且致使處理器 605 上之時脈/電力管理邏輯電路 650 起動低頻模式（LFM）。對於該低頻模式而言，例如，該處理器可變遷至最小的或另一個低的操作頻率。

依據本發明之一些實施例，該 DPRSTP# 信號之確定可進一步致使內部 VID 標的被設定為零電壓位準，導致藉由電壓調整器 612 而將零操作電壓施加於處理器 605，使得該處理器變遷成為具有極低功率消耗特性的極深度休眠狀態。

依據本發明之一些實施例，諸如處理器 605 之積體電路可起動變遷至零電壓電力管理狀態。在一實例中，處理器 605 可為中央處理單元（CPU）605。此外，依據 ACPI 標準，該零電壓管理狀態可為例如更深度休眠狀態。在此變遷之期間，可保存 CPU 605 的狀態，例如，可保存與 CPU 605 相關聯之狀態變數於專用的快取記憶體（例如 SRAM）140 中。

CPU 605 的操作電壓可隨後被降低至零，使得 CPU 605 係處於具有極低功率消耗特性的極深度休眠狀態中。特別是，使用選用性零電壓休眠狀態邏輯電路 102 之電壓調整

器 612 可降低操作電壓 640 至零。如上所述，這可結合 CPU 605 之時脈/電力管理邏輯電路 150 的零電壓進入/退出邏輯電路 154 來予以完成。在一些實施例中，當結合 ACPI 標準來予以實施時，此零電壓電力管理狀態可被稱為 C6 狀態。

之後，回應於接收到退出零電壓電力管理狀態之請求，CPU 605 可在更高的參考操作電壓處退出零電壓電力管理狀態。特別是，在 CPU 605 之零電壓進入/退出邏輯電路 154 以及電壓調整器 612 之零電壓休眠邏輯電路 102 的控制下，如先前所述地，該電壓調整器 612 可提升該參考操作電壓 640 至合適的位準，使得 CPU 605 可適當地操作。然後，CPU 605 之臨界狀態變數係復原自專用的快取記憶體 140。

因此，依據本發明的一些實施例，電力管理方案允許 CPU 605 能夠保存包含暖位元和修改位元資訊之其狀態資訊，關閉電力而後當需要時才使電力甦醒、恢復狀態、以及繼續於該 CPU 停止之處。在一些實施例中，這可以在無需來自作業系統 645 之明確的支援而被完成，且可部分因使用暖位元及/或修改位元而得以更短的潛時週期來予以完成。

更特別的是，在本發明之一些實施例中，於可依據 ACPI 標準而被稱為 C6 狀態的零電壓處理器休眠狀態中，CPU 605 之狀態可被保存於專用的休眠狀態 SRAM 快取記憶體 140 之中，其可使 I/O 電源供應器 (VI/O) 149 關閉電力，而同時使 CPU 605 之核心操作電壓 640 下降至大約 0 伏特

。此時，該 CPU 605 幾乎完全地關閉電力且僅消耗極小的電力。

當於退出事件時，CPU 605 會指示電壓調整器 612 而使操作電壓 640 跳回（例如，以 VID 碼 635），重新鎖定鎖相迴路（PLL），以及經由時脈/電力管理邏輯電路 150 及零電壓進入/退出邏輯電路 154 而恢復開啓時脈。此外，CPU 605 可實施內部重設（RESET）以清除狀態，而後可自專用的休眠狀態 SRAM 快取記憶體 140 來恢復 CPU 605 之狀態，以及該 CPU 605 可以自其停止於執行流之處而繼續。該等操作可以以很小的時間週期（例如，約 100 微秒）來完成於 CPU 605 硬體中，使得其係透明於作業系統 645 和現有的電力管理軟體基本結構。

在一些實施例中，此方法係特別地適用於具有多重處理器核心的 CPU 605。在此實例中，將討論核心 120（例如，核心 #0）和核心 122（例如，核心 #1），亦即，雙核心 CPU 來做為實例。然而，應理解的是，可使用任何合適數目之 CPU 核心。在雙核心結構中，CPU 核心 120 及 122 使用共用的快取記憶體 130，例如，此共用的快取記憶體 130 可為由該等核心 120 及 122 所共用之層級 2（L2）快取記憶體 120。

此外，核心 120 及 122 各自包含核心 ID 121、微碼 123、共用狀態 124、及專用狀態 125。該等核心 120 及 122 的微碼 123 被使用來實施該 CPU 狀態之保存/恢復功能，以及在與 CPU 605 之時脈/電力管理邏輯電路 150 的零電壓進入/退

出邏輯電路154配合的零電壓處理器休眠狀態之性能中使用於各式各樣的資料流程。此外，可使用專用的休眠狀態SRAM快取記憶體140來保存該等核心的狀態，以及與任何暖位元/修改位元相關連的資訊。

熟習於本項技藝之人士至少將根據此處所提供的教示而理解到，系統600及/或各式各樣實施例的其他系統可包含未顯示於第6圖中的其他組件或元件，及/或並非第6圖中所示的所有元件可存在於所有實施例的系統中。

再者，一些實施例的邏輯電路500可在第6圖之一或多個組件內被實施成為有限狀態機器（FSM），熟習於本項技藝之一般人士至少將根據此處所述的教示而理解到，此一FSM將依據下文所描述的流程圖來操作。

雖然已在上文敘述一或多個實施例的許多細節，但將理解的是，用以使動態記憶體分配之潛時最佳化的其他方式可被實施於其他實施例。例如，雖然描述特定的電力狀態於上文，但對於其他的實施例而言，可在決定記憶體區塊含有修正之資料或存取之資料中考慮其他的電力狀態及/或其他的電力因素。此外，雖然為了舉例說明而敘述個人電腦中之雙核心處理器中的記憶體於上文，但將理解的是，依據本發明之一或多個實施例，用以使動態記憶體分配之最佳化的潛時方式可被應用於不同類型之記憶體及/或主積體電路晶片及/或系統。

例如，依據本發明之各式各樣的實施例，記憶體電力管理邏輯電路（未顯示出，但至少可藉由執行單元110來

予以實施)或其他軟體或硬體可一般性地監測主處理器的工作負荷及/或特別性地監測記憶體的工作負荷。例如，若處理器並未作用於長的時間週期，及/或若應用僅消耗總計可用之記憶體的小部分時，則記憶體電力管理邏輯電路可根據所有的或部分的處理器或計算系統的電力狀態，來發出命令以有效地縮減記憶體而執行下文所詳細描述之第7至9圖的一個以上的程序。如在第1及/或2圖之實施例中者，這可藉由使例如一個以上的路線之部分的主動記憶體失能來予以完成。當記憶體電力管理邏輯電路偵測到，處理器係長時間地作用時，所有或部分的處理器或主計算系統係處於既定的電力狀態，及/或記憶體尺寸大小可能無法大到足以供處理器或計算系統所需之操作用，則可發出命令或者控制邏輯，以藉由致能更多的記憶體來擴展記憶體，而同時類似地執行下文中相對於第7至9圖所詳細描述之一個以上的程序。

因此，依據本發明之一些實施例，硬體協調監測器或控制邏輯電路或PML可重複地決定何時所需的路線數目小於所致能的路線數目，及止動(或啓動，根據休眠裝置如何被組構而定)休眠裝置以使一或更多的路線失能，使得所致能的路線數目實質上等於所需的路線數目。

再者，使用一或多個相干性協定，根據本發明之一些實施例，硬體協調監測器可為至少即將被寫入至記憶體的資料而掃描一或多個路線。

在本發明之另一實施例中，該硬體協調監測器亦可重

複地決定何時所需的路線數目大於所致能的路線數目，及啓動（或止動，根據休眠裝置如何被組構而定）休眠裝置以致能一或更多的路線，使得所致能的路線數目實質上等於所需的路線數目。

本發明之實施例可包含實施上述說明中所解說之功能的方法。例如，本發明之實施例可包含用以監測處理器及記憶體以及調整記憶體的方法，該方法可包含附加的操作，其實施例將參照第7至9圖而解說於下文。

在該等圖式中者為使用暖位元及修改位元來顯示電力狀態進入及退出之流程的一些實施例之流程圖。在一些實施例中，可使用修改位元於進入電力狀態之期間。依據本發明之一些實施例，該等修改位元至少可允許處理器跳過並未含有修改資料的那些記憶體區塊。在一些實施例中，暖位元可被使用於自電力狀態退出之期間，例如（但未受限於）特別的休眠狀態。在本發明之一些實施例中，該等暖位元至少可允許處理器能夠跳過並未含有任何資料，亦即，尚未被存取之記憶體區塊之狀態位元的無效。暖位元之使用可能不會根據保留狀態位元於記憶體區塊中之電力狀態，亦即，可能不會根據至記憶體之特定位準的電力，如同將至少參照第6圖而被描述於本文中其他處之零電壓邏輯電路，可允許處理器能力維持狀態資訊，即使該處理器實質上正在休眠或被關閉電源。換言之，依據本發明之一些實施例，所有的狀態位元可能在退出自電力狀態時即無效，但不一定需要在退出自電力狀態時即無效（由於零

電壓邏輯電路或替換例之選用的存在之故）。

第7圖為根據本發明一些實施例之使記憶體潛時最佳化的方法實例之流程圖。如本文中之其他處所述地，該方法可全部或部分地藉由包含解碼邏輯電路512之邏輯電路500，以及由電力管理邏輯電路150或控制邏輯電路154來予以實施。該方法開始於700且進行至702，在該702處，當記憶體區塊被處理器所存取時，將產生與該記憶體區塊相關聯的暖位元。在本發明之一些實施例中，該方法會選用地進行至704，在該704處，當修正記憶體區塊時，將產生與記憶體區塊相關聯的修改位元。

然後，該方法進行至706，在該706處，邏輯電路500、150或154接收請求而改變記憶體之狀態。在本發明之一些實施例中，該請求可表示一或多個處理器之核心或處理器本身之電力狀態方面的改變。在本發明之一些實施例中，該請求可表示在處理器605外部之另一裝置，諸如（但未受限於）WLAN 661。在本發明之一些實施例中，該請求可為記憶體將要被全部地或部分地關閉之表示，如本文中之其他處所述者。然後，該方法進行至708，在該708處，能夠從暖位元來決定已存取那些記憶體區塊。在記憶體區塊啟動之期間，該方法可使來自由暖位元所標示之區塊的狀態位元無效。

在本發明之一些實施例中，該方法可選用地進行至710，在該710處，能夠藉由修改位元來決定已修改那些記憶體區塊。在記憶體區塊止動之期間，該方法可使由修改

位元所標示之區塊無效。然後，該方法進行至712，在該712處，該方法結束且能夠全部地或部分地再次開始，如熟習於本項技藝之一般人士將至少根據本文所述之該等教示所理解地。

第8圖為依據本發明之一些實施例之用於記憶體退出流程之方法實例的流程圖，如同針對第7圖中之一實施例在708處所述地。該方法可藉由邏輯電路500、150或154來予以實施，如本文中之其他處所述地。該方法開始於800且進行檢查以了解是否任何狀態位元正被保持於802。若否定時，則該方法進行至804且可使所有的狀態位元無效。若肯定時，則該方法進行至806。

在806處，該方法可選擇下一個區塊以使無效。若並無其他區塊可選擇時，則該方法可進行至812且結束，在該處能夠全部地或部分地再次開始，如同熟習於本項技藝之一般人士將至少根據本文所述之該等教示所理解地。若肯定時，該方法可進行至808。

在該808處，該方法可檢查區塊是否藉由暖位元來予以標示。若肯定時，則該方法可在810使此區塊之狀態位元無效。若否定時，該方法會回到806。在一些實施例中，該方法會在810之後回到806。

第9圖為依據本發明之一些實施例之用於記憶體進入流程之方法實例的流程圖，如同針對第7圖中之一實施例在710處所述地。該方法可藉由邏輯電路500、150或154來予以實施，如本文中之其他處所述地。該方法開始於900

且進行而在902選擇下一個區塊以使無效。若無其他區塊可使無效時，則該方法在908完成其本身，而在該處能夠全部地或部分地再度開始，如熟習於本項技藝之一般人士將至少根據本文中所述之該等教示所理解地。若肯定時，該方法可進行至904。

在904處，該方法可檢查區塊是否藉由修改位元來予以標示。若肯定時，則該方法進行而在906使此區塊中之所有進入無效。若否定時，該方法會回到902。在一些實施例中，該方法會在906之後回到902。

在此說明書中之對於”一實施例“、“實施例“、“一些實施例“的任一引用，意指與該實施例結合所述之特別的特性、結構、或特徵係包含於本發明之至少一實施例中。在此說明書中的不同處之中，該等用語的出現無需均述及同一實施例。此外，當特別的特性、結構、或特徵係與任一實施例結合而敘述時，則所呈現的是，影響到與該等實施例之其他實施例相關的該特性、結構、或特徵將在熟習於本項技藝之人士所熟知的範圍內。此外，為了使易於瞭解起見，某些方法程序可描述為分離的程序；然而，該等所分離描述之程序不應被解讀為必須在其性能中順序相依，也就是說，一些順序能以選擇性之排序或同時地執行，如熟習於本項技藝之一般人士將至少根據本文中所述之該等教示所理解地。

本發明之實施例可以以充分的細節來描述，以使熟習於本項技藝之該等人士能實行本發明。可使用其他的實施

例，且在結構、邏輯、及知性上的改變可予以完成而不會背離本發明之範疇。此外，將理解的是，雖然本發明之各式各樣實施例均有所不同，但無需相互排斥。例如在一實施例中所述之特別的特性、結構、或特徵可包含於其他實施例之內。因此，將不以限制的觀點來獲得詳細的說明。

上述實施例及優點僅係代表性的，且不應解讀為限制本發明。例如，本發明可立即地被應用於其他類型的記憶體，熟習於本項技藝之該等人士可從上述說明理解的是，本發明實施例之該等技術可以以種種形式來予以實施。信號，雖然本發明之實施例已結合其特別的實例來加以敘述，但本發明實施例之真正的範疇不應因而受限，因為其他的修正將於技術實行者在研讀該等圖式、說明、及下文申請專利範圍時變得為明顯。

【圖式簡單說明】

藉由閱讀以下的說明以及附加之申請專利範圍，且藉由參考下文圖式，本發明實施例之各式各樣的優點將呈明顯於熟習本項技藝之人士，在該等圖式中：

第1圖係藉由依據本發明之一些實施例之路線所組織的記憶體架構之實例的方塊圖；

第2圖係未藉由依據本發明之一些實施例之路線所組織的記憶體架構之另一實例的方塊圖；

第3至4圖係依據本發明之一些實施例之暖位元及修改位元的位元層級實例之圖式；

第 5 圖係依據本發明之一些實施例之產生暖位元及修改位元的邏輯電路之實例圖式；

第 6 圖係依據本發明實施例之可被使用來以動態記憶體分配而實施記憶體潛時之最佳化的電腦系統實例方塊圖；

第 7 圖係依據本發明之一些實施例之使記憶體潛時最佳化之方法實例的流程圖；

第 8 圖係依據本發明之一些實施例之可包含動態記憶體縮減或低功率狀態進入流程的記憶體退出方法之實例方塊圖；以及

第 9 圖係依據本發明之一些實施例之可包含動態記憶體擴展或低功率狀態退出流程的記憶體進入方法之實例方塊圖。

【主要元件符號說明】

101：子分段或路線

101a~101n：子分段

202a~202n：路線

302、514：暖位元

402、516：修改位元

642：電力管理狀態控制邏輯電路

645：作業系統（OS）

500：邏輯電路

512：解碼邏輯電路

502：記憶體異動資訊

504：集合位元

506：路線選擇資訊

508：路線致能資訊

510：異動類型資訊

600：系統

605：處理器

611：平台層級時脈產生器

612：電壓調整器

615：記憶體控制集線器

617、627、632、635：匯流排

620：記憶體

625：輸入/輸出（I/O）控制集線器

630：大量儲存裝置

120、122：處理核心

140：快取記憶體

150：電力管理邏輯電路（PML）

152：電壓識別（VID）記憶體

154：零電壓進入/退出邏輯電路

156：類比至數位轉換器（ADC）

640：信號線

102：零電壓休眠邏輯電路

678：基本輸入/輸出系統（BIOS）碼

679：韌體集線器

650：碼（ACPI軟體）

660：天線

661：無線區域網路（WLAN）裝置

655：電池或電池連接器

130：共用快取記憶體

121：核心ID

123：微碼

124：共用狀態

125：專用狀態

（700）～（712）、（800）～（812）、（900）～（908）：程序

110：執行單元

五、中文發明摘要

發明之名稱：使動態記憶體分配之潛時最佳化的方法及系統

本發明的一些實施例包含使動態記憶體分配之潛時最佳化的系統及方法。在一些實施例中，操作要求可反映出實施同量的操作所需之記憶體的數量。記憶體電力管理邏輯電路係使用來協調記憶體需求與操作要求，根據操作要求而對記憶體之潛時的改變係藉由該方法及系統來予以最佳化。亦敘述其他的實施例。

六、英文發明摘要

發明之名稱：

METHOD AND SYSTEM FOR OPTIMIZING LATENCY OF DYNAMIC MEMORY SIZING

Some embodiments of the invention include a system and method for optimizing the latency of dynamic memory sizing. In some embodiments, the operating requirements can reflect amount of memory required to perform commensurate operations. Memory power management logic is used to coordinate memory requirements with operating requirements. The latency of changes to the memory based on operating requirements is optimized by the method and system. Other embodiments are described.

十、申請專利範圍

1.一種使動態記憶體分配之潛時最佳化的系統，包含：

記憶體，包括複數個區塊，其中，各個區塊包含至少一路線；

邏輯電路，用以產生暖位元或修改位元，該暖位元表示該複數個區塊之至少一區塊因為自電力狀態的最後退出而被存取，而該修改位元表示該複數個區塊之至少一區塊被修改；

控制邏輯電路，用以請求該記憶體之狀態上的改變；以及

處理器，用以請求該記憶體使該複數個區塊之其中一區塊啟動或止動，其中，如果用於區塊啟動之區塊係標示以暖位元，則使來自該區塊之狀態位元無效，或者如果用於區塊止動之區塊係標示以修改位元，則使該區塊無效。

2.如申請專利範圍第1項之系統，其中，該邏輯電路係適以為各個修改位元產生至少一暖位元。

3.如申請專利範圍第1項之系統，其中，該處理器係適以請求該記憶體使該複數個區塊之所啟動的區塊止動，且其中，該修改位元表示使來自該所啟動的區塊之進入無效的必要性。

4.如申請專利範圍第1項之系統，其中，該至少一路線包含一個子區塊以上之記憶體。

5.如申請專利範圍第1項之系統，其中，該邏輯電路

係適以對電力管理邏輯電路、該控制邏輯電路、或作業系統的至少其中之一操作。

6.如申請專利範圍第1項之系統，其中，該記憶體為在含有該處理器之封裝組件的內部之同步隨機存取記憶體。

7.如申請專利範圍第1項之系統，其中，該處理器包含至少第一核心及第二核心。

8.如申請專利範圍第7項之系統，其中，該第一核心具有第一唯一識別號，且該第二核心具有第二唯一識別號，以及該記憶體根據特別核心之唯一識別號而恢復該特別核心的狀態變數。

9.一種用以使動態記憶體分配之潛時最佳化的記憶體裝置，包含：

記憶體，包括複數個區塊，其中，各個區塊包含至少一路線；以及

邏輯電路，用以產生暖位元或修改位元，其中，該暖位元表示該複數個區塊之至少一區塊因為自電力狀態的最後退出而被存取，而該修改位元表示該複數個區塊之至少一區塊被修改，其中，如果用於區塊啟動之區塊係標示以暖位元，則使來自該區塊之狀態位元無效，或者如果用於區塊止動之區塊係標示以修改位元，則使該區塊無效。

10.如申請專利範圍第9項之記憶體裝置，其中，該邏輯電路係適以為各個修改位元產生至少一暖位元。

11.如申請專利範圍第9項之記憶體裝置，其中，該邏

輯電路係適以接收來自處理器及/或控制邏輯電路之指令。

12.一種用以使動態記憶體分配之潛時最佳化的方法，包含：

產生暖位元或修改位元，其中，該暖位元表示複數個區塊之記憶體的至少一區塊因為自電力狀態的最後退出而被存取，而該修改位元表示複數個區塊之記憶體的至少一區塊被修改；

接收請求以改變該記憶體之狀態；以及

如果用於區塊啟動之區塊係標示以該暖位元，則使來自該區塊之記憶體的狀態位元無效，或者如果用於區塊止動之區塊係標示以修改位元，則使該區塊之記憶體無效。

13.如申請專利範圍第12項之方法，另包含：

在接收該請求以改變該記憶體之狀態後，使自標示以該修改位元的區塊之記憶體的進入無效。

14.如申請專利範圍第12項之方法，其中，該暖位元係取自記憶體異動位址、路線選擇、寫入致能、或異動類型資訊的至少其中之一。

15.如申請專利範圍第13項之方法，其中，該暖位元係取自記憶體異動位址、路線選擇、寫入致能、或異動類型資訊的至少其中之一。

16.如申請專利範圍第12項之方法，其中，該請求之結果做為自一個電力狀態至另一個電力狀態之變遷的部分。

17.如申請專利範圍第12項之方法，其中，使該狀態位元無效包含：

檢查該狀態位元是否被保持，且若未保持該狀態位元，則使所有的狀態無效；

選擇該區塊之記憶體而使無效；

決定該區塊之記憶體是否係標示以暖位元；以及

使來自該區塊之記憶體的該狀態位元無效。

18.如申請專利範圍第13項之方法，其中，使該進入無效包含：

選擇該區塊之記憶體而使無效；

決定該區塊之記憶體是否係標示以修改位元；以及

使來自該區塊之記憶體的該進入無效。

19.如申請專利範圍第12項之方法，另包含：

清除該暖位元及/或該修改位元。

20.一種機器可讀取媒體，具有指令儲存於其上，當該等指令被機器所執行時，該等指令致使該機器實施用以使動態記憶體分配之潛時最佳化的操作，其包含：

產生暖位元或修改位元，該暖位元表示複數個區塊之記憶體的至少一區塊因為自電力狀態的最後退出而被存取，其中，該等位元係與區塊之記憶體相關聯，其中，該暖位元表示該區塊之記憶體已被存取，且該修改位元表示複數個區塊之記憶體的至少一區塊已被修改，；

接收請求以改變該記憶體之狀態；以及

如果用於區塊啟動之區塊的記憶體係標示以暖位元，

則使來自該區塊的記憶體之狀態位元無效，或者如果用於區塊止動之區塊的記憶體係標示以修改位元，則使該區塊的記憶體無效。

21.如申請專利範圍第20項之機器可讀取媒體，另包含：

在接收該請求以改變該記憶體之狀態後，使自標示以該修改位元的該區塊之記憶體的進入無效。

22.如申請專利範圍第20項之機器可讀取媒體，其中，該暖位元係取得自記憶體異動位址、路線選擇、寫入致能、或異動類型資訊的至少其中之一。

23.如申請專利範圍第21項之機器可讀取媒體，其中，該暖位元係取得自記憶體異動位址、路線選擇、寫入致能、或異動類型資訊的至少其中之一。

24.如申請專利範圍第20項之機器可讀取媒體，其中，該請求的結果做為自一個電力狀態至另一個電力狀態之變遷的部分。

25.如申請專利範圍第20項之機器可讀取媒體，其中，使該狀態位元無效包含：

檢查是否保持該狀態位元，且若並未保持該狀態位元，則使所有的狀態無效；

選擇該區塊之記憶體而使無效；

決定該區塊之記憶體是否係以暖位元來予以標示；以及

使來自該區塊之記憶體的該狀態位元無效。

26.如申請專利範圍第21項之機器可讀取媒體，其中，使該進入無效包含：

選擇該區塊之記憶體而使無效；

決定該區塊之記憶體是否係以修改位元來予以標示；

以及

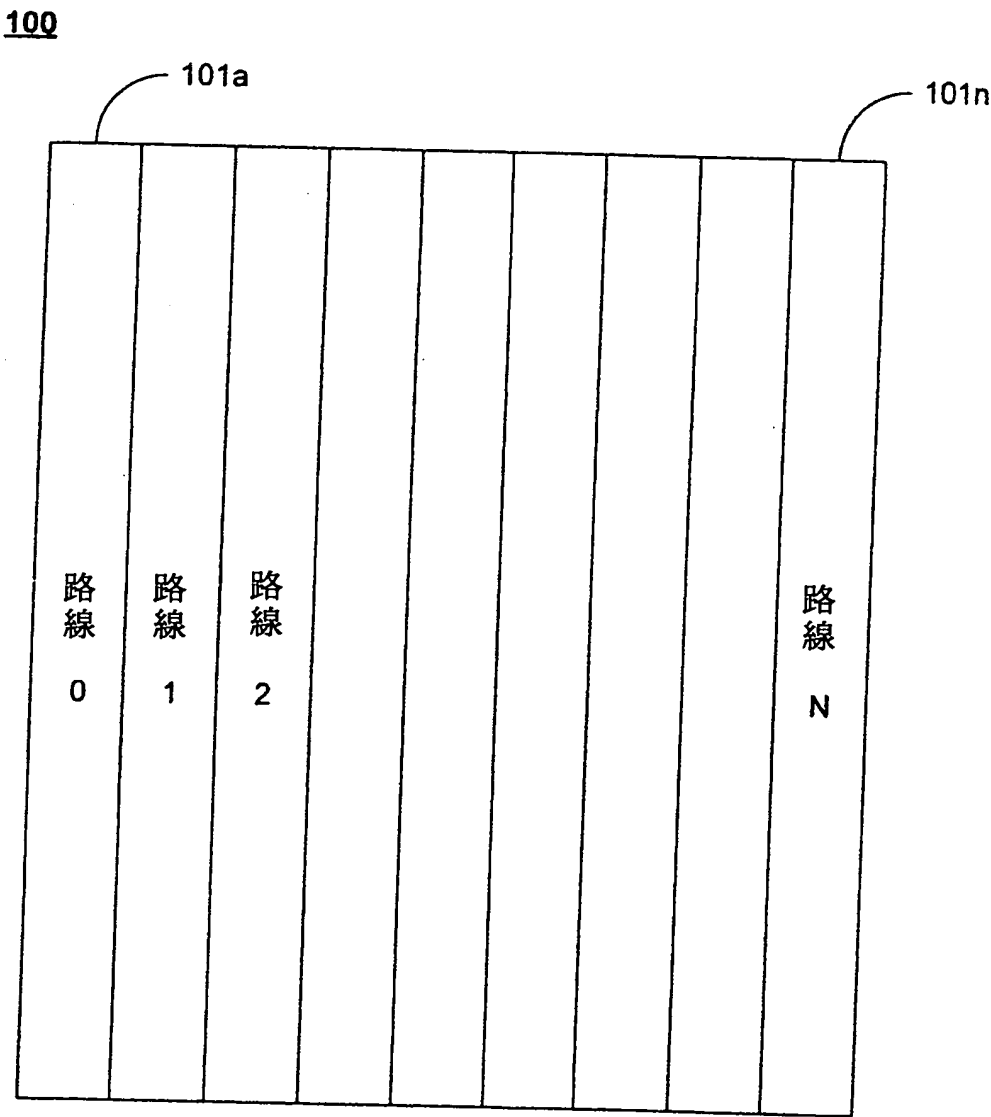
使來自該區塊之記憶體的該進入無效。

27.如申請專利範圍第20項之機器可讀取媒體，另包含：

清除該暖位元及/或該修改位元。

851512

第1圖



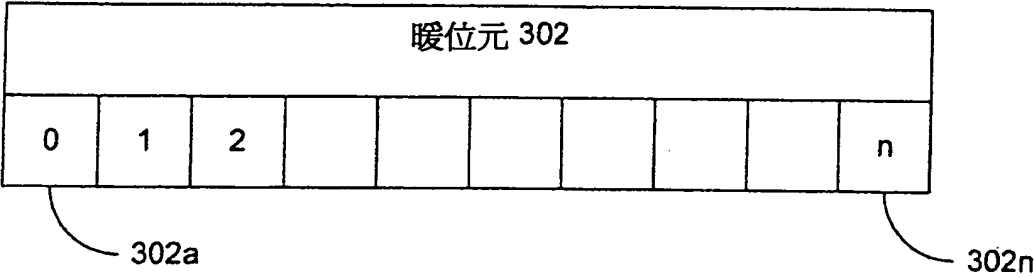
第2圖

200

202a	202b		
			202n

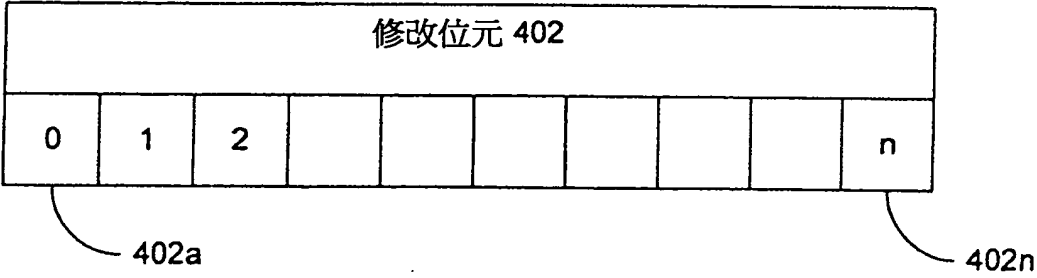
第3圖

300



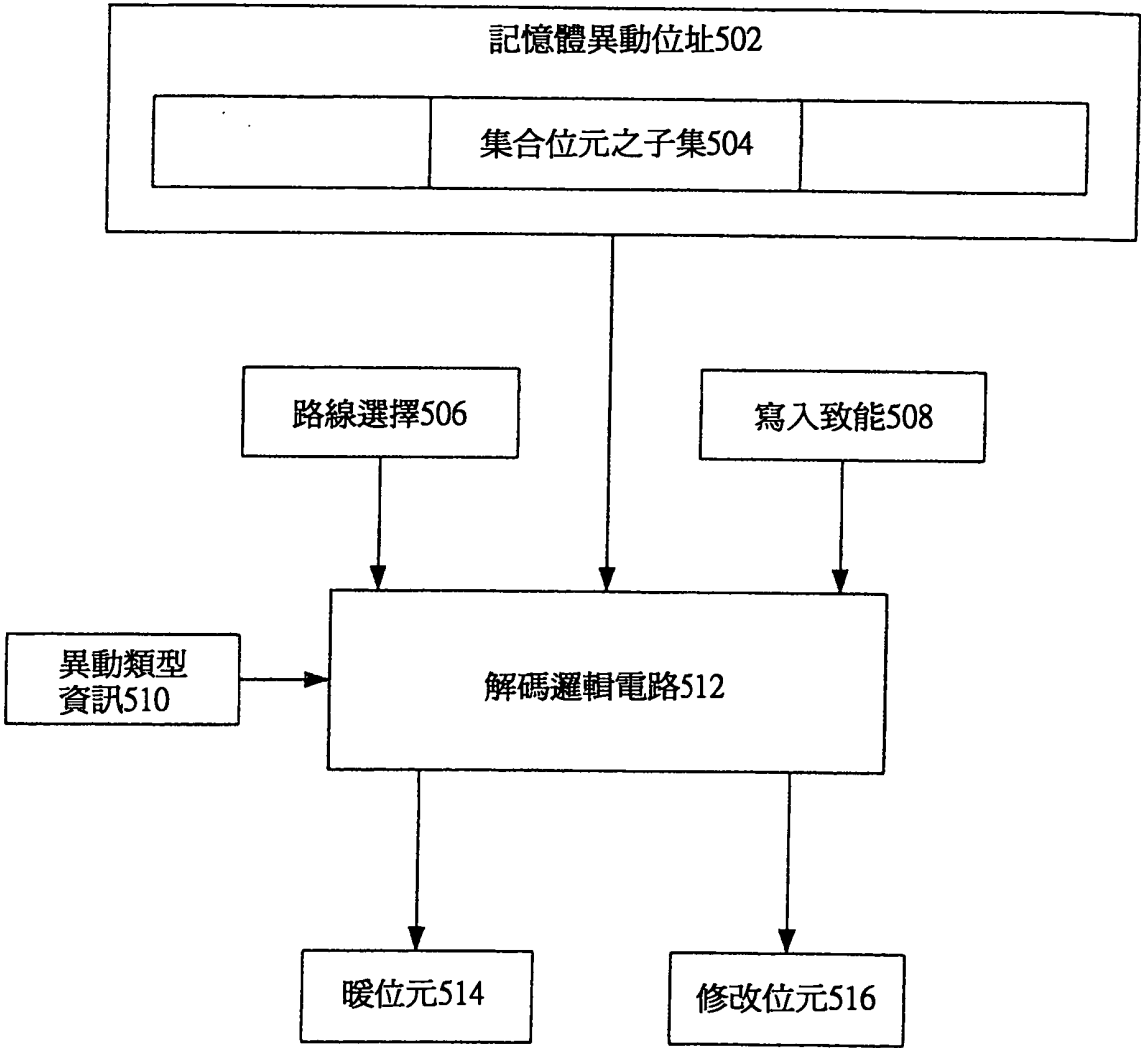
第4圖

400

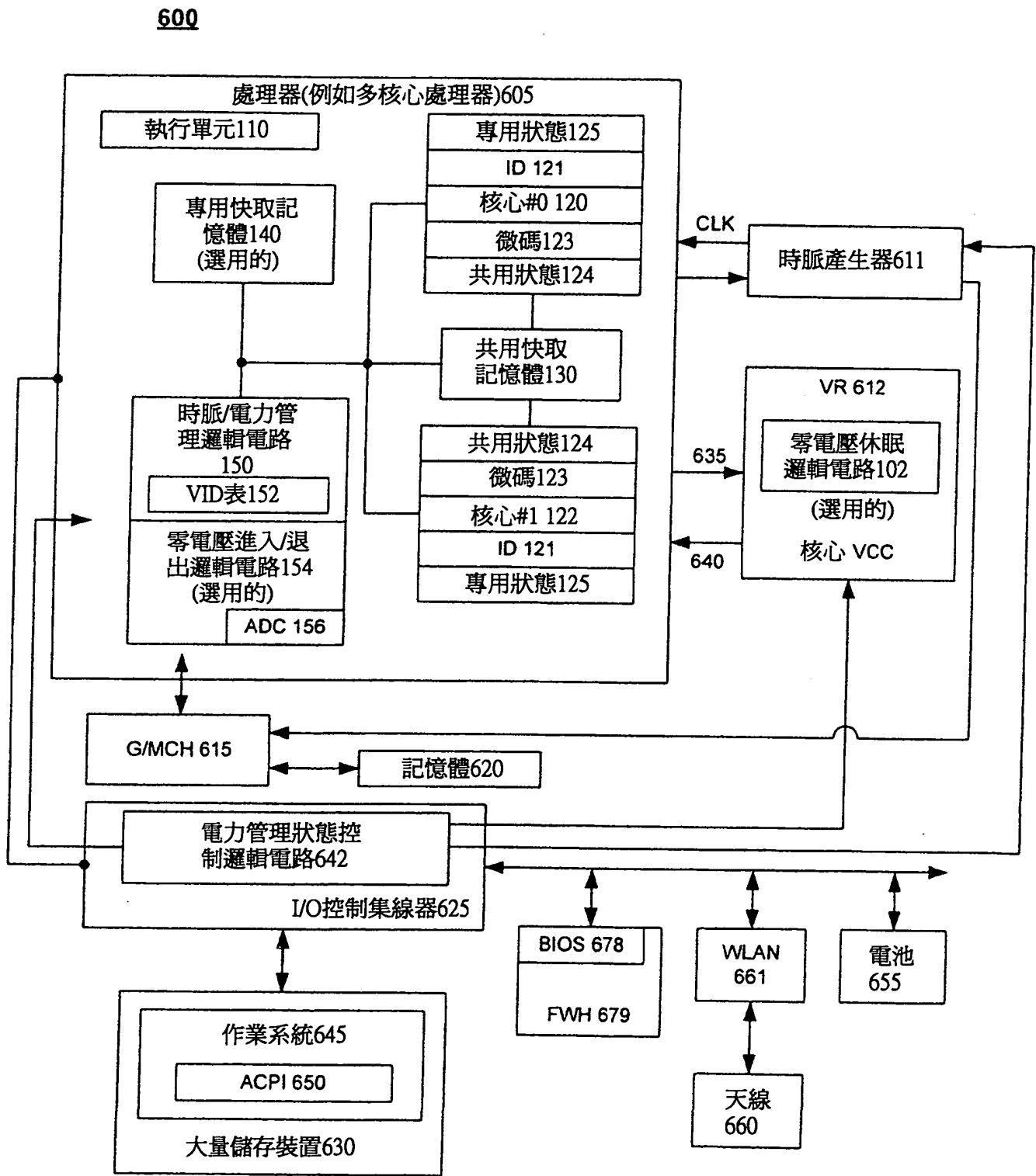


第5圖

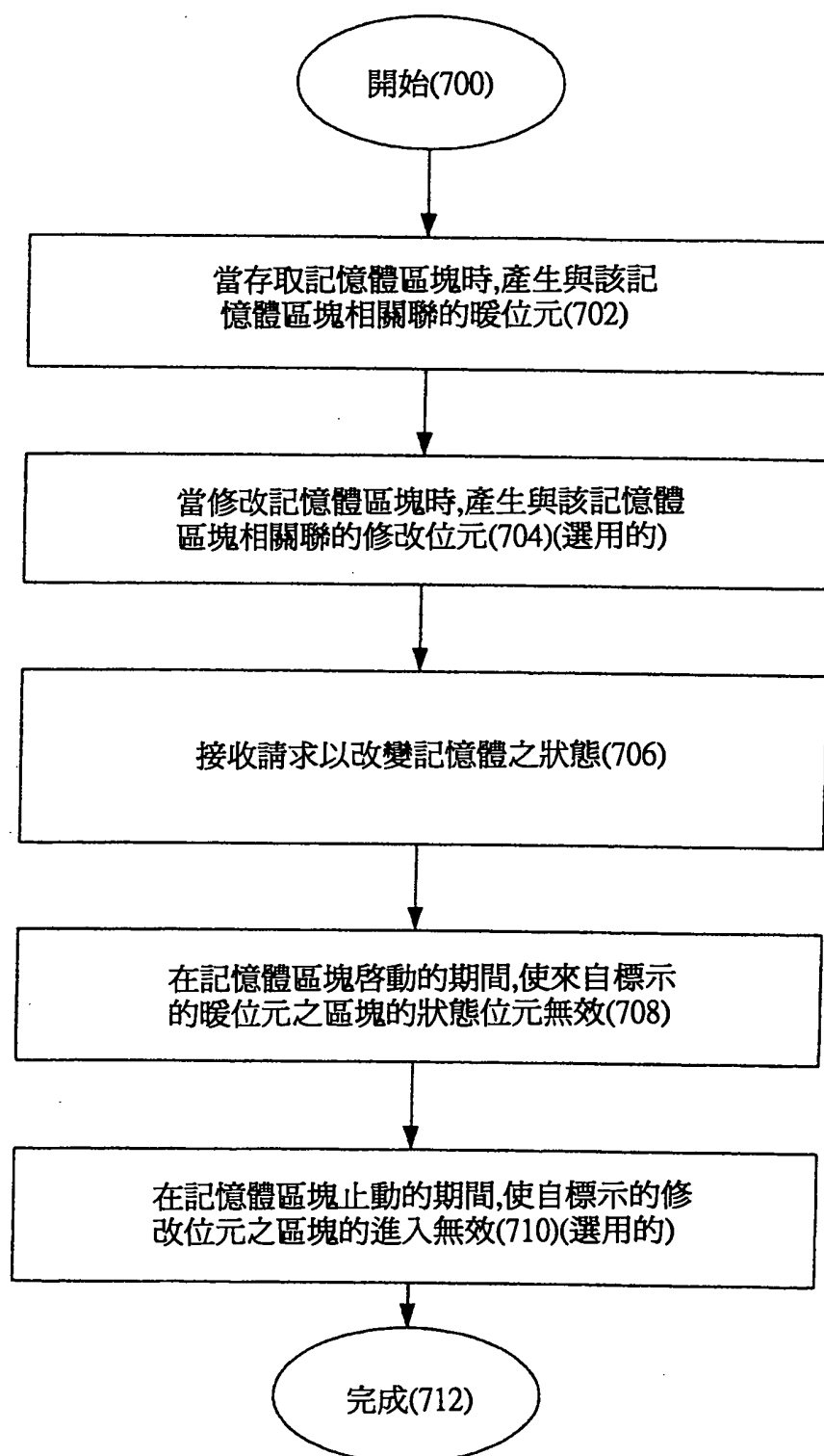
500



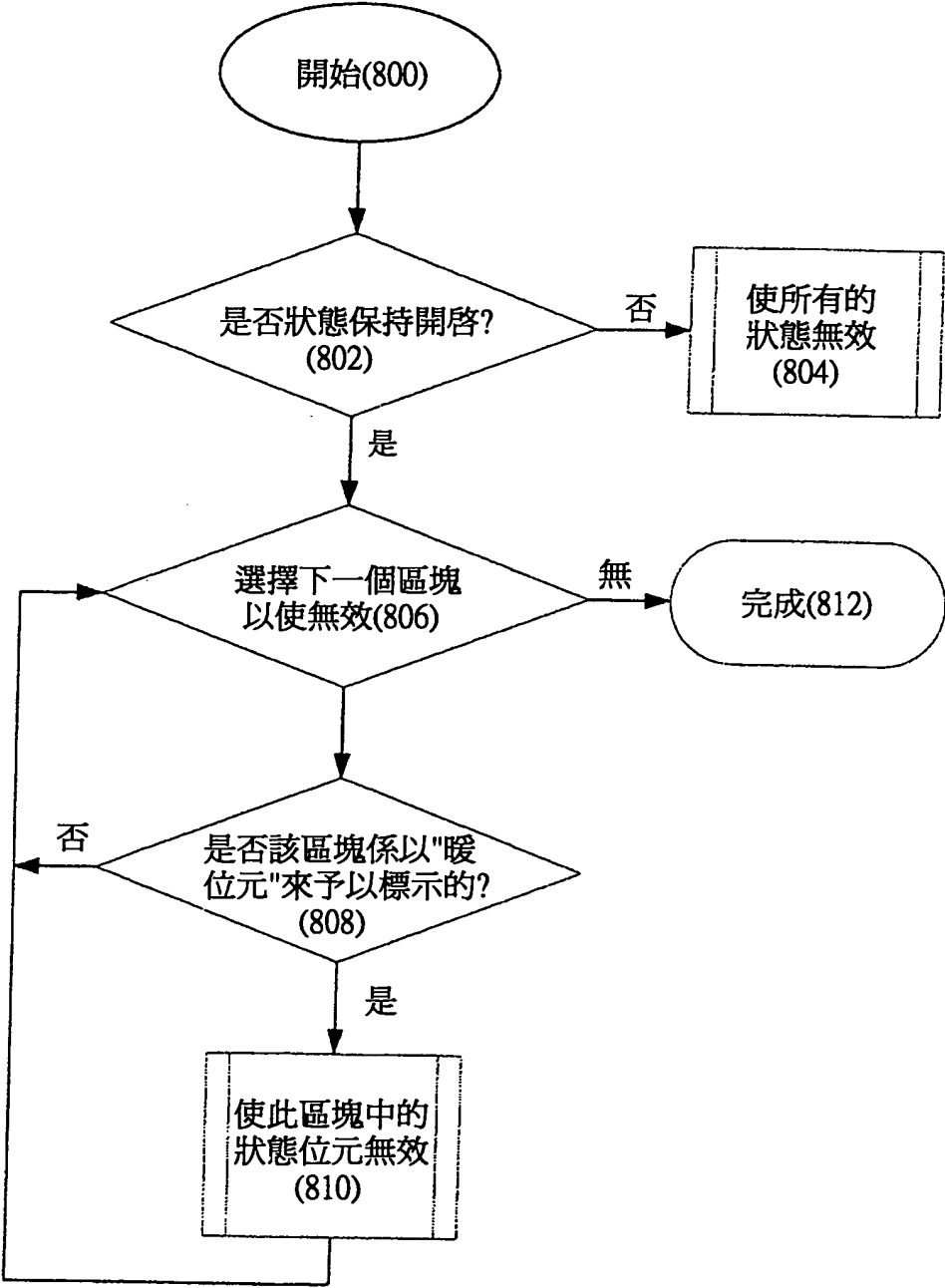
第6圖



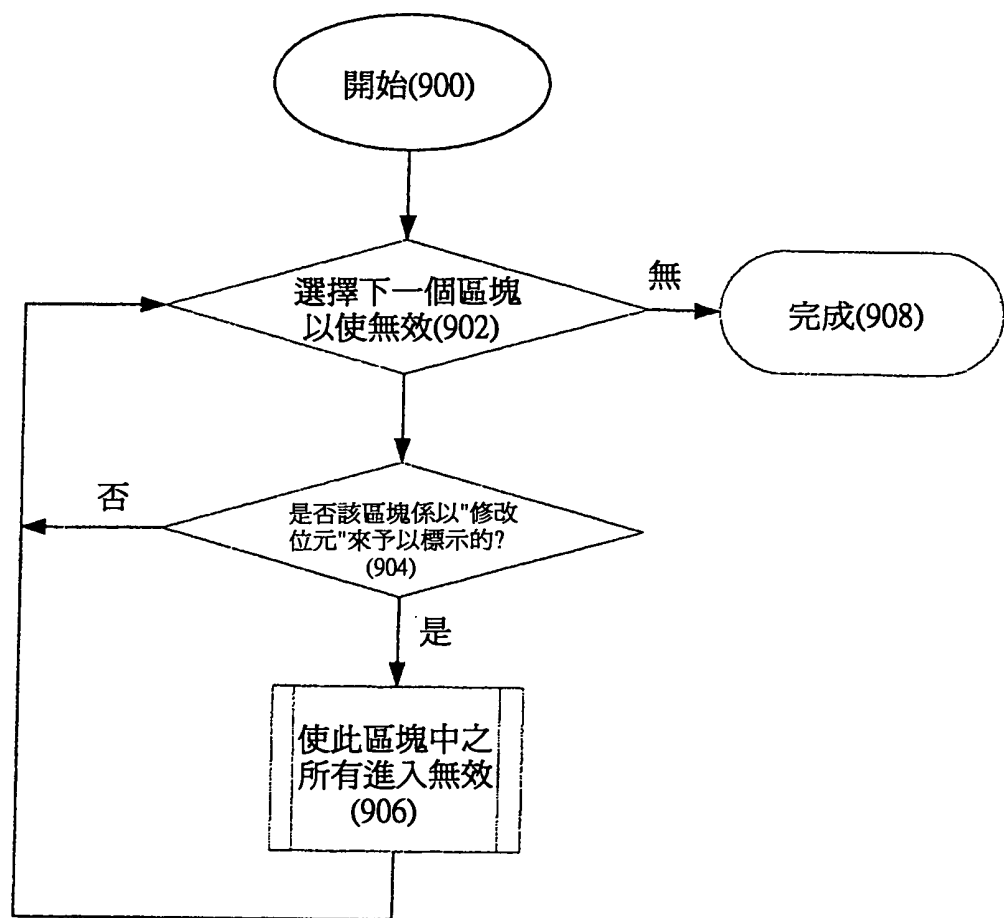
第7圖



第8圖



第9圖



七、指定代表圖：

(一)、本案指定代表圖為：第(1)圖

(二)、本代表圖之元件代表符號簡單說明：

101a：子分段

101n：子分段

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無