

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4435170号
(P4435170)

(45) 発行日 平成22年3月17日 (2010.3.17)

(24) 登録日 平成22年1月8日 (2010.1.8)

(51) Int. Cl.

F I

H04L 25/02 (2006.01)

H04L 25/02 S

H03K 19/0175 (2006.01)

H03K 19/00 I O I F

H03K 5/12 (2006.01)

H03K 5/12

請求項の数 20 (全 8 頁)

(21) 出願番号 特願2006-537280 (P2006-537280)
 (86) (22) 出願日 平成16年10月20日 (2004.10.20)
 (65) 公表番号 特表2007-510343 (P2007-510343A)
 (43) 公表日 平成19年4月19日 (2007.4.19)
 (86) 国際出願番号 PCT/EP2004/052589
 (87) 国際公開番号 W02005/050936
 (87) 国際公開日 平成17年6月2日 (2005.6.2)
 審査請求日 平成19年9月11日 (2007.9.11)
 (31) 優先権主張番号 10/697,514
 (32) 優先日 平成15年10月30日 (2003.10.30)
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 シリアルリンクトランスミッタにおける節電

(57) 【特許請求の範囲】

【請求項 1】

セグメントの平行配列を備える回路であって、各セグメントは、プレバッファと、出力段回路とを備えており、各セグメントは、独立にイネーブルされて、シリアルリンクトランスミッタの信号路における実質的に一定の伝搬遅延を維持しながら、複数の電力レベルと、複数のプリエンファシス量とを実現する、前記回路。

【請求項 2】

複数の入力信号が、所望の振幅およびトランスミッタ信号路におけるプリエンファシスの必要性のバランスをとるために、平行セグメントを選択的にイネーブルする、請求項 1 に記載の回路。

【請求項 3】

前記平行セグメントは、トランスミッタ信号路におけるプリエンファシスの所望の量によってバランスが取られる電流ステアリングを該プリエンファシス量でバランスを取るための、非遅延化セグメントと、遅延化セグメントとをさらに備える、請求項 2 に記載の回路。

【請求項 4】

前記セグメントにおける制御可能なアイドル状態を実施するために、プレバッファ段回路の回路においてバイパス路をさらに備えている、請求項 1 に記載の回路。

【請求項 5】

前記バイパス路は、前記プレバッファ段回路においてバイパストランジスタをさらに備

えている、請求項 4 に記載の回路。

【請求項 6】

プレバッファ回路において、スルーレート制御機能のためのセクション化された部分として、末尾電流および抵抗負荷要素をさらに備えている、請求項 1 に記載の回路。

【請求項 7】

トランスミッタ信号路におけるプリエンファシス遅延回路を有する制御要素であって、プリエンファシス遅延回路の最終遅延化ビットの反転を可能にして、プリエンファシスの重みの極性変更を実現する制御要素をさらに備えている、請求項 1 に記載の回路。

【請求項 8】

トランスミッタ信号路の部分がパラレルセグメントである回路において、トランスミッタ信号路におけるプリエンファシス量によってバランスが取られる電流ステアリングを該プリエンファシス量でバランスを取る方法であって、前記回路がパラレルセグメント非遅延化セグメントと、遅延化セグメントとをさらに備えており、前記方法が、各パラレルセグメントを独立にイネーブルして出力信号振幅を制御するステップを含む、前記方法。

10

【請求項 9】

前記パラレルセグメントは、プレバッファと、出力段回路とを備えている、請求項 8 に記載の方法。

【請求項 10】

前記各パラレルセグメントを独立にイネーブルするステップは、所望の振幅およびトランスミッタ信号路におけるプリエンファシスの必要性のバランスを取るために、前記パラレルセグメントを選択的にイネーブルするパラレルセグメント用の複数の入力信号を使用することをさらに含む、請求項 8 に記載の方法。

20

【請求項 11】

前記回路は、セグメントにおける制御可能なアイドル状態を実施するために、プレバッファ段回路の回路におけるバイパス路をさらに備えている、請求項 9 に記載の方法。

【請求項 12】

前記回路は、スルーレート制御機能のためのセクション化された部分として、プレバッファ回路において末尾電流および抵抗負荷要素をさらに備えている、請求項 9 に記載の方法。

【請求項 13】

前記回路は、トランスミッタ信号路におけるプリエンファシス遅延回路を有する制御要素をさらに備えており、前記制御要素は、プリエンファシス遅延回路の最終遅延化ビットの反転を可能にして、プリエンファシスの重みの極性変更を実現する、請求項 8 に記載の方法

30

【請求項 14】

差分入力信号と、差分入力信号を送信するための並列に結合された複数のセグメントとを備えているシステムであって、

差分データ信号の信号路における実質的に一定の伝搬遅延を維持しながら、複数のセグメントを独立にイネーブルさせることによって、複数の電力レベルと、複数のプリエンファシス量とを提供する、前記システム。

40

【請求項 15】

前記複数のセグメントは、差分データ信号を遅延させることなく受信する第 1 の数のセグメントと、差分データ信号を遅延させて受信する第 2 の数のセグメントとをさらに備えている、請求項 14 に記載のシステム。

【請求項 16】

前記複数のセグメントは、それぞれ、プレバッファ回路と、出力段回路とをさらに備えている、請求項 14 に記載のシステム。

【請求項 17】

前記プレバッファ回路は、セグメントにおいて制御可能なアイドル状態を実施するためのバイパス路をさらに備えている、請求項 16 に記載のシステム。

50

【請求項 18】

前記バイパス路は、バイパストランジスタをさらに備えている、請求項 17 に記載のシステム。

【請求項 19】

前記プレバッファ段回路は、スルーレート制御機能のためのセクション化された部分として、末尾電流および抵抗負荷要素をさらに備えている、請求項 16 に記載のシステム。

【請求項 20】

信号路におけるプリエンファシス遅延回路を有する制御要素であって、前記プリエンファシス遅延回路の最終遅延化ビットの反転を可能にする制御要素をさらに備えている、請求項 14 に記載のシステム。

10

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、シリアルリンクトランスミッタにおける節電に関する。

【背景技術】**【0002】**

デジタルデータの高速伝送を実行および実現する能力が、今日のコンピューティング環境において期待されている。多くの場合、より長距離上でのデジタルデータの伝送は、コンピュータ通信を扱うように設計された通信リンクを介し、高速シリアル形式で（すなわち、単一ビットを連続して）データを送ることによって実現される。このようにして、たとえコンピュータシステムが地理的に遠隔にあっても、あるコンピュータから他のコンピュータへデータを転送することができる。

20

【0003】

高速シリアル伝送を発生させるために、コンピュータ内部からのデジタルデータ信号は、シリアル通信リンク上でのデータの伝送に先立って、パラレル形式からシリアル形式へ変換されなければならない。この変換は、一般的に、シリアルリンクトランスミッタまたは「シリアライザ」として知られるコンピュータ装置を通じて、コンピュータの内部データ信号を処理することによって実現される。シリアライザの機能は、パラレルデータストリームを入力として受信し、当該パラレルデータストリームを処理することによって、適切な通信リンク上を高速伝送できるようなシリアル形式のデータを出力することにある。シリアル化されたデータが所望の宛先に到達すると、「デシリアライザ」として知られるコンピュータ装置が使用されて、宛先コンピュータシステム内での使用のために、入力データをシリアル形式からパラレル形式へ変換する。

30

【0004】

高速シリアライザ/デシリアライザ(HSS)トランスミッタでは、トランスミッタの振幅を調整する機能が、望まれている特徴である。原則として、差分トランスミッタの出力に向けられた電流量は、トランスミッタの振幅を調整するように制御されればよい。しかしながら、トランスミッタの設計の際には、最大電流状況を考慮し、それに従ってトランスミッタ装置の大きさを調整して、最大電流の場合に対処するようにしなければならない。残念ながら、そのような簡易な取り組みでは、振幅がより低い場合には電力が無駄になってしまう。

40

【0005】

したがって、シリアルリンクトランスミッタの設計に関して、トランスミッタの振幅の調整可能性を維持しながら節電を確保する必要性が存在する。本発明は、そのような必要性に対処するものである。

【発明の開示】**【課題を解決するための手段】****【0006】**

シリアルリンクトランスミッタにおける節電の局面を説明する。局面は、セグメントの平行配列を設けることを含み、各セグメントは、シリアルリンクトランスミッタのブ

50

レババッファと出力段回路とを備え、各セグメントは、独立にイネーブルされて、シリアルリンクトランスミッタの信号路における実質的に一定の伝搬遅延を維持しながら、複数の電力レベルと、プリエンファシス (p r e — e m p h a s i s) の複数のレベルとを実現する。さらなる局面は、セグメントにおける制御可能なアイドル状態を実施するためのプレバッファ段回路におけるバイパス路と、スルー (s l e w) レート制御機能のためのセクション化された部分として、プレバッファ回路における末尾電流および抵抗負荷要素とを設けることを含む。トランスミッタ信号路におけるプリエンファシス遅延回路を有する制御要素を設けて、プリエンファシス遅延回路の最終遅延化ビットの反転を可能にして、プリエンファシスの重みの極性変更を実現することにも含まれる。

【 0 0 0 7 】

10

本発明によれば、複数のセグメントを備える回路が提供される。各セグメントは、プレバッファと、複数の電流源を含む、シリアルリンクトランスミッタの出力段回路とを備え、プレバッファと複数の電流源はそれぞれイネーブル化のための制御信号の入力部を有する。また、複数のセグメントの一部は、差分データ入力信号を入力する入力部を有し、他のセグメントは、遅延かつ反転された差分データ入力信号を入力する入力部を有し、複数のセグメントは各々の差分データ出力信号が足し合わされるように並列に結合される。当該構成により、各セグメントは、独立にイネーブルされて、シリアルリンクトランスミッタの信号路における実質的に一定の伝搬遅延を維持しながら、複数の電力レベルと、プリエンファシスの複数のレベルとを実現することが可能である。

【 0 0 0 8 】

20

本発明を他の局面から見ると、トランスミッタ信号路の部分をパラレルセグメントとして設けることと、各パラレルセグメントを独立にイネーブルにして出力信号振幅を制御することを含む方法が提供される。

【 0 0 0 9 】

本発明をさらに他の局面から見ると、差分入力信号と、差分入力信号を送信するための並行に結合された複数のセグメントとを備えるシステムが提供される。複数のセグメントが独立にイネーブルされることによって、差分データ信号の信号路における実質的に一定の伝搬遅延を維持しながら、複数の電力レベルと、プリエンファシスの複数のレベルとが提供される。

【 0 0 1 0 】

30

本発明のセグメント化されたプレバッファおよび出力段回路の実施によって、電力消費に適応性がありかつノイズの影響を受けない設計が実現される。さらに、トランスミッタの振幅レベルは、一定のタイミングで調整可能である。これらおよび他の利点は、以下の詳細な説明および添付の図面から容易に明らかになるであろう。

【 0 0 1 1 】

本発明の好ましい実施形態を、単に一例として、添付の図面を参照して説明する。

【発明を実施するための最良の形態】

【 0 0 1 2 】

本発明は、シリアルリンクトランスミッタにおける節電に関する。以下の説明は、本発明の実施例を当業者が作製および使用できるように提示され、特許出願およびその要件との関連で提供される。本明細書において説明される好ましい実施形態に対する様々な修正ならびに一般的な原理および特徴は、当業者にとって容易に明らかであろう。よって、本発明は、示された実施形態に限定しようとするものではなく、本明細書に記載の原理および特徴に合致する最も広い範囲に従うものである。

40

【 0 0 1 3 】

本発明によれば、H S S 設計についての節電は、セグメント化されたトランスミッタで実現される。当該セグメント化されたトランスミッタでは、トランスミッタ信号路の重要な部分 (すなわち、プレバッファおよび出力段) が、独立にイネーブルされるパラレルセグメントに分割されている。このようにして、以下の図面の説明においてより詳細に説明するように、実質的に一定の伝搬遅延を維持しながら、複数の電力レベルと、プリエンフ

50

アシスの複数のレベルとが利用可能となる。

【 0 0 1 4 】

図 1 を参照すると、セグメント化されたトランスミッタの一実施形態例の回路図が提示されている。図示の例において、4 つの互いに異なる出力電力レベルが、調整可能なプリエンファシス量で実現できる。図 1 に示すように、差分データ入力信号 DATA__IN が、セグメント 1 0 および 1 2 を介して、差分データ出力信号 DATA__OUT として送信され、その振幅は、出力信号線上で終端抵抗 1 4 および 1 6 へ送信される電流に基づいて決定される。DATA__IN 信号は、各セグメント 1 0 に直接入力され、遅延要素 1 8 を介して遅延され、反転されてセグメント 1 2 へ入力される。好ましくは、セグメント 1 0 および 1 2 は、それぞれ、図 2 を参照してより詳細に説明するように、等価回路構造を備える。さらに、実施形態例は 4 つの（非遅延化）セグメント 1 0 および 1 つの（遅延化）セグメント 1 2 を（すなわち、4 : 1 の割合で）含むが、これは例示であり、含まれるセグメント数（または割合）を限定するものではない。

【 0 0 1 5 】

セグメント 1 0 および 1 2 の回路詳細の図を示す図 2 を参照すると、各セグメントは、プレバッファ 2 2 に結合されたタイミング要素 2 0（例えば、ラッチまたはマルチプレクサ）を含み、プレバッファ 2 2 の各出力（Q__N, Q__P）は、トランジスタ 2 4, 2 6 に結合され、そこから出力信号 OUT__N, OUT__P が生じる。トランジスタ 2 4 および 2 6 に結合されるのは、電流源 2 8, 3 0, 3 2, 3 4, および 3 6 である。ENABLE 信号の状態によって、タイミング要素 2 0、プレバッファ 2 2、および電流源 2 8（例えば、1 つの電流部を設け、1 つの電流部は、例えば、3 7 5 個のマイクロ増幅器を表わす）のイネーブル化が制御される。C 0, C 1, C 2, および C 3 へ入力される制御信号の状態によって、電流源 3 0（例えば、1 つの電流部）、3 2（例えば、2 つの電流部）、3 4（例えば、4 つの電流部）、および 3 6（例えば、8 つの電流部）のイネーブル化がそれぞれ制御される。

【 0 0 1 6 】

トランスミッタの振幅およびプリエンファシスの量の制御は、C 0, C 1, C 2, および C 3 へ入力される ENABLE および電流イネーブル信号を介してセグメント 1 0 および 1 2 を選択的にイネーブルすることによって、調整可能である。例として、全電力および最大（50%）プリエンファシスを実現するために、遅延化セグメント 1 2 に入力されるすべての電流イネーブル信号が、イネーブル状態となって全電流の 4 分の 1 を提供し、非遅延化セグメント 1 0 に入力される電流イネーブル信号の 1 つを除くすべてが、イネーブル状態となって（例えば、C 2 は各セグメント 1 0 についてディスエーブル状態となる）全電流の 4 分の 3 を提供する。一方、全電力および 8 分の 1 のエンファシスを実現するためには、セグメントの電流部の 2 分の 1 が、遅延されたセグメント 1 2 についてイネーブルされる（例えば、C 3 はディスエーブル状態）のに対して、8 分の 7 の電流部が、遅延化されていないセグメント 1 0 についてイネーブルされる（例えば、C 1 はディスエーブル状態）。このようにして、パラレルセグメントの調整可能性によって、プリエンファシスの所望の程度によってバランスが取られる電流ステアリングが実現されて、セグメント間の全体的に一定のピーク振幅を維持する。

【 0 0 1 7 】

本発明のさらなる局面において、プレバッファ 2 2 は、図 3 に示すプレバッファ 2 2 の回路図を参照した提示からわかるように、帯域外周波信号方式の要件と、スルーレート制御との両方に対応している。プレバッファ 2 2 内では、トランジスタ 4 0 および 4 2 が、（図 2 のタイミング要素 2 0 から）D__N および D__P という入力信号を受信する。各トランジスタは、抵抗負荷路に結合され、抵抗負荷路は、抵抗 4 4, 4 6, 4 8, および 5 0 を含む。そこから、プレバッファ 2 2 の出力信号 Q__N および Q__P が生じる。プレバッファ 2 2 は、帯域外周波信号方式 / 制御可能なアイドル状態に対応するために、バイパストランジスタ 5 2 をさらに含む。バイパストランジスタ 5 2 を（制御信号 OBS__N を介して）作動させることによって、末尾電流の多くはそこを流れる。このため、抵抗負荷

10

20

30

40

50

路またはトランジスタの差分対を通じて電流が流れることはなく、よって、プレバッファ 22 の出力 Q_{__P} および Q_{__N} は、共に H I G H となる。したがって、差分出力信号はゼロに下がる一方で、出力共通モードレベルは維持されて、トランスミッタ出力において所望の制御可能なアイドル状態が実現される。よって、バイパス路トランジスタ 52 を含ませることで、単に電流をオフして差分出力をゼロに下げるという遅くて不安定なやり方の使用を効果的に回避する。

【0018】

スルーレート制御の必要性のために、プレバッファ 22 は、低速の出力遷移モードを実現して半分のレートの動作モードに対応するための回路をも含む。プレバッファモードは、末尾電流源 54 および 60 と、制御トランジスタ 56 および 58 とともに、負荷要素 44 および 50 にそれぞれ結合されたトランジスタ 62 および 64 とを含ませることによって実施される。プレバッファの通常（高速）モード動作においては、末尾電流セクションは共に「オン」であり、トランジスタ 62 および 64 は共に「オン」であって、B I A S, S L E W_{__N}, および S L E W_{__P} についての適切な制御信号レベルを介して、抵抗 44 および 50 を抵抗 46 および 48 に対して並行に接続する。（トランジスタ 66 は、基本的には常に「オン」である。）その結果生じる動作は、セクション化されていないプレバッファと同一である。低速モードにおいては、電流源セクションの 2 分の 1 は、抵抗負荷（抵抗要素 44 および 50）の 2 分の 1 が非接続の状態で、すなわち、S L E W_{__P} が H I G H となることによって、「オフ」にされる。セグメント（すなわち、図 2 のトランジスタ 24 および 26 ならびに電流源 28, 30, 32, 34, および 36）の出力段によって生じる容量負荷は変化しないので、プレバッファの出力遷移時間は、このような状況下で著しく増加する、すなわち、スルーレートは所望どおりに半分のレートの動作について減少する。

【0019】

本発明によって提供されるスルーレート制御に加えて、さらなる局面は、図 4 の回路図を参照した記載からわかるように、プリアンファシスの極性制御を含む。プリアンファシス機能は、3 段有限インパルス応答（F I R）デジタルフィルタとして実施されることが多い。当該 F I R デジタルフィルタにおいては、各ビット時間に送信される信号振幅は、現在および過去 2 つのデータビットの重み付けされた組み合わせとなる。2 つの遅延されたデータビットの重みは、通常、負であるが、第 2 番目の遅延された重みについての正の値が、特定のチャンネルについてプリアンファシスを最適なものに近くなるように改善するために時には有用であることが、本発明の発明者らによって見出された。図 4 を参照すると、遅延要素は、当該技術には当然のことであるが、直列の D フリップフロップ 70, 72, および 74 によって形成されたシフトレジスタとして表される。（当然のことながら、直列のフリップフロップ 70 および 72 は、図 1 の遅延要素 18 によって表される 1 つ分の遅延出力を生じさせることができる。）図 4 の回路の 2 つ分の遅延出力について極性を調整するために、本発明では、1 つの入力におけるフリップフロップ 74 からの出力と、第 2 番目の入力における極性制御信号とを受信する極性制御要素である排他的論理和（X O R）ゲート 76 を追加している。極性制御信号のレベルを制御することによって、第 2 番目の遅延化ビットの値を、X O R ゲート 76 を介して反転させることもでき、これは、プリアンファシスの重みの極性変更と機能的に等価である。

【0020】

以上から、数多くの変形物および修正が、本発明の新規の概念の精神および範囲から逸脱することなく生じてよいことがわかるだろう。本明細書に示す特定の方法および装置に対する制限は全く意図されておらず、示唆されるものでもないことは当然である。当然ながら、添付の請求項によって、そのような修正のすべてが請求項の範囲内に入るように包含されることが意図されている。

【図面の簡単な説明】

【0021】

【図 1】本発明に係るセグメント化されたトランスミッタの一実施形態例の回路図を示す

10

20

30

40

50

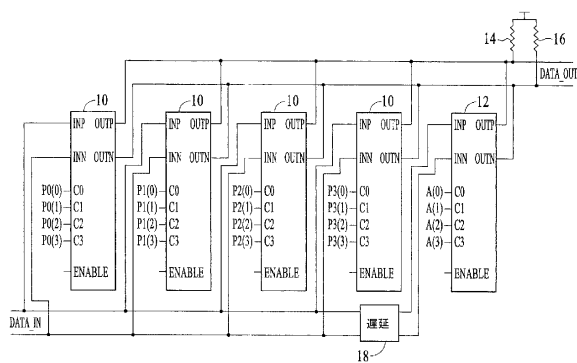
。

【図 2】図 1 のセグメントの回路詳細の図を示す。

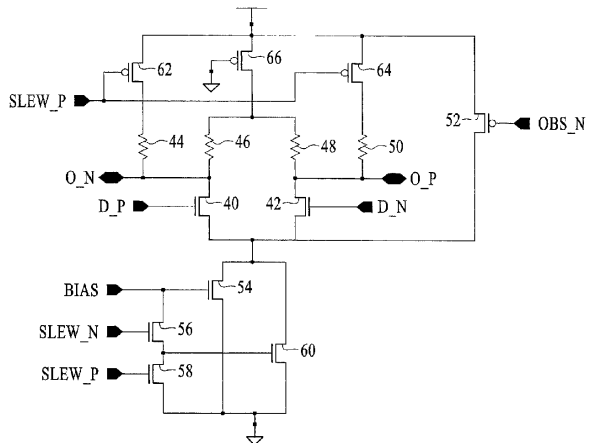
【図 3】図 2 のプレバッファの回路図を示す。

【図 4】本発明の局面に係るプリエンファシス極性制御のための回路図を示す。

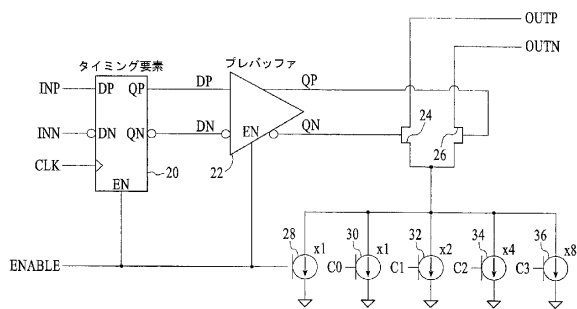
【図 1】



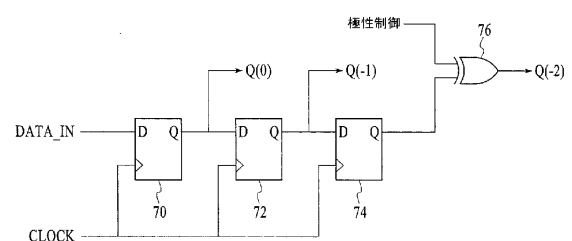
【図 3】



【図 2】



【図 4】



フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 クレメンツ、スティーヴン

アメリカ合衆国 27703 ノースカロライナ州 ダルハム ビーバー・ダム・ラン 623

(72)発明者 コックス、キャリー

アメリカ合衆国 27519 ノースカロライナ州 カリー カトリン・ロード 403

(72)発明者 クランフォード、ハイデン

アメリカ合衆国 27519 ノースカロライナ州 カリー ブラントン・ドライブ 6900

審査官 白井 亮

(56)参考文献 特表2002-502147(JP,A)

特開平09-214314(JP,A)

国際公開第03/090374(WO,A1)

米国特許第5627487(US,A)

特表2001-508222(JP,A)

米国特許第6256235(US,B1)

米国特許第6597233(US,B2)

(58)調査した分野(Int.Cl.,DB名)

H04L 25/00-25/66