

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2012/008216 A1

PCT

(43) 国際公開日
2012 年 1 月 19 日(19.01.2012)

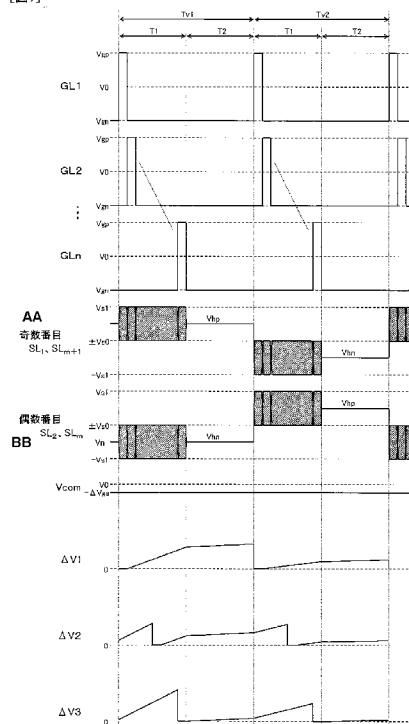
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09F 9/30 (2006.01)
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/061168
- (22) 国際出願日: 2011 年 5 月 16 日(16.05.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-160242 2010 年 7 月 15 日(15.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (Sharp Kabushiki Kaisha)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山内 祥光
(YAMAUCHI, Yoshimitsu) [JP/—].
- (74) 代理人: 政木 良文 (MASAKI Yoshifumi); 〒
5410042 大阪府大阪市中央区今橋 4 丁目 3 番 6
号 淀屋橋 N A O ビル 7 F Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: DATA SIGNAL LINE DRIVE CIRCUIT, DISPLAY DEVICE, AND DATA SIGNAL LINE DRIVE METHOD

(54) 発明の名称: データ信号線駆動回路、表示装置及びデータ信号線駆動方法

[図 7]



AA Odd numbers
BB Even numbers

(57) Abstract: Disclosed is a liquid crystal display device that can display moving and still images in full color with high display definition and low power consumption. The liquid crystal display device is a data signal line drive circuit that separately drives each of a plurality of data signal lines (SL) in an active-matrix pixel array. A single vertical period is divided into a scanning period (T1) and a non-scanning period (T2). During the scanning period (T1), a signal voltage that corresponds to pixel data with the same polarity is applied to the same data signal line (SL) based on a predetermined fixed potential (V0), regardless of the order of the selected scanning signal line (GL). During the non-scanning period (T2), an intermediate voltage (Vhp, Vhn) is applied to each data signal line (SL) that is between the maximum and minimum values for each pixel voltage held by pixel electrodes for a plurality of pixels connected to each data signal line (SL).

(57) 要約: 動画及び静止画に対し低消費電力且つ高表示品位でフルカラー表示可能な液晶表示装置を提供する。液晶表示装置が、アクティブマトリクス型画素アレイの複数のデータ信号線 (SL) を各別に駆動するデータ信号線駆動回路であって、1 垂直期間内を走査期間 (T1) と非走査期間 (T2) に二分し、走査期間 (T1) において、選択された走査信号線 (GL) の順位に関係なく、同じデータ信号線 (SL) には、所定の固定電位 (V0) を基準として同じ極性の画素データに対応する信号電圧を印加し、非走査期間 (T2) において、データ信号線 (SL) の夫々に、夫々のデータ信号線 (SL) に接続する複数の画素の画素電極に保持される各画素電圧の最大値と最小値の中間電圧 (Vhp, Vhn) を印加するデータ信号線駆動回路を備える。



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, — 国際調査報告 (条約第 21 条(3))
NE, SN, TD, TG).

明 細 書

発明の名称：

データ信号線駆動回路、表示装置及びデータ信号線駆動方法

技術分野

[0001] 本発明は、アクティブマトリクス型の液晶表示装置に関し、特にデータ信号線駆動回路及び方法に関する。

背景技術

[0002] 図 1 2 に、一般的なアクティブマトリクス型の液晶表示装置の画素アレイを構成する各画素の等価回路を示す。また、図 1 3 に、 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示す。図 1 3 に示すように、 m 本のソース線（データ信号線）と n 本の走査線（走査信号線）の各交点に薄膜トランジスタ（TFT）からなるスイッチ素子を設け、図 1 2 に示すように、TFT を介して液晶素子 LC と補助容量素子 Cs が並列に接続されている。液晶素子 LC は画素電極と対向電極（共通電極）の間に液晶層を設けた積層構造で構成されている。尚、図 1 3 では、各画素は、簡略的に TFT と画素電極（黒色の矩形部分）だけを表示している。補助容量素子 Cs は一端が画素電極に、他端が容量線 LCs に接続し、画素電極に保持する画素データの電圧を安定化する。補助容量素子 Cs は、TFT のリーク電流、液晶分子の有する誘電率異方性により黒表示と白表示で液晶素子 LC の電気容量が変動すること、及び、画素電極と周辺配線間の寄生容量を介して生じる電圧変動等に起因して、画素電極に保持する画素データの電圧が変動するのを抑制する効果がある。走査線の電圧を順次制御することで、1 本の走査線に接続する TFT が導通状態となり、走査線単位で各ソース線に供給される画素データの電圧が対応する画素電極に書き込まれる。

[0003] フルカラー表示による通常表示では、表示内容が静止画の場合でも、1 フレーム毎に、同じ画素に同じ表示内容を、液晶素子 LC に印加される電圧極性を都度反転させ繰り返し書き込むことで、画素電極に保持する画素データ

の電圧が更新され、画素データの電圧変動が最小限に抑制され、高品質な静止画の表示が担保される。以下、液晶素子 LC に印加される電圧極性を都度反転させて書き込む動作を「極性反転駆動」と称す。

[0004] 液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配され、概ね、以下の数 1 に示す関係式によって表わすことができる。数 1 において、 P は消費電力、 f はリフレッシュレート（単位時間当たりの 1 フレーム分のリフレッシュ動作回数）、 C はソースドライバによって駆動される負荷容量、 V はソースドライバの駆動電圧、 n は走査線数、 m はソース線数を夫々示す。尚、リフレッシュ動作とは、液晶素子 LC に印加されている画素データに応じた電圧（絶対値）に生じた変動を、画素データの再書き込みによって解消し、画素データに応じた本来の電圧状態に復帰させる動作である。

[0005] 〈数 1〉

$$P \propto f \cdot C \cdot V^2 \cdot n \cdot m$$

[0006] ところで、静止画を常時表示する場合、或いは、動きの遅い動画を表示する場合には、必ずしも通常表示と同じリフレッシュレート（通常は 60 Hz）で画素データ更新する必要はなく、液晶表示装置の消費電力を更に低減するために、リフレッシュレートを下げることが行われている。例えば、下記特許文献 1 に開示されているように、1 垂直期間を走査期間と休止期間に分割し、走査期間を通常の 60 Hz 相当の時間に設定することで、低周波間欠駆動による低消費電力化を図っている。しかし、リフレッシュレートを下げると、TFT のリーク電流により、画素電極に保持されている画素電圧が変動する。また、各フレーム期間における平均電位も低下するので、このため、当該電圧変動が、各画素の表示輝度（液晶の透過率）の変動となり、極性反転時にフリッカとして観測されるようになる。また、十分なコントラストを得られない等の表示品位の低下を招く虞もある。

[0007] ここで、リフレッシュレートの低下により表示品位が低下する問題を解決する方法として、例えば、下記特許文献 2 及び 3 に記載の構成が開示されて

いる。特許文献2及び3に開示されている構成では、図12に示す画素のスイッチ素子を2つのTFT（トランジスタT1、T2）の直列回路で構成し、その中間ノードN2をユニティーゲインのバッファアンプ50を用いて画素電極N1と同電位となるように駆動し、画素電極側に配置されたTFT（T2）のソース・ドレイン間に電圧が印加されないようにすることで、当該TFTのリーク電流を大幅に抑制して、上記表示品位が低下する問題の解決を図っている（図14及び図15参照）。

[0008] これは、TFTのリーク電流が、ソース・ドレイン間のバイアス電圧の増加に伴って大幅に増加することを考慮した解決方法である。図14及び図15に示すように、特許文献2及び3に記載の構成では、ソース線SLと接続するTFT（T1）では、ソース・ドレイン間のバイアス電圧が大きくなり、当該TFTのリーク電流が増加する可能性があるが、そのリーク電流はバッファアンプ50によって補償されるため、画素電極N1が保持する画素電圧には影響を及ぼさない。斯かるバッファアンプ50を設けた構成により、リフレッシュレートの低下により表示品位が低下する問題が解決されるとともに、リフレッシュレートの低下による低消費電力化が図れる。また、特許文献2及び3に記載の構成では、画素電極が保持する画素電圧として2以上の異なる電圧状態に対応可能であり、多階調の常時表示が、高表示品位且つ低消費電力で実現できる。

先行技術文献

特許文献

- [0009] 特許文献1：特開2001-312253号公報
特許文献2：特開平5-142573号公報
特許文献3：特開平10-62817号公報

発明の概要

発明が解決しようとする課題

- [0010] 通信インフラの進化に伴うデジタルコンテンツ（広告、ニュース、電子書

籍等)の普及により、携帯電話、携帯型インターネット端末(MID: Mobile Internet Device)等の携帯情報端末での当該デジタルコンテンツの画像表示において、静止画、描画速度の異なる動画等の多様な画像に対して、低消費電力でフルカラー表示可能な透過型液晶表示装置が要求されている。しかし、特許文献2及び3に開示されているような画素単位でバッファアンプを設けた構成やSRAM等のメモリ回路を設けた構成の場合、当該回路を構成する素子数や信号線の増加に伴い開口率が低下するため、フルカラー表示が困難となっている。一方、低消費電力化のためには、特許文献1に開示されているような低周波間欠駆動が有効であるが、上述のように、TFTのリーク電流による画素電圧の変動が、極性反転時にフリッカとして視認されるという問題がある。

[0011] 本発明は、上記の問題点に鑑みてなされたもので、その目的は、動画及び静止画に対し低消費電力且つ高表示品位でフルカラー表示可能な液晶表示装置を提供する点にある。

課題を解決するための手段

[0012] 上記目的を達成するため、本発明は、
アクティブマトリクス型画素アレイの複数のデータ信号線を各別に駆動するデータ信号線駆動回路または方法であって、

前記画素アレイを構成する各画素は、画素電極に保持される画素電圧に応じて異なる表示状態を呈する単位表示素子、及び、第1端子が前記画素電極と、第2端子が列方向に延伸する前記複数のデータ信号線の何れか一本と、前記第1及び第2端子間の導通非導通を制御する制御端子が行方向に延伸する複数の走査信号線の何れか一本と夫々電氣的に接続する薄膜トランジスタ素子を備えてなり、

前記画素アレイの全画素に画素データを書き込む1垂直期間内に設定された連続する1期間であって、前記複数の走査信号線を順次選択し、選択された前記走査信号線に接続する前記画素に前記画素データを夫々書き込む走査期間において、選択された前記走査信号線の順位に関係なく、同じ前記デー

タ信号線には、所定の固定電位を基準として同じ極性の前記画素データに対応する信号電圧を印加し、

前記 1 垂直期間内に設定された他の連続する 1 期間であって、前記複数の走査信号線を選択せず前記走査期間中に書き込まれた前記画素データを前記画素内に各別に保持する非走査期間において、前記データ信号線の夫々に、夫々の前記データ信号線に接続する複数の前記画素の前記画素電極に保持される各画素電圧の最大値と最小値の中間電圧を印加することを特徴とするデータ信号線駆動回路または方法を提供する。

[0013] 更に、上記特徴のデータ信号線駆動回路または方法は、前記単位表示素子が、前記画素電極と対向電極の間に液晶層を挟持してなる単位液晶表示素子であることが好ましい。

[0014] 更に、上記特徴のデータ信号線駆動回路または方法は、前記走査期間に印加される前記信号電圧の極性が同じ前記データ信号線に対して、前記非走査期間において、当該極性に依じて定まる 1 つの共通中間電圧が印加され、前記共通中間電圧が、前記画素データの最大階調と最小階調に対応する 2 つの前記画素電圧の平均値として与えられることが好ましい。

[0015] 更に、上記特徴のデータ信号線駆動回路または方法は、前記走査期間において、隣接する 2 本の前記データ信号線の一方に、前記固定電位を基準として正極性の前記信号電圧を印加し、他方に、前記固定電位を基準として負極性の前記信号電圧を印加し、次の前記 1 垂直期間の前記走査期間において、前記信号電圧の極性を反転させることが好ましい。

[0016] 更に、上記特徴のデータ信号線駆動回路または方法は、前記走査期間の長さが、前記 1 垂直期間の長さの半分以下であることが好ましく、また、前記 1 垂直期間内の前記走査期間の長さが、8.34 ミリ秒より短いことが好ましい。

[0017] 更に、上記特徴のデータ信号線駆動方法は、前記画素アレイに表示される画像の属性に応じたタイミング制御情報を受信し、前記走査期間と前記非走査期間の少なくとも何れか一方の長さを前記タイミング制御情報に基づいて

設定することが好ましい。

[0018] 更に、上記目的を達成するため、本発明は、

画素電極に保持される画素電圧に応じて異なる表示状態を呈する単位表示素子、及び、第1端子が前記画素電極と、第2端子が列方向に延伸する複数のデータ信号線の何れか一本と、前記第1及び第2端子間の導通非導通を制御する制御端子が行方向に延伸する複数の走査信号線の何れか一本と夫々電気的に接続する薄膜トランジスタ素子を備えてなる画素を前記行方向及び前記列方向に夫々複数配置してなる画素アレイと、

上記特徴のデータ信号線駆動回路と、

前記画素アレイの全画素に画素データを書き込む1垂直期間内に設定された、前記複数の走査信号線を順次選択し、選択された前記走査信号線に接続する前記画素に前記画素データを夫々書き込む走査期間において、選択された前記走査信号線に前記薄膜トランジスタ素子を導通状態とする第1走査電圧を印加し、選択されていない前記走査信号線に前記薄膜トランジスタ素子を非導通状態とする第2走査電圧を印加し、前記1垂直期間内に設定された、前記複数の走査信号線を選択せず前記走査期間中に書き込まれた前記画素データを前記画素内に各別に保持する非走査期間において、全ての前記走査信号線に前記薄膜トランジスタ素子を非導通状態とする非走査電圧を印加する走査信号線駆動回路を備えることを特徴とする表示装置を提供する。

[0019] 更に、上記特徴の表示装置は、前記単位表示素子が、前記画素電極と対向電極の間に液晶層を挟持してなる単位液晶表示素子であり、連続する複数の垂直期間を通して、前記対向電極に前記固定電位を基準として所定の電圧範囲内に固定された対極電圧を供給する対向電極駆動回路を備えることが好ましい。更に、前記画素が、一端が前記画素電極と接続する補助容量素子を備えていないことが好ましい。

[0020] 更に、上記特徴の表示装置は、前記画素アレイに表示される画像の属性に応じたタイミング制御情報を受信し、前記走査期間と前記非走査期間の少なくとも何れか一方の長さを前記タイミング制御情報に基づいて設定し、設定

後の前記走査期間と前記非走査期間に基づいて、前記データ信号線駆動回路と前記走査信号線駆動回路に対してタイミング制御を行う表示制御回路を備えることが好ましい。

[0021] 更に、上記特徴の表示装置は、前記画素アレイの行数と同数の前記走査信号線と、前記画素アレイの列数より 1 多い数の前記データ信号線を備え、前記画素アレイの同一行に配置される前記画素が、前記薄膜トランジスタ素子の前記制御端子が当該行と同一行順位の前記走査信号線に接続し、前記画素アレイの同一列に配置される奇数または偶数の何れか一方の行順位の前記画素が、前記薄膜トランジスタ素子の前記第 2 端子が当該列と同一列順位の前記データ信号線に接続し、前記画素アレイの同一列に配置される奇数または偶数の何れか他方の行順位の前記画素は、前記薄膜トランジスタ素子の前記第 2 端子が当該列と同一列順位より 1 大きい列順位の前記データ信号線に接続していること（第 1 の画素アレイ構成）が好ましい。

[0022] また、上記特徴の表示装置は、前記画素アレイの行数と同数の前記走査信号線と、前記画素アレイの列数と同数の前記データ信号線を備え、前記画素アレイの同一行に配置される前記画素は、前記薄膜トランジスタ素子の前記制御端子が当該行と同一行順位の前記走査信号線に接続し、前記画素アレイの同一列に配置される前記画素は、前記薄膜トランジスタ素子の前記第 2 端子が当該列と同一列順位の前記データ信号線に接続していること（第 2 の画素アレイ構成）が好ましい。

発明の効果

[0023] 上記特徴のデータ信号線駆動回路または方法或いは表示装置によれば、所定の固定電位（連続する複数の垂直期間を通じて一定電位に固定されている。例えば、接地電位）を基準として 1 垂直期間内に各データ信号線に印加される信号電圧及び中間電圧の極性は、データ信号線毎に一定であるため、非走査期間において、同じデータ信号線に接続する複数の画素の各薄膜トランジスタ素子の第 1 及び第 2 端子間（ソース・ドレイン間）に掛かるバイアス電圧（絶対値）の最大値を、走査期間において同じ画素に掛かるバイアス電

圧の最大値の4分の1程度以下に低下させることができる。また、特許文献1に開示されている従来の低周波間欠駆動における非走査期間（休止期間）において同じ画素に掛かるバイアス電圧の最大値の2分の1程度以下に低下させることができる。薄膜トランジスタ素子のソース・ドレイン間のリーク電流は、ソース・ドレイン間のバイアス電圧を低減することで大幅に抑制できるため、1つの画素における薄膜トランジスタ素子のソース・ドレイン間のリーク電流に伴う画素電圧の変動は、走査期間において専ら発生し、非走査期間では抑制されることになる。従って、1垂直期間が全て走査期間である一般的な通常表示と比較すると、同じ1垂直期間ではリフレッシュレートも同じであるため、データ信号線の駆動に要する消費電力は変わらないが、本発明では、走査期間が上記一般的な通常表示より短くなるため、リーク電流によって画素電圧の変化する時間が短くなり、画素電圧の変動量が抑制されフリッカの視認性が低下し表示品位が向上する。一方、走査期間が上記一般的な通常表示の1垂直期間と同じ長さで、1垂直期間が非走査期間分だけ長くなった場合を想定すると、上記一般的な通常表示より1垂直期間が長くなり、リフレッシュレートが低下するため、データ信号線の駆動に要する消費電力は小さくなり、追加された非走査期間における画素電圧の変動も抑制されるため、表示品位の低下を抑制して低消費電力化が図れ、また、従来の低周波間欠駆動と比較すると、同じリフレッシュレートでは、非走査期間における画素電圧の変動がより抑制されるため、フリッカの視認性が低下し表示品位の向上が図れるとともに、非走査期間の長期化が図れるため、同程度の表示品位を維持した場合には更なる低消費電力化が図れる。一例として、一般的な通常表示の1垂直期間が60分の1秒（約16.67ミリ秒）であるので、本発明の走査期間をその半分以下に（8.34ミリ秒より短く）することで、走査期間中の画素電圧の変動を時間的に抑制できるため、フリッカの視認性が低下し表示品位が向上し、更に、走査期間中の画素電圧の変動が抑制できる分、非走査期間を長くできるため、静止画や変化の遅い動画に対しては、リフレッシュレートを低くして低消費電力化を図ることができる。

。従って、表示品位の向上を図りつつ、表示する画像の属性（必要な描画速度）に合わせた低消費電力化が可能となる。

[0024] 更に、フルカラー表示等の高階調表示において、単位表示素子が単位液晶表示素子である場合、非走査期間に、画素電極と対向電極間に印加される液晶印加電圧と液晶透過率間の特性における液晶透過率が液晶印加電圧の影響を最も受け易い中間調電圧領域の画素電圧が中間電圧としてデータ信号線に印加されるため、当該中間調電圧を保持する画素の薄膜トランジスタ素子のソース・ドレイン間に掛かるバイアス電圧が0Vまたはその近傍値となり、当該画素のソース・ドレイン間のリーク電流が大幅に抑制される。つまり、最も液晶透過率の変化し易い電圧領域において、画素電圧の変動の要因となるリーク電流をより効果的に抑制できるため、液晶透過率の変動を受け易い中間調の画素データを保持する画素に対する画素データの保持特性が向上する。この結果、フルカラー表示において画素全体に亘る画素データの保持特性が向上し、表示品位が大幅に改善される。

[0025] また、上述の効果は、従来の画素に対して奏し得るため、例えば、特許文献2及び3に開示されたようなバイアス電圧を低減するための特別な回路を追加する必要がなく、各画素の開口率を犠牲にせず、静止画及び動作に対して低消費電力でフルカラー表示可能な液晶表示装置を提供できる。

[0026] 非走査期間において各データ信号線に印加する中間電圧を、データ信号線別に、その直前の走査期間に当該データ信号線に接続する複数の画素に書き込まれ実際に保持されている各画素電圧の最大値と最小値の中間電圧（以下、便宜的に「個別中間電圧」と称する。）とすることもできる。この場合、データ信号線別に印加する個別中間電圧を、その直前の走査期間に書き込んだデータ信号線毎の画素データに基づいて導出する必要がある。そこで、走査期間に印加される信号電圧の極性毎に、画素データの最大階調と最小階調に対応する2つの画素電圧の平均値として共通中間電圧を導出し、当該極性の同じデータ信号線に対して同じ共通中間電圧を印加することで、非走査期間における中間電圧の印加処理を簡素化できる。共通中間電圧を使用する場

合でも、上記バイアス電圧の低減（走査期間の最大値の4分の1程度以下、従来の低周波間欠駆動における非走査期間の最大値の2分の1程度以下）が確保でき、個別中間電圧を使用する場合は、データ信号線別に実際に書き込まれた画素データに応じて、上記バイアス電圧の低減が更に図れることになる。但し、1本のデータ信号線に接続する画素に書き込まれる画素データに少なくとも最大階調と最小階調の2つの画素データが含まれている場合は、当該データ信号線については、個別中間電圧と共通中間電圧は同電圧となる。

[0027] ここで、走査期間において、隣接する2本のデータ信号線の一方に正極性の信号電圧を印加し、他方に負極性の信号電圧を印加し、次の1垂直期間の走査期間において、信号電圧の極性を反転させることにより、1フレーム分の画素電圧をフレーム毎に反転させるフレーム反転駆動に加えて、使用する画素アレイの構成に応じてフリッカの視認性の低減により効果的なカラム反転駆動（垂直ライン反転駆動とも言う）またはドット反転駆動が可能となる。具体的には、上記第1の画素アレイ構成に対してドット反転駆動が実現でき、上記第2の画素アレイ構成に対してカラム反転駆動が実現できる。尚、フリッカの視認性の低減には、ドット反転駆動の方がより好ましい。

[0028] 更に、画素アレイを構成する各画素が補助容量素子（図12に示す補助容量素子C_sが該当する）を備えない構成とした場合、画素電極に保持される電荷量が減少するため、薄膜トランジスタ素子のソース・ドレイン間のリーク電流が同じであれば、画素電圧の変動量が大きくなるが、書き込み時の薄膜トランジスタ素子の負荷が減少するため、走査期間を短くすることが可能となる。つまり、補助容量素子が無い場合は、画素電極の総容量が、有る場合と比べてその分だけ減少するが、逆に、走査期間を短縮できるため、画素電圧の変動量を抑制することができる。更に、補助容量素子を設けないことで、補助容量素子を構成するための画素電極と対向する補助電極及び補助信号配線が不要となり、画素の開口率が向上する。例えば、通常のリフレッシュレート（60Hz）より高速（例えば、倍速の120Hz）で画素データ

の書き換えを行う場合に、走査期間を短縮し、画素電圧の変動を抑制した高表示品位でのフルカラー動画表示が可能となる。尚、補助容量素子を備えない構成においても、走査期間を短縮することで画素電圧の変動を抑制できるため、当然にリフレッシュレートを低くした低周波間欠駆動に適用可能であり、静止画及び動作に対して低消費電力でフルカラー表示可能な液晶表示装置を提供できる。

図面の簡単な説明

[0029] [図1] 本発明の一実施形態における表示装置の概略構成の一例を示すブロック図

[図2] 図1に示す表示装置で使用する画素の一例を模式的に示す等価回路図

[図3] 図1に示す表示装置で使用する画素アレイの一構成例を模式的に示す等価回路図

[図4] 図1に示す表示装置で使用する画素アレイの別の構成例を模式的に示す等価回路図

[図5] 多結晶シリコンTFTのドレイン電流対ゲート電圧の関係を示す特性図

[図6] アモルファスシリコンTFTのドレイン電流対ゲート電圧の関係を示す特性図

[図7] 図1に示す表示装置の書き込み動作及び保持動作時の電圧印加波形の一例を模式的に示すタイミング図

[図8] 非走査期間を設けない比較例の書き込み動作時の電圧印加波形の一例を模式的に示すタイミング図

[図9] 非走査期間の電圧印加条件の異なる比較例の書き込み動作及び保持動作時の電圧印加波形の一例を模式的に示すタイミング図

[図10] 図4に示す画素アレイ構成でドット反転駆動を行う場合の比較例の書き込み動作及び保持動作時の電圧印加波形の一例を模式的に示すタイミング図

[図11] 本発明の別実施形態における中間電圧駆動回路の概略構成を模式的に示す回路図

[図12]一般的なアクティブマトリクス型の液晶表示装置の画素の等価回路図

[図13] $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示すブロック図

[図14]ユニティーゲインのバッファアンプを備えた従来の画素の一例を示す等価回路図

[図15]ユニティーゲインのバッファアンプを備えた従来の画素の他の一例を示す等価回路図

[図16]本発明の別実施形態における表示装置で使用する画素の一例を模式的に示す等価回路図

発明を実施するための形態

[0030] 以下、本発明によるデータ信号線駆動回路及び表示装置の実施形態につき、図面を参照して説明する。

[0031] 先ず、本実施形態の表示装置（以下、単に表示装置と称す）のシステム構成について説明する。図1に示すように、表示装置1は、アクティブマトリクス型の液晶パネル2、表示制御回路3、ソースドライバ4、ゲートドライバ5、及び、コモンドライバ6を備える。尚、表示装置1は、上記以外に、電源回路（不図示）や、液晶パネル2が透過型（画素電極が透過電極で構成されるタイプ）、両用型（画素電極が透過電極領域と反射電極領域を備えるタイプ）、半透過型（1つの画素電極が透過電極と反射電極の両機能を有するタイプ）の場合には、バックライト装置（不図示）を備える。ソースドライバ4がデータ信号線駆動回路に、ゲートドライバ5が走査信号線駆動回路に、コモンドライバ6が対向電極駆動回路に夫々相当する。

[0032] 液晶パネル2は、画素を行方向及び列方向に夫々複数、マトリクス状に配置してなる画素アレイと、行方向に延伸する複数のゲート線GL（走査信号線に相当）と列方向に延伸する複数のソース線SL（データ信号線に相当）を備えて構成される。各画素は、図2の等価回路に示すように、画素電極10と対向電極11の間に液晶層を挟持してなる単位液晶表示素子12と、TFT（薄膜トランジスタ素子）13を備え、TFT13のゲート（制御端子

）がゲート線GLに、第1端子（ドレイン）が画素電極10に、第2端子（ソース）がソース線SLに接続している。本実施形態では、一般的なアクティブマトリクス型の液晶パネルの画素が備える補助容量素子を備えない構成を想定する。このため、補助容量素子を構成するのに必要な、画素電極10と接続する補助容量電極と、補助容量電極と絶縁膜を介して対向し、補助容量電極上を複数の画素を横断して行方向または列方向に延伸する補助容量線が不要となり、画素構造が簡素化されるとともに、画素の開口率が向上する。透過型の液晶パネル2では、画素電極10と対向電極11は何れもITO等の光透過性の透明導電材料で形成され、画素電極10、TFT13、ゲート線GL、ソース線GLは、液晶層を挟持する2枚の透明絶縁基板の一方の第1透明絶縁基板上に形成され、対向電極11は、他方の第2透明絶縁基板の液晶層側に全面に形成される。上記以外に、第2透明絶縁基板の液晶層側にカラーフィルタが、第2透明絶縁基板の外側に位相差板、偏光板、反射防止膜等が設けられているが、本実施形態では、液晶パネル2として従来の公知な構造のものが使用でき、液晶パネル2の構造は本発明の本旨ではないので、詳細な説明は省略する。

[0033] 尚、本実施形態では、図3の等価回路図に模式的に示す画素アレイ構成（第1の画素アレイ構成）を使用して、後述するドット反転駆動を実現する。尚、別実施形態として、図4の等価回路図に模式的に示す画素アレイ構成（第2の画素アレイ構成）を使用した場合は、後述するカラム反転駆動が実現される。

[0034] 図3に示すように、第1の画素アレイ構成では、画素アレイの行数 n と同じ本数のゲート線（GL1, GL2, …… , GL n ）と、画素アレイの列数 m より1多い本数のソース線（SL1, SL2, …… , SL $m+1$ ）を備え、 i 行目（ $i=1\sim n$ ）に配置される各画素のTFT13のゲート（制御端子）が i 行目のゲート線GL i に接続し、 j 列目（ $j=1\sim m$ ）の奇数行目（ $2k-1:k=1\sim(n+1)/2$ ）に配置される各画素のTFT13のソース（第2端子）が j 列目のソース線SL j に接続し、 j 列目（ $j=1\sim$

m) の偶数行目 ($2k : k = 1 \sim (n+1)/2$) に配置される各画素の TFT13 のソース (第2端子) が ($j+1$) 列目のソース線 SL_{j+1} に接続している。i、j、k は夫々自然数であり、m、n は夫々2以上の自然数であり、 $(n+1)/2$ は小数点以下を切り捨てて計算される。尚、図3は、行数 n が偶数の場合を想定した図となっている。

[0035] 図4に示すように、第2の画素アレイ構成では、画素アレイの行数 n と同じ本数のゲート線 ($GL_1, GL_2, \dots, GL_n$) と、画素アレイの列数 m と同じ本数のソース線 ($SL_1, SL_2, \dots, SL_m$) を備え、i 行目 ($i = 1 \sim n$) に配置される各画素の TFT13 のゲート (制御端子) が i 行目のゲート線 GL_i に接続し、j 列目 ($j = 1 \sim m$) に配置される各画素の TFT13 のソース (第2端子) が j 列目のソース線 SL_j に接続している。i、j は夫々自然数であり、m、n は夫々2以上の自然数である。尚、図4に示す第2の画素アレイ構成は、図13に示す回路配置例の画素アレイ構成と基本的に同じである。

[0036] 本実施形態では、TFT13として、nチャネル型の多結晶シリコンTFTまたはアモルファスシリコンTFTの使用を想定しており、これらのTFTは、図5及び図6に例示するように、オフ時 (特に負ゲートバイアス時) のソース・ドレイン間のリーク電流が、ソース・ドレイン間のバイアス電圧 V_{ds} に依存して変化するリーク電流特性を有する。図5に、多結晶シリコンTFTのドレイン電流 (I_{ds}) とゲート電圧 (V_{gs}) 間のIV特性の一例を示す。当該特性は、特許文献2の図7と特許文献3の図4に開示されている特性と共通している。図6に、アモルファスシリコンTFTのドレイン電流 (I_{ds}) とゲート電圧 (V_{gs}) 間のIV特性の一例を示す。図6に例示する特性においても、ゲート電圧の負バイアス (絶対値) が $|-5V|$ より大きくなるとソース・ドレイン間のリーク電流が大きくなる傾向があり、ソース・ドレイン間のバイアス V_{ds} が大きい程、リーク電流が大きくなる。尚、図5及び図6に示す特性は、一例であり、本実施形態で使用する TFT13 の電気的特性が、図5及び図6に示す特性に限定されるものでは

ない。

[0037] 表示制御回路3は、後述する書き込み動作及び保持動作を制御する回路である。書き込み動作は、1フレーム分の画素データを画素アレイ内の対応する各画素に1走査期間内に書き込む処理を、1垂直期間毎に繰り返す動作である。本実施形態では、垂直期間を走査期間と非走査期間に2分割し、走査期間において画素データを各画素に書き込み、非走査期間において各画素は書き込まれた画素データを保持する間欠駆動を行う。以下、便宜的に走査期間の動作を「書き込み動作」、非走査期間の動作を「保持動作」と称する。尚、各画素に書き込む「画素データ」は、3原色（R, G, B）によるカラー表示の場合、各色の階調データとなる。尚、3原色に加えて他の色（例えば黄色）や白黒の輝度データを含めてカラー表示する場合は、当該他の色の階調データや輝度データも画素データに含まれる。表示制御回路3は、画素アレイに表示される画像の属性に応じたタイミング制御情報 D_t を外部の信号源から受け取り、1垂直期間内における走査期間と非走査期間の夫々の長さを決定する。ここで、画像の属性とは、静止画、通常のリフレッシュレート（60Hz）で描画する動画、60Hzより遅い低速で描画可能な動画、60Hzより高速での描画が必要な動画等の描画速度要件が含まれる。一実施例において、例えば、タイミング制御情報 D_t として、画素アレイに表示される画像のリフレッシュレート（描画速度）を受信する場合に、受信したリフレッシュレートの範囲に応じて、予め設定したルールに基づいて走査期間の長さを決定し、受信したリフレッシュレートの逆数で定まる1垂直期間の長さから、決定した走査期間の長さを差し引いて非走査期間の長さを決定する。例えば、受信したリフレッシュレートが60Hz以下の場合には、走査期間の長さを120分の1秒（約8.333ミリ秒）に固定し、受信したリフレッシュレートが60Hz以上の場合には、走査期間の長さをリフレッシュレートの逆数で定まる1垂直期間の長さの2分の1に決定する。但し、走査期間の長さが、画素のTFT13のオン時のドレイン電流特性と画素電極10の寄生容量で定まる走査期間の長さの最小値を下回る場合には、当該

最小値とする。更に、他の実施例において、タイミング制御情報 D_t として、画像の属性を示す画像属性コードを受信する場合に、受信した画像属性コードに応じて予め設定された、1 垂直期間、走査期間、非走査期間の各長さを所定のテーブルから読み出して使用しても良い。更には、タイミング制御情報 D_t を受信するのに代えて、後述するタイミング信号 C_t に、走査期間と非走査期間の各開始のタイミング情報を含む構成とし、当該タイミング信号 C_t に基づいて、走査期間と非走査期間を判定する構成としても良い。

[0038] 書き込み及び保持動作時には、表示制御回路 3 は、外部の信号源から表示すべき画像を表すデータ信号 D_v とタイミング信号 C_t を受け取り、当該信号 D_v 、 C_t に基づき、画像を画素アレイに表示させるための信号として、ソースドライバ 4 に与えるデジタル画像信号 D_A 及びデータ側タイミング制御信号 S_{tc} と、ゲートドライバ 5 に与える走査側タイミング制御信号 G_{tc} と、コモンドライバ 6 に与える対向電圧制御信号 S_{ec} を、夫々生成する。尚、表示制御回路 3 は、その一部または全部の回路が、ソースドライバ 4 またはゲートドライバ 5 内に形成されるのも好ましい。

[0039] ソースドライバ 4 は、表示制御回路 3 からの制御により、上記各動作時に、各ソース線 S_L に、所定のタイミング及び所定の電圧値のソース信号を印加する回路である。ソースドライバ 4 は、書き込み動作時には、デジタル画像信号 D_A 及びデータ側タイミング制御信号 S_{tc} に基づき、デジタル信号 D_A の表わす 1 表示ライン分の画素値に相当する、対向電圧 V_{com} の電圧レベルに適合した画素データ電圧をソース信号 S_{c1} , S_{c2} , …… , S_{cm} , S_{cm+1} (第 1 の画素アレイ構成の場合) として 1 水平期間毎に生成する。1 水平期間を行数回 (n 回) 繰り返すと 1 走査期間となる。当該画素データ電圧は、画素データに対応する電圧で、多階調のアナログ電圧 (相互に離散した複数の電圧値) である。そして、これらのソース信号を、夫々対応するソース線 S_{L1} , S_{L2} , …… , S_{Lm} , S_{Lm+1} (第 1 の画素アレイ構成の場合) に印加する。また、保持動作時には、ソースドライバ 4 は、所定の間電圧をソース信号 S_{c1} , S_{c2} , …… , S_{cm} , S_{cm}

+ 1（第 1 の画素アレイ構成の場合）として生成し、これらのソース信号を、非走査期間において夫々対応するソース線 SL_1 , SL_2 , …… , SL_m , SL_{m+1} （第 1 の画素アレイ構成の場合）に印加する。

[0040] ゲートドライバ 5 は、表示制御回路 6 からの制御により、走査期間及び非走査期間において、各ゲート線 GL に、所定のタイミング及び所定の電圧振幅のゲート信号を印加する回路である。ゲートドライバ 5 は、走査期間には、走査側タイミング制御信号 Gtc に基づき、ソース信号 Sc_1 , Sc_2 , …… , Sc_m , Sc_{m+1} （第 1 の画素アレイ構成の場合）に対応する画素データを各画素に書き込むために、ゲート線 GL_1 , GL_2 , …… , GL_n をほぼ 1 水平期間ずつ順次 1 本ずつ選択し、選択行のゲート線に第 1 走査電圧 V_{gp} を印加し、非選択行のゲート線に第 2 走査電圧 V_{gn} を印加して各行の画素を順次活性化する。また、ゲートドライバ 5 は、非走査期間には、全てのゲート線 GL_1 , GL_2 , …… , GL_n に非走査電圧 V_{gh} を印加して各行の画素を全て非活性化する。尚、ゲートドライバ 5 は、画素アレイと同様に、アクティブマトリクス基板 10 上に形成されても構わない。

[0041] コモンドライバ 6 は、対向電極 11 に対して対向電極配線 CML を介して対向電圧 V_{com} を印加する。本実施形態では、対向電圧 V_{com} は、複数フレームに亘る書き込み及び保持動作を通して一定電圧に維持される。本実施形態では、1 フレーム毎の極性反転駆動は、ソース線 SL 側でソース信号 Sc_1 , Sc_2 , …… , Sc_m , Sc_{m+1} （第 1 の画素アレイ構成の場合）の電圧極性を 1 垂直期間毎に反転させることで実行される。

[0042] 本発明は、1 垂直期間を走査期間と非走査期間に分割し、走査期間に書き込み動作を行い非走査期間に保持動作を行う際のソース線 SL_1 , SL_2 , …… , SL_{m+1} に印加するソース信号 Sc_1 , Sc_2 , …… , Sc_{m+1} の電圧極性及び非走査期間に印加する中間電圧の値に特徴がある。以下、本実施形態における書き込み動作と保持動作の詳細について説明する。尚、画素アレイは、図 3 に示す第 1 の画素アレイ構成の場合を想定し、画素アレイの行数 n 及び列数 m は夫々偶数とする。

[0043] 図7に、ゲート線 GL_1 , GL_2 , …… GL_n 、ソース線 SL_1 , SL_2 , …… SL_m , SL_{m+1} 、対向電極11に印加する電圧波形と、画素電極10に保持される画素電圧 V_{10} の書き込み直後からのTFT13のリーク電流に起因する電圧変動 ΔV (ΔV_1 , ΔV_2 , ΔV_3 : 絶対値)の電圧波形を模式的に示す。選択行においてソース線 SL から画素電極10に転送された画素電圧 V_{10} は、ゲート線 GL の電圧が第1走査電圧 V_{gp} (例えば8~10V) から第2走査電圧 V_{gn} (例えば-8~-10V) へ遷移することによって、TFT13のゲートとドレイン及びチャネル間の寄生容量による引き込み電圧 ΔV_g 分だけ低下する。当該引き込み電圧 ΔV_g は全ての画素に対して発生するが、その低下幅はソース信号 S_c の電圧値及び各画素のTFT13の特性のバラツキに依存して変化し一様ではない。従って、平均的な引き込み電圧 ΔV_{ga} を補償するために、対向電極11には、所定の固定電位 V_0 (本実施形態では、接地電位0V) から ΔV_{ga} 分がオフセットした電圧値の対極電圧 V_{com} ($=V_0 - \Delta V_{ga}$) が印加される。また、ソース信号 S_c の電圧値に依存する引き込み電圧 ΔV_g のバラツキは、ソース信号 S_c の電圧値を当該バラツキを吸収するように補正することで解消される。図7では、引き込み電圧 ΔV_g だけ低下した後の画素電圧 V_{10} に対する電圧変動 ΔV を、或る列の先頭行 (1行目) の画素 (画素P1) の電圧変動 ΔV_1 と、或る列の中間行 ($n/2$ 行目) の画素 (画素P2) の電圧変動 ΔV_2 と、或る列の最終行 (n 行目) の画素 (画素P3) の電圧変動 ΔV_3 の3種類に分けて示す。当該列のソース線 SL は何れも奇数番目のソース線 SL_1 , SL_{m+1} である場合を想定する。偶数番目のソース線 SL_2 , SL_m である場合は、垂直期間 T_{v1} , T_{v2} の電圧波形が入れ替わるだけである。

[0044] 図7に示すように、ゲート線 GL_1 , GL_2 , …… GL_n には、走査期間 T_1 の間、ほぼ1水平期間ずつ順次1本ずつ第1走査電圧 V_{gp} が印加され、残りの非選択行のゲート線 GL_1 , GL_2 , …… GL_n に第2走査電圧 V_{gn} が印加される。また、非選択期間 T_2 には、全てのゲート線 GL_1

, GL_2 , …… , GL_n に非走査電圧 V_{gh} が印加される。但し、本実施形態では、第2走査電圧 V_{gn} と非走査電圧 V_{gh} を同電圧とするが、非走査電圧 V_{gh} は、非走査期間 T_2 において、各画素の TFT_{13} が、各ソース線 SL に印加される中間電圧 V_{sh} (V_{hp} , V_{hn}) 或いは画素電極 10 に保持されている画素電圧 V_{10} に関係なく非導通となる限りにおいて、第2走査電圧 V_{gn} と同電圧である必要はない。本実施形態のように、2走査電圧 V_{gn} と非走査電圧 V_{gh} を同電圧とすることで、走査期間 T_1 から非走査期間 T_2 への遷移時に各ゲート線 GL の電圧変化がないため、当該電圧変化が画素電圧 V_{10} の変動に与える影響を排除できる。

[0045] 図7に示すように、連続する2つの垂直期間 T_{v1} 、 T_{v2} において、第1の垂直期間 T_{v1} の走査期間 T_1 では、奇数番目のソース線 SL_1 , SL_{m+1} に固定電位 V_0 ($=0V$) を基準として正極性の信号電圧のソース信号 S_{c1} , S_{cm+1} を、1水平期間毎に書き込むべき画素データに応じた絶対値として順次供給し、偶数番目のソース線 SL_2 , SL_m に固定電位 V_0 ($=0V$) を基準として負極性の信号電圧のソース信号 S_{c2} , S_{cm} を、1水平期間毎に書き込むべき画素データに応じた絶対値として順次供給し、第1の垂直期間 T_{v1} の非走査期間 T_2 では、奇数番目のソース線 SL_1 , SL_{m+1} に固定電位 V_0 ($=0V$) を基準として正極性の中間電圧 V_{hp} を共通に印加し、偶数番目のソース線 SL_2 , SL_m に固定電位 V_0 ($=0V$) を基準として負極性の中間電圧 V_{hn} を共通に印加する。次の第2の垂直期間 T_{v2} では、走査期間 T_1 及び非走査期間 T_2 において奇数番目のソース線 SL_1 , SL_{m+1} に印加される信号電圧及び中間電圧は、第1の垂直期間 T_{v1} から極性が反転して負極性となり、偶数番目のソース線 SL_2 , SL_m に印加される信号電圧及び中間電圧は、第1の垂直期間 T_{v1} から極性が反転して正極性となる。以降、垂直期間毎に、信号電圧及び中間電圧の極性が反転する。図7に示すように、ソース線 SL の駆動方法の特徴は、1本のソース線 SL に対しては、1垂直期間を通じて同じ極性の電圧が印加される点である。尚、走査期間 T_1 に1水平期間毎に印加される正極性或

いは負極性の信号電圧の絶対値は、書き込むべき画素データに応じて設定される。

[0046] 尚、画素アレイとして図3に示す第1の画素アレイ構成のものを使用し、1本のソース線 S_L に対しては、1垂直期間を通じて同じ極性の電圧を印加し、更に、奇数番目のソース線 S_{L1} , S_{Lm+1} と偶数番目のソース線 S_{L2} , S_{Lm} の間で当該極性を反転させているため、各画素の極性反転駆動はフレーム反転駆動となり、画素アレイに対しては各フレームでドット反転駆動となる。つまり、同一フレーム（同じ垂直期間内）において、対向電極の電位を基準とする画素電圧の極性が、行方向及び列方向に隣接する画素間で互いに反転して画素電圧が書き込まれる。

[0047] 正極性の中間電圧 V_{hp} は、走査期間 T_1 に或る1本のソース線 S_{Li} （ $i = 1 \sim m+1$ ）に接続する画素の各画素電極10に書き込まれる正極性の画素電圧 V_{10} の最大値 V_{10a} と最小値 V_{10b} の中間値（平均値）として与えられる。ソース線 S_{Li} に印加される信号電圧（絶対値）の最大値及び最小値を夫々 V_{s1} , V_{s0} とし、上記引き込み電圧 ΔV_g を考慮すると、中間電圧 V_{hp} は以下の数2で与えられる。信号電圧（絶対値）の最大値 V_{s1} と最小値 V_{s0} の一方は画素データの最大階調に対応し、他方は画素データの最小階調に対応する。ここで、 ΔV_{g1} は、信号電圧 V_{s1} を印加した場合の引き込み電圧で、 ΔV_{g0} は信号電圧 V_{s0} を印加した場合の引き込み電圧で、これら2つの引き込み電圧 ΔV_{g1} , ΔV_{g0} の平均値を ΔV_{gp} とする。

[0048] 〈数2〉

$$\begin{aligned} V_{hp} &= (V_{10a} + V_{10b}) / 2 \\ &= (V_{s1} - \Delta V_{g1} + V_{s0} - \Delta V_{g0}) / 2 \\ &= (V_{s1} + V_{s0}) / 2 - \Delta V_{gp} \end{aligned}$$

[0049] 負極性の中間電圧 V_{hn} は、走査期間 T_1 に或る1本のソース線 S_{Li} （ $i = 1 \sim m+1$ ）に接続する画素の各画素電極10に書き込まれる負極性の画素電圧 V_{10} の最大値 $-V_{10c}$ と最小値 $-V_{10d}$ の中間値（平均値）

として与えられる。ソース線 SL_i に印加される信号電圧（絶対値）の最大値及び最小値を夫々 V_{s1} , V_{s0} とし、上記引き込み電圧 ΔV_g を考慮すると、中間電圧 V_{hn} は以下の数3で与えられる。ここで、 ΔV_{g3} は、信号電圧 $-V_{s1}$ を印加した場合の引き込み電圧で、 ΔV_{g2} は信号電圧 $-V_{s0}$ を印加した場合の引き込み電圧で、これら2つの引き込み電圧 ΔV_{g3} , ΔV_{g2} の平均値を ΔV_{gn} とする。

[0050] 〈数3〉

$$\begin{aligned} V_{hn} &= (-V_{10c} - V_{10d}) / 2 \\ &= (-V_{s1} - \Delta V_{g3} - V_{s0} - \Delta V_{g2}) / 2 \\ &= -(V_{s1} + V_{s0}) / 2 - \Delta V_{gn} \end{aligned}$$

[0051] 数2及び数3において、 ΔV_{gp} 及び ΔV_{gn} は、シミュレーション或いは実験により求めた ΔV_{g0} , ΔV_{g1} , ΔV_{g2} , ΔV_{g3} の値を使用して算出する。また、上記平均的な引き込み電圧 ΔV_{ga} も、 ΔV_{g0} , ΔV_{g1} , ΔV_{g2} , ΔV_{g3} の平均値として算出できる。ここで、上述のように、ソース信号 S_c の電圧値を、当該電圧値の差に起因する引き込み電圧 ΔV_g のバラツキを吸収するように補正する場合、 ΔV_{gp} と ΔV_{gn} を略等しくすることができ、数2及び数3において、 ΔV_{gp} 及び ΔV_{gn} に代えて ΔV_{ga} を用いても良い。

[0052] 次に、上記画素 P_1 、画素 P_2 、画素 P_3 に書き込まれた画素電圧 V_{10} の TFT13 のソース・ドレイン間のリーク電流に起因する電圧変動 ΔV (ΔV_1 , ΔV_2 , ΔV_3 : 絶対値) について考察する。

[0053] 先ず、画素 P_1 では、画素電圧 V_{10} は、走査期間 T_1 の最初の水平期間で更新されるので、残りの走査期間 T_1 と非走査期間 T_2 を通して、電圧変動 ΔV_1 は連続的に増大する。垂直期間 T_{v1} の走査期間 T_1 では、奇数番目のソース線 SL_1 , SL_{m+1} には、正極性の信号電圧 ($V_{s0} \sim V_{s1}$) が印加され、画素 P_1 の画素電圧 V_{10} は、 $(V_{s0} - \Delta V_{g0}) \sim (V_{s1} - \Delta V_{g1})$ の間の電圧値となる。従って、走査期間 T_1 を通して画素 P_1 の TFT13 のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の

最大値 (V_{ds1}) は、 $|V_{s1} - V_{s0} + \Delta V_{g0}|$ となる。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。引き続き、非走査期間 T_2 では、画素 P_1 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds2}) は、 $|V_{hp} - V_{s0} + \Delta V_{g0}|$ となる。 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合、 $V_{ds1} = 5 + \Delta V_{g0}$ 、 $V_{ds2} = 2.5V + (\Delta V_{g0} - \Delta V_{gp})$ となり、 V_{ds2} は、 V_{ds1} の約2分の1に低下している。非導通状態の TFT_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} とソース及びドレインの何れか低い方の電圧との差であるので、 $(V_{gn} - V_{s0})$ 、または、 $(V_{gn} - V_{s0} + \Delta V_{g0})$ が、バイアス電圧 V_{ds} が最大時の負ゲートバイアス値となり、走査期間 T_1 と非走査期間 T_2 を通して大きな差はない。よって、非走査期間 T_2 時の TFT_{13} のリーク電流は、バイアス電圧 V_{ds} の最大値の低下に応じて、それ以上に低下するため、電圧変動 ΔV_1 の増加は、非走査期間 T_2 において緩和される。

[0054] 次の垂直期間 T_v2 の走査期間 T_1 では、奇数番目のソース線 SL_1 、 SL_{m+1} には、負極性の信号電圧 ($-V_{s1} \sim -V_{s0}$) が印加され、画素 P_1 の画素電圧 V_{10} は、 $(-V_{s1} - \Delta V_{g3}) \sim (-V_{s0} - \Delta V_{g2})$ の間の電圧値となる。従って、走査期間 T_1 を通して画素 P_1 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds1}) は、 $|V_{s1} - V_{s0} + \Delta V_{g3}|$ となる。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。引き続き、非走査期間 T_2 では、画素 P_1 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds2}) は、 $|V_{hn} + V_{s1} + \Delta V_{g3}|$ となる。 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合、 $V_{ds1} = 5 + \Delta V_{g3}$ 、 $V_{ds2} = 2.5V + (\Delta V_{g3} - \Delta V_{gn})$ となり、 V_{ds2} は、 V_{ds1} の約2分の1に低下している。非導通状態の TFT_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} と

ソース及びドレインの何れか低い方の電圧との差であるので、 $(V_{gn} + V_{s1})$ 、または、 $(V_{gn} + V_{s1} + \Delta V_{g3})$ が、バイアス電圧 V_{ds} が最大時の負ゲートバイアス値となり、走査期間 T_1 と非走査期間 T_2 を通して大きな差はない。よって、非走査期間 T_2 時の TFT_{13} のリーク電流は、バイアス電圧 V_{ds} の最大値の低下に応じて、それ以上に低下するため、電圧変動 ΔV_1 の増加は、非走査期間 T_2 において緩和される。但し、垂直期間 T_{v2} の負ゲートバイアス値の絶対値は、垂直期間 T_{v1} より小さいため、走査期間 T_1 と非走査期間 T_2 を通して TFT_{13} のリーク電流は、垂直期間 T_{v1} より小さくなり、電圧変動 ΔV_1 の増加は抑制される。

[0055] 次に、画素 P_2 では、画素電圧 V_{10} は、走査期間 T_1 の半分の時点の水平期間で更新されるので、更新後の走査期間 T_1 と非走査期間 T_2 を通して、電圧変動 ΔV_2 は連続的に増大する。垂直期間 T_{v1} の更新前の走査期間 T_1 では、奇数番目のソース線 SL_1, SL_{m+1} には、正極性の信号電圧 $(V_{s0} \sim V_{s1})$ が印加され、画素 P_1 の画素電圧 V_{10} は、直前の垂直期間で書き込まれた $(-V_{s1} - \Delta V_{g3}) \sim (-V_{s0} - \Delta V_{g2})$ の間の電圧値となる。従って、更新前の走査期間 T_1 では、画素 P_2 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds1}) は、 $|2V_{s1} + \Delta V_{g3}|$ となる。 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合、 $V_{ds1} = 10 + \Delta V_{g3}$ となり、画素 P_1 のバイアス電圧 V_{ds} の最大値 $(V_{ds1} = 5 + \Delta V_{g0})$ の約2倍となる。但し、非導通状態の TFT_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} とソース及びドレインの何れか低い方の電圧との差であるので、 $(V_{gn} - V_{s1} + \Delta V_{g3})$ となり、 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合では、画素 P_1 の走査期間 T_1 における負ゲートバイアス値より絶対値で約5V小さくなる。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。画素 P_2 の更新時点で、電圧変動は一旦0Vにリセットされる。引き続き、画素 P_2 の更新後の走査期間 T_1 と非走査期間 T_2 では、ワーストケースでは、上記画素 P_1 と同様のソース・

ドレイン間のバイアス電圧 V_{ds} と負ゲートバイアスとなるので、電圧変動 ΔV_1 の開始時点は異なるが、上記画素 P_1 と同様の変化となる。

[0056] 次の垂直期間 T_v2 でも、垂直期間 T_v1 と同様に、画素 P_2 の画素電圧 V_{10} は、走査期間 T_1 の半分の時点の水平期間で更新される。垂直期間 T_v2 の更新前の走査期間 T_1 では、奇数番目のソース線 SL_1, SL_{m+1} には、負極性の信号電圧($-V_{s1} \sim -V_{s0}$)が印加され、画素 P_1 の画素電圧 V_{10} は、直前の垂直期間で書き込まれた($V_{s0} - \Delta V_{g0}$) $\sim$ ($V_{s1} - \Delta V_{g1}$)の間の電圧値となる。従って、更新前の走査期間 T_1 では、画素 P_2 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値(V_{ds1})は、 $|2V_{s1} - \Delta V_{g1}|$ となる。 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合、 $V_{ds1} = 10 - \Delta V_{g1}$ となり、画素 P_1 のバイアス電圧 V_{ds} の最大値($V_{ds1} = 5 + \Delta V_{g3}$)の約2倍となる。但し、非導通状態の TFT_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} とソース及びドレインの何れか低い方の電圧との差であるので、($V_{gn} + V_{s1}$)となり、 $V_{s1} = 5V$ 、 $V_{s0} = 0V$ の場合では、画素 P_1 の走査期間 T_1 における負ゲートバイアス値と略同じ値である。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。画素 P_2 の更新時点で、電圧変動 ΔV_2 は一旦 $0V$ にリセットされる。引き続き、画素 P_2 の更新後の走査期間 T_1 と非走査期間 T_2 では、ワーストケースでは、上記画素 P_1 と同様のソース・ドレイン間のバイアス電圧 V_{ds} と負ゲートバイアスとなるので、電圧変動 ΔV_2 の開始時点は電圧変動 ΔV_1 より遅れるが、上記画素 P_1 と同様の変化となる。

[0057] 次に、画素 P_3 では、画素電圧 V_{10} は、走査期間 T_1 の最後の水平期間で更新されるので、走査期間 T_1 では、直前の垂直期間の非走査期間 T_2 から連続して電圧変動 ΔV_3 が増大し、走査期間 T_1 の最後の水平期間の更新時に一旦 $0V$ にリセットされ、更新後の非走査期間 T_2 と、次の垂直期間の走査期間 T_1 を通して、電圧変動 ΔV_3 が連続的に増大する。垂直期間 T_v

1の走査期間 T_1 では、奇数番目のソース線 SL_1, SL_{m+1} には、正極性の信号電圧($V_{s0} \sim V_{s1}$)が印加され、画素 P_1 の画素電圧 V_{10} は、直前の垂直期間で書き込まれた($-V_{s1} - \Delta V_{g3}$) $\sim$ ($-V_{s0} - \Delta V_{g2}$)の間の電圧値となる。従って、走査期間 T_1 では、画素 P_2 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値(V_{ds1})は、 $|2V_{s1} + \Delta V_{g3}|$ となる。 $V_{S1} = 5V$ 、 $V_{S0} = 0V$ の場合、 $V_{ds1} = 10 + \Delta V_{g3}$ となり、画素 P_1 のバイアス電圧 V_{ds} の最大値($V_{ds1} = 5 + \Delta V_{g0}$)の約2倍となる。但し、非導通状態の TFT_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} とソース及びドレインの何れか低い方の電圧との差であるので、($V_{gn} - V_{s1} + \Delta V_{g3}$)となり、 $V_{S1} = 5V$ 、 $V_{S0} = 0V$ の場合では、画素 P_1 の走査期間 T_1 における負ゲートバイアス値より絶対値で約5V小さくなる。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。画素 P_3 の更新時点で、電圧変動は一旦0Vにリセットされる。引き続き、非走査期間 T_2 では、ワーストケースでは、上記画素 P_1 及び P_2 と同様のソース・ドレイン間のバイアス電圧 V_{ds} と負ゲートバイアスとなるので、上記画素 P_1 及び P_2 と同様の变化となる。

[0058] 次の垂直期間 T_v2 でも、垂直期間 T_v1 と同様に、画素 P_3 の画素電圧 V_{10} は、走査期間 T_1 の最後の水平期間で更新される。垂直期間 T_v2 の走査期間 T_1 では、奇数番目のソース線 SL_1, SL_{m+1} には、負極性の信号電圧($-V_{s1} \sim -V_{s0}$)が印加され、画素 P_3 の画素電圧 V_{10} は、直前の垂直期間で書き込まれた($V_{s0} - \Delta V_{g0}$) $\sim$ ($V_{s1} - \Delta V_{g1}$)の間の電圧値となる。従って、走査期間 T_1 では、画素 P_3 の TFT_{13} のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値(V_{ds1})は、 $|2V_{s1} - \Delta V_{g1}|$ となる。 $V_{S1} = 5V$ 、 $V_{S0} = 0V$ の場合、 $V_{ds1} = 10 - \Delta V_{g1}$ となり、画素 P_1 のバイアス電圧 V_{ds} の最大値($V_{ds1} = 5 + \Delta V_{g3}$)の約2倍となる。但し、非導通状態の TFT

T_{13} のゲートバイアス V_{gs} は、ゲートに印加されている第2走査電圧 V_{gn} とソース及びドレインの何れか低い方の電圧との差であるので、 $(V_{gn} + V_{s1})$ となり、 $V_{S1} = 5V$ 、 $V_{S0} = 0V$ の場合では、画素 $P1$ の走査期間 $T1$ における負ゲートバイアス値と略同じ値である。従って、ワーストケースでは、当該最大のバイアス電圧時のリーク電流で連続して電圧変動が発生する。画素 $P3$ の更新時点で、電圧変動 $\Delta V2$ は一旦 $0V$ にリセットされる。引き続き、非走査期間 $T2$ では、ワーストケースでは、上記画素 $P1$ 及び画素 $P2$ と同様のソース・ドレイン間のバイアス電圧 V_{ds} と負ゲートバイアスとなるので、上記画素 $P1$ 及び $P2$ と同様の変化となる。

[0059] 画素 $P2$ 及び画素 $P3$ の画素データ更新前の走査期間 $T1$ では、ソース・ドレイン間のバイアス電圧 V_{ds} の増加によるリーク電流の増大と負ゲートバイアスの低下によるリーク電流の減少が同時に発生するが、図7では、前者の影響の方が大きい場合を想定した。従って、当該想定の下では、図7に示すように、上記画素 $P1$ 、画素 $P2$ 、画素 $P3$ の電圧変動 $\Delta V1$ 、 $\Delta V2$ 、 $\Delta V3$ を比較すると、ワーストケースでは、画素 $P3$ の垂直期間 T_{v1} の走査期間 $T1$ における電圧変動 $\Delta V3$ が最も大きくなる。しかし、画素 $P3$ については、各垂直期間 T_{v1} 、 T_{v2} において、 $TFT13$ のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値(V_{ds1})は、非走査期間 $T2$ では、走査期間 $T1$ での4分の1に大幅に低減されるため、各垂直期間 T_{v1} 、 T_{v2} 内に非走査期間 $T2$ を設けることで、電圧変動 $\Delta V3$ を抑制することができる。この点は、他の画素 $P1$ 及び $P2$ についても同様である。参考のため、図8に、非走査期間 $T2$ を設けない場合(比較例1)の、上記画素 $P1$ 、画素 $P2$ 、画素 $P3$ の電圧変動 $\Delta V1$ 、 $\Delta V2$ 、 $\Delta V3$ の電圧波形を模式的に示す。また、比較の容易のために、図8に、図7の電圧変動 $\Delta V1$ 、 $\Delta V2$ 、 $\Delta V3$ の電圧波形を一点鎖線で示す。何れの電圧変動 ΔV も走査期間 $T1$ が長くなった分、大きくなっており、その結果、フリッカの視認性が高くなる。

[0060] 更に参考のため、図9に、非走査期間 $T2$ に各ソース線 SL に印加する電

圧を中間電圧 V_{hp} 、 V_{hn} に代えて、対向電圧 V_{com} ($=V_0 - \Delta V_g$)と同電圧を印加する場合（比較例2）の、上記画素P1、画素P2、画素P3間の電圧変動 ΔV (ΔV_1 , ΔV_2 , ΔV_3 : 絶対値)の電圧波形を模式的に示す。また、比較の容易のために、図9に、図7の電圧変動 ΔV_1 , ΔV_2 , ΔV_3 の電圧波形を一点鎖線で示す。この場合、非走査期間T2に上記各画素P1, P2, P3のTFT13のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds1})は、ワーストケースで、走査期間T1に画素P1のTFT13のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds1})と略同じになる。従って、図8に示す比較例1よりは、画素P3における電圧変動 ΔV_3 は若干抑制されるが、画素P1における電圧変動 ΔV_1 は比較例1の場合と同じである。従って、比較例2でも、何れの電圧変動 ΔV も非走査期間T2での電圧変動が増加した分、大きくなっており、その結果、図7に示す本実施形態よりフリッカの視認性が高くなる。

[0061] 以上の説明により、本実施形態の表示装置1では、図7に示すように、1垂直期間を走査期間T1と非走査期間T2に分割し、走査期間に書き込み動作を行い非走査期間に保持動作を行う際のソース線 SL_1 , SL_2 , …… , SL_{m+1} に印加するソース信号 Sc_1 , Sc_2 , …… , Sc_{m+1} の電圧極性を、ソース線 SL 毎に1垂直期間を通して一定に維持し、更に、非走査期間T2に印加する中間電圧を上記数2及び数3で求められる電圧値 V_{hp} , V_{hn} とすることで、各画素の画素電極10において1垂直期間を通して生じる電圧変動 ΔV を抑制することができ、効果的にフリッカを抑制できる。

[0062] 更に、本実施形態では、画素アレイとして図3に示す第1の画素アレイ構成のものを使用しているため、上述のドット反転駆動が実現される。フリッカの要因としては、上述のTFTのリーク電流に起因する画素電圧の電圧変動の他、各画素のフレーム反転駆動時において、画素電圧を更新する際の電圧変化が、負極性から正極性への極性反転時と、正極性から負極性への極性

反転時で異なる非対称性があり、ドット反転駆動の場合、当該非対称性による電圧変化の違いが、画素アレイの全体に均等に分散され、フリッカが視認され難くなるという利点がある。

[0063] 更に、本実施形態では、図2に示すように、各画素に補助容量素子を設けていないため、TFT13の電流駆動能力から見た画素電極10の負荷容量を軽減できるため、アモルファスシリコンTFT等の電流駆動能力の低いTFTを使用する場合においても、1水平期間を短縮できるため、走査期間T1を、通常の60Hzのリフレッシュレートで決まる1垂直期間（約16.67ミリ秒）の半分以下にすることが可能となる。従って、使用するTFTの電流駆動能力及び画素電極10の寄生容量に応じて、走査期間T1を更に短縮することが好ましい。特に、画素電極10の寄生容量が減少した分、同じTFT13のリーク電流に対して画素電極10での単位時間当たりの電圧変動 ΔV が増加するため、1垂直期間内の走査期間T1の比率を小さくするのが好ましい。例えば、補助容量素子の電気容量が、単位液晶表示素子12の電気容量と同じであると仮定すると、補助容量素子が無い分、TFT13の電流駆動能力は相対的に2倍となるので、走査期間T1を従来の1垂直期間の2分の1より更に短くする（例えば、4分の1以下にする）ことで、1垂直期間を通して生じる電圧変動 ΔV を、補助容量素子が有る画素より低減でき、しかも上述のように開口率の向上も合わせて実現できる。

[0064] 更に、背景技術の欄で説明したように、液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配されているが、これは、図7を見れば明らかなように、各ゲート線GLは、1垂直期間内に夫々1回しかパルス駆動されないが、各ソース線SLは、1垂直期間内にゲート線GLの本数と同数回駆動されることに由来する。第1の画素アレイ構成では、白黒の縦縞模様或いは横縞模様を書き込む場合に、各ソース線SLを1水平期間毎に信号電圧を最大値と最小値間で変化させる必要が生じ、ソース線駆動に伴う消費電力のワーストケースとなり、数1で示す関係式のようなになる。尚、図4に示す第2の画素アレイ構成では、白黒

の市松模様或いは白黒の横縞模様を書き込む場合に、各ソース線 S_L を 1 水平期間毎に信号電圧を最大値と最小値間で変化させる必要が生じ、ソース線駆動に伴う消費電力のワーストケースとなる。

[0065] 図 7 に示す例では、1 垂直期間（リフレッシュ間隔）に非走査期間 T_2 が存在するが、非走査期間 T_2 の有無によって各ソース線 S_L の駆動回数は変わらないので、同じ 1 垂直期間内に非走査期間 T_2 を設け、走査期間 T_1 を短縮したことにより、ソース線駆動のための消費電力が増加することはない。ここで、数 1 に示すソースドライバの駆動電圧 V は、図 7 に示す例では、1 つの走査期間 T_1 における各ソース線 S_L に印加される電圧振幅（ $V_{s1} - V_{s0}$ ）である。これに対して、図 4 に示す第 2 の画素アレイ構成を使用し、第 1 の画素アレイ構成と同様のドット反転駆動を実現しようとする、図 10 に示すように、1 水平期間毎にソース線 S_L に印加する信号電圧の極性を反転させる必要が生じ、上記駆動電圧 V は、 $2V_{s1}$ となり、 $V_{s0} = 0V$ とした場合には、図 7 に示す本実施形態の 2 倍となり、ソース線駆動のための消費電力は 4 倍に増加する。更に、非走査期間 T_2 に各ソース線 S_L に印加する電圧も、上述の中間電圧 V_{hp} , V_{hn} ではなく、対向電極 11 に印加する対向電圧 V_{com} と同電圧となり、上述の比較例 2 と同様に、非走査期間 T_2 における画素電圧 V_{10} の電圧変動 ΔV の抑制効果も低下する。

[0066] 第 2 の画素アレイ構成において、ドット反転駆動を実現し、且つ、斯かる消費電力の増加を抑制するには、ソース線 S_L に印加する信号電圧の電圧振幅を、本実施形態の場合と同様に（ $V_{s1} - V_{s0}$ ）に抑えることができれば良い。そこで、当該対策として、対向電極 11 に印加する対向電圧 V_{com} を固定電圧とせず、1 水平期間毎に、ソース線 S_L に印加する信号電圧と同じ電圧振幅で駆動する「対向 AC 駆動」の利用が考えられる。但し、この対向 AC 駆動の場合、補助容量素子を備える画素では、補助容量素子の一端に接続する補助容量線に対向電極と同様に駆動する必要がある、その駆動周期はソース線 S_L の駆動周期を同じであるため、対向電極及び補助容量線の

駆動に要する消費電力も無視できなくなり、表示装置の低消費電力化が阻害される。本実施形態では、複数の垂直期間を通して対向電圧 V_{com} を固定電圧としても、1 垂直期間を通じて 1 本のソース線に印加する信号電圧及び中間電圧の極性を正負何れか一方の極性に統一するため、ソース線に印加する電圧振幅を抑制することが可能となり、「対向 AC 駆動」に伴う問題を回避するとともに、上述の低消費電力化を図ることができる。

[0067] 更に、本実施形態では、画素アレイに表示される画像の属性に応じて、1 垂直期間、走査期間及び非走査期間の各長さが適正に設定されるため、高い表示品位を維持しつつ、低消費電力化を図ることができる。具体的には、1 垂直期間の長さは、通常の 60 Hz のリフレッシュレートの逆数で定まる 60 分の 1 秒（約 16.67 ミリ秒）に固定されるのではなく、静止画、動きの遅い動画等に対しては、タイミング制御情報 D_t に基づいて、1 垂直期間を長く設定できるため、低消費電力化を図ることができる。この場合の重要な点は、1 垂直期間を長く設定する際に、走査期間 T_1 を長くするのではなく、 TFT_13 のリーク電流の抑制されている非走査期間 T_2 を長くすることで、表示品位を維持したまま、ソース線駆動に伴う消費電力を抑えて、更なる低消費電力化を図ることができることである。従来の低周波間欠駆動との相違点は、非走査期間 T_2 におけるソース線 SL を中間電圧 V_{hp} , V_{hn} に駆動することで、非走査期間 T_2 を長くしても TFT_13 のリーク電流による画素電圧 V_{10} の電圧変動を十分に抑制できる点である。更に、1 垂直期間の長さは、動きの速い動画や高速描画の必要な動画（例えば、 $3D$ 動画）等に対しては、タイミング制御情報 D_t に基づいて、1 垂直期間を短く設定でき、高速描画に対応できる。

[0068] 以上より、図 7 に示す駆動方法と図 3 に示す第 1 の画素アレイ構成を組み合わせることで、低消費電力で、且つ、フリッカ視認性の低い、つまり、高表示品位でフルカラー静止画表示可能な液晶表示装置が、簡単な構成で実現できる。更に、各画素に補助容量素子を設けないことで、開口率の向上が図れ、更に表示品位の向上が図れる。尚、本実施形態では、各画素に補助容量

素子を設けない場合を例に説明したが、各画素に補助容量素子を設けた場合でも、図 7 に示す駆動方法と図 3 に示す第 1 の画素アレイ構成を組み合わせることの効果は十分に発揮される。

[0069] 次に、図 7 に示す駆動方法を図 4 に示す第 2 の画素アレイ構成の画素アレイの表示装置に適用した場合の別実施形態について説明する。図 7 に示す駆動方法で図 4 に示す第 2 の画素アレイ構成の画素アレイのゲート線 GL_1 , GL_2 , …… , GL_n とソース線 SL_1 , SL_2 , …… , SL_m を駆動した場合にも、第 1 の画素アレイ構成と同様の画素電圧 V_{10} の電圧変動を抑制できる。ソース線 SL_{m+1} は存在しないので当該ソース線 SL_{m+1} の駆動が不要な点以外は、図 7 に示す駆動方法でゲート線 GL 、ソース線 SL 、対向電極 11 の駆動が可能となり、ワーストケース同士の比較では、上記画素 P_1 、画素 P_2 、画素 P_3 の画素電圧 V_{10} の電圧変動 ΔV_1 , ΔV_2 , ΔV_3 も、第 1 の画素アレイ構成と同じである。従って、ソース線 SL の駆動に伴う消費電力も、ソース線 SL_{m+1} の 1 本分が低減されるが略同じである。しかし、第 2 の画素アレイ構成では、画素アレイの駆動はドット反転駆動とはならず、カラム反転駆動となる。つまり、同一フレーム（同じ垂直期間内）において、対向電極の電位を基準とする画素電圧の極性が、列方向に隣接する画素間では反転せず、行方向に隣接する画素間で互いに反転して画素電圧が書き込まれる。従って、図 7 に示す駆動方法と図 4 に示す第 2 の画素アレイ構成を組み合わせた場合においても、第 1 の画素アレイ構成と同様の TFT_{13} のリーク電流に伴う画素電圧 V_{10} の電圧変動抑制効果と低消費電力化が可能となり、フリッカ視認性の低減による表示品位の向上が図れる。しかし、上述の通り、ドット反転駆動とはならないため、その分フリッカ視認性の低減には不利となる。

[0070] [別実施形態]

以下に、その他の別実施形態につき説明する。

[0071] 〈1〉 上記実施形態では、ソースドライバ 4 が非走査期間 T_2 において各ソース線 SL に中間電圧 V_{hp} , V_{hn} の印加する場合を説明したが、ソー

スドライバ4を走査期間 T_1 におけるソース信号 S_{c1} , S_{c2} , …… S_{cm} , S_{cm+1} (第1の画素アレイ構成の場合)の印加に特化し、各ソース線 S_L に中間電圧 V_{hp} , V_{hn} を印加するための中間電圧駆動回路を別途設け、非走査期間 T_2 における中間電圧 V_{hp} , V_{hn} の印加を、当該中間電圧駆動回路により実行する構成としても良い。この場合、ソースドライバ4と当該中間電圧駆動回路の組み合わせがデータ信号線駆動回路に相当する。当該中間電圧駆動回路は、非走査期間 T_2 に各ソース線 S_L と接続し、各ソース線 S_L を奇数番目と偶数番目の2通りに区分して、一方に中間電圧 V_{hp} 、他方に中間電圧 V_{hn} の2種類の電圧を印加するだけの簡単な回路である。当該中間電圧駆動回路は、一例として、図11に示すように、各ソース線に1つずつ設けたトランジスタ素子20と、トランジスタ素子20を介して奇数番目のソース線 S_L に接続する第1共通ソース線21とトランジスタ素子20を介して偶数番目のソース線 S_L に接続する第2共通ソース線22の夫々を中間電圧 V_{hp} , V_{hn} の何れか一方を選択して駆動するセレクタ23, 24と、中間電圧 V_{hp} , V_{hn} を発生する中間電圧発生回路25で実現できる。トランジスタ素子20は、非走査期間 T_2 に導通し、走査期間 T_1 に非導通となるように制御される。また、第1共通ソース線21に中間電圧 V_{hp} が印加されている場合は、第2共通ソース線22には中間電圧 V_{hn} が印加され、逆に、第1共通ソース線21に中間電圧 V_{hn} が印加されている場合は、第2共通ソース線22には中間電圧 V_{hp} が印加される。ソースドライバ4と中間電圧駆動回路は、液晶パネル2を挟んで列方向の両側に夫々配置することができる。

[0072] 例えば、カラー表示用の液晶パネルにおいて、RGBの各画素を行方向に隣接させて配置する場合、行方向の画素の配置間隔が狭くなり、ソース線 S_L の配線ピッチも狭くなる。斯かる場合に、RGBのソース線駆動を時分割で行う場合もあるが、上記実施形態における非走査期間 T_2 での各ソース線 S_L への中間電圧 V_{hp} , V_{hn} の印加は、時分割で行うと、非走査期間 T_2 の内の3分の2の間、ソース線 S_L がフローティング状態となり、特に、

非走査期間 T_2 を長くして低周波間欠駆動を行う場合に、フローティング状態のソース線 S_L が電位変動する可能性があり好ましくない。よって、上記中間電圧駆動回路を設けると、走査期間 T_1 にソース線 S_L が時分割駆動される場合であっても、非走査期間 T_2 には、常時駆動可能となり、ソース線 S_L がフローティング状態となるのを回避できる。

[0073] 〈2〉 上記実施形態では、非走査期間 T_2 における各ソース線 S_L への中間電圧 V_{hp} , V_{hn} の印加は、ソース線 S_L を奇数番目と偶数番目の2グループに分類し、一方のグループのソース線 S_L に同じ中間電圧 V_{hp} を共通に印加すると同時に、他方のグループのソース線 S_L に同じ中間電圧 V_{hn} を共通に印加する場合について説明した。斯かる構成により中間電圧の印加機構を簡素化できる。しかし、斯かる共通の中間電圧 V_{hp} , V_{hn} (共通中間電圧) の印加に代えて、ソース線 S_L 毎に、直前の走査期間 T_1 において、対応するソース線 S_L に接続する行数 n と同数の各画素に書き込まれ、上述の引き込み電圧引き込み電圧 ΔV_g 分だけ低下した後の、画素電極 10 で実際に保持される画素電圧 V_{10} の最大値と最小値を、走査期間 T_1 に当該ソース線に実際に印加した信号電圧の最大値と最小値から算出し、その実際に保持されている画素電圧 V_{10} の最大値と最小値の平均値としてソース線別の中間電圧 (個別中間電圧) を求め、対応する各ソース線 S_L に印加するようにしても良い。また、個別中間電圧を、実際に保持されている画素電圧 V_{10} の最大値と最小値の平均値として求める代わりに、実際に保持されている行数 n と同数の画素電圧 V_{10} の平均値或いは中央値として導出しても良い。

[0074] 〈3〉 上記実施形態では、図7に示すように、走査期間 T_1 において、ゲート線 GL_1 , GL_2 , …… , GL_n に、ほぼ1水平期間ずつ順次1本ずつ、配列順に第1走査電圧 V_{gp} が印加されて選択される場合を説明した。走査期間 T_2 の間の各画素の TFT_13 のソース・ドレイン間に印加されるバイアス電圧 V_{ds} の最大値 (V_{ds1}) は、更新前後で異なり、更新前の方が大きいため、走査期間 T_1 の後の方で更新される画素ほど、画素電圧 V_1

0の電圧変動 ΔV が大きくなる。そこで、当該電圧変動 ΔV の行順位の依存性を緩和するために、ゲート線GLを駆動する順番を、1垂直期間の経過毎に変更するのも好ましい。例えば、1垂直期間毎に、各走査期間T1の先頭の水平期間で駆動するゲート線GLの行順位を1行または複数行ずつ加算または減算するようにする。

[0075] 〈4〉 上記実施形態では、各画素の画素電極10に発生する引き込み電圧 ΔV_g を補償するために、対向電極11に、所定の固定電位 V_0 （本実施形態では、接地電位0V）から平均的な引き込み電圧 ΔV_{ga} 分をオフセットさせた対極電圧 V_{com} （ $=V_0 - \Delta V_{ga}$ ）が印加した。しかし、引き込み電圧 ΔV_g の補償は、対極電圧 V_{com} をオフセットさせる方法以外に、走査期間T1において各ソース線SLに印加する信号電圧に対して、引き込み電圧 ΔV_g を加えた電圧を印加するようにしても良い。更には、補助容量素子を備えた画素の場合には、補助容量素子の一端を画素電極10に接続し、他端を行毎に行方向に延伸する補助容量線に接続し、選択行において、補助容量線を選択されたゲート線GLと逆位相で駆動し、補助容量素子を介して画素電極10の画素電圧 V_{10} に対して、引き込み電圧 ΔV_g と逆向きの突き上げ電圧を加えて、引き込み電圧 ΔV_g を相殺するようにしても良い。何れの補償方法においても、非走査期間T2において各ソース線SLに印加する中間電圧の導出方法は同じである。つまり、1つの非走査期間T2において同じソース線SLに接続する画素の画素電極10において保持され得る画素電圧 V_{10} の最大値及び最小値（実際に保持されている最大値及び最小値でも良い）の平均値として導出する点は変わらない。注意すべきは、当該中間電圧は、走査期間T1において或るソース線SLに印加した信号電圧の最大値及び最小値の平均値ではない点である。

[0076] 〈5〉 上記実施形態では、各画素内のTF-T13として、nチャネル型の多結晶シリコンTF-TまたはアモルファスシリコンTF-Tの使用を想定したが、逆導電型のPチャネル型の多結晶シリコンTF-Tを使用した構成とすることも可能である。Pチャネル型のTF-Tを使用する構成の表示装置におい

ては、各ゲート線GLに印加する第1走査電圧 V_{gp} と第2走査電圧 V_{gn} の極性を逆転させる等の調整が必要であるが、ソース線SLの駆動方法の基本は、上記実施形態と同じであり、同様の効果が得られる。

[0077] 〈6〉 上記実施形態では、ゲート線GL、ソース線SL、対向電極11に印加する電圧として具体的な数値を明示して説明したが、これらの電圧値は、使用する単位液晶表示素子12、TFT13の特性（透過率特性、電気容量、閾値電圧、等）に応じて、適宜変更可能である。

[0078] 〈7〉 上記実施形態では、各画素が、図2の等価回路に示すように、単位液晶表示素子12を備えて構成されたアクティブマトリクス型の液晶表示装置を例に説明したが、アクティブマトリクス型の表示装置としては、液晶表示装置に限定されるものではない。例えば、本発明によるデータ信号線駆動回路及び方法は、各画素が、図16の等価回路に示すように、OLED（Organic LED）素子14と、TFT13と、TFT13と逆導電性のTFT15と、補助容量素子16を備えた有機EL表示装置にも適用できる。ここで、TFT13は、ゲート（制御端子）がゲート線GLに、第1端子（ドレイン）が画素電極10に、第2端子（ソース）がソース線SLに夫々接続している。また、TFT15は、ゲート（制御端子）が画素電極10に、第1端子（ドレイン）がOLED素子14のアノードに、第2端子（ソース）が電源線Vddに夫々接続している。補助容量素子16は、一端が画素電極10に、他端が電源線Vddに夫々接続している。OLED素子14のカソードは、電源線Vddとは異なる電位の固定電位（例えば、接地電位）に接続している。尚、OLED素子14を駆動するためのTFT15は、TFT13と同じ導電性のものを、OLED素子14のカソードと上記固定電位（例えば、接地電位）の間に設けるようにしても良い。

[0079] 各画素が、図16の等価回路に示すように構成されている場合、図1に示す表示装置において、コモンドライバ6に接続する対向電極配線CMLは、電源線Vddに置き換えられる。

[0080] 更に、有機EL表示装置の場合は、液晶表示装置と異なり、極性反転駆動

（フレーム反転駆動、ドット反転駆動、カラム反転駆動、等）は必要としないため、図 7 に例示したフレーム反転駆動において、垂直期間 T_v1 と垂直期間 T_v2 において、ソース線 S_L に印加する信号電圧の極性を変化させずに、また、図 7 に例示したドット反転駆動またはカラム反転駆動において、奇数番目のソース線 S_{L1} , S_{Lm+1} に印加する信号電圧の極性と、偶数番目のソース線 S_{L2} , S_{Lm} に印加する信号電圧の極性を同じにする。具体的には、全てのソース線 S_L に印加する信号電圧を、全ての垂直期間 T_v の各走査期間 T_1 において、固定電位（接地電圧）を基準として正電圧とすれば良い。

符号の説明

- [0081]
- 1 : 表示装置
 - 2 : 液晶パネル
 - 3 : 表示制御回路
 - 4 : ソースドライバ
 - 5 : ゲートドライバ
 - 6 : コモンドライバ
 - 10 : 画素電極
 - 11 : 対向電極
 - 12 : 単位液晶表示素子（単位表示素子）
 - 13 : 薄膜トランジスタ素子（TFT）
 - 14 : OLED（Organic LED）素子（単位表示素子）
 - 15 : 薄膜トランジスタ素子（TFT）
 - 16 : 補助容量素子
 - 20 : トランジスタ素子
 - 21 : 第 1 共通ソース線
 - 22 : 第 2 共通ソース線
 - 23, 24 : セレクタ
 - 25 : 中間電圧発生回路

CML : 対向電極配線
Ct : タイミング信号
DA : デジタル画像信号
Dt : タイミング制御情報
Dv : データ信号
GL (GL 1, GL 2, …… , GL n) : ゲート線
Gtc : 走査側タイミング制御信号
Sec : 対向電圧制御信号
SL (SL 1, SL 2, …… , SL m+1) : ソース線
Stc : データ側タイミング制御信号
T1 : 走査期間
T2 : 非走査期間
Tv 1, Tv 2 : 垂直期間
V0 : 固定電位 (接地電位)
V10 : 画素電圧
Vcom : 対向電圧
Vdd : 電源線
Vgn : 第2走査電圧
Vgp : 第1走査電圧
Vhp, Vhn : 中間電圧 (共通中間電圧)
Vs0 : 信号電圧 (絶対値) の最小値
Vs1 : 信号電圧 (絶対値) の最大値

請求の範囲

[請求項1] アクティブマトリクス型画素アレイの複数のデータ信号線を各別に駆動するデータ信号線駆動回路であって、

 前記画素アレイを構成する各画素は、画素電極に保持される画素電圧に応じて異なる表示状態を呈する単位表示素子、及び、第1端子が前記画素電極と、第2端子が列方向に延伸する前記複数のデータ信号線の何れか一本と、前記第1及び第2端子間の導通非導通を制御する制御端子が行方向に延伸する複数の走査信号線の何れか一本と夫々電気的に接続する薄膜トランジスタ素子を備えてなり、

 前記画素アレイの全画素に画素データを書き込む1垂直期間内に設定された連続する1期間であって、前記複数の走査信号線を順次選択し、選択された前記走査信号線に接続する前記画素に前記画素データを夫々書き込む走査期間において、選択された前記走査信号線の順位に関係なく、同じ前記データ信号線には、所定の固定電位を基準として同じ極性の前記画素データに対応する信号電圧を印加し、

 前記1垂直期間内に設定された他の連続する1期間であって、前記複数の走査信号線を選択せず前記走査期間中に書き込まれた前記画素データを前記画素内に各別に保持する非走査期間において、前記データ信号線の夫々に、夫々の前記データ信号線に接続する複数の前記画素の前記画素電極に保持される各画素電圧の最大値と最小値の中間電圧を印加することを特徴とするデータ信号線駆動回路。

[請求項2] 前記単位表示素子が、前記画素電極と対向電極の間に液晶層を挟持してなる単位液晶表示素子であることを特徴とする請求項1に記載のデータ信号線駆動回路。

[請求項3] 前記走査期間に印加される前記信号電圧の極性が同じ前記データ信号線に対して、前記非走査期間において、当該極性に応じて定まる1つの共通中間電圧が印加され、

 前記共通中間電圧は、前記画素データの最大階調と最小階調に対応

する2つの前記画素電圧の平均値として与えられることを特徴とする請求項1または2に記載のデータ信号線駆動回路。

[請求項4] 前記走査期間において、隣接する2本の前記データ信号線の一方に、前記固定電位を基準として正極性の前記信号電圧を印加し、他方に、前記固定電位を基準として負極性の前記信号電圧を印加し、次の前記1垂直期間の前記走査期間において、前記信号電圧の極性を反転させることを特徴とする請求項1～3の何れか1項に記載のデータ信号線駆動回路。

[請求項5] 前記走査期間の長さが、前記1垂直期間の長さの半分以下であることを特徴とする請求項1～4の何れか1項に記載のデータ信号線駆動回路。

[請求項6] 前記1垂直期間内の前記走査期間の長さが、8.34ミリ秒より短いことを特徴とする請求項1～5の何れか1項に記載のデータ信号線駆動回路。

[請求項7] 画素電極に保持される画素電圧に応じて異なる表示状態を呈する単位表示素子、及び、第1端子が前記画素電極と、第2端子が列方向に延伸する複数のデータ信号線の何れか一本と、前記第1及び第2端子間の導通非導通を制御する制御端子が行方向に延伸する複数の走査信号線の何れか一本と夫々電氣的に接続する薄膜トランジスタ素子を備えてなる画素を前記行方向及び前記列方向に夫々複数配置してなる画素アレイと、

請求項1～6の何れか1項に記載のデータ信号線駆動回路と、

前記画素アレイの全画素に画素データを書き込む1垂直期間内に設定された、前記複数の走査信号線を順次選択し、選択された前記走査信号線に接続する前記画素に前記画素データを夫々書き込む走査期間において、選択された前記走査信号線に前記薄膜トランジスタ素子を導通状態とする第1走査電圧を印加し、選択されていない前記走査信号線に前記薄膜トランジスタ素子を非導通状態とする第2走査電圧を

印加し、前記 1 垂直期間内に設定された、前記複数の走査信号線を選択せず前記走査期間中に書き込まれた前記画素データを前記画素内に各別に保持する非走査期間において、全ての前記走査信号線に前記薄膜トランジスタ素子を非導通状態とする非走査電圧を印加する走査信号線駆動回路を備えることを特徴とする表示装置。

[請求項8] 前記単位表示素子が、前記画素電極と対向電極の間に液晶層を挟持してなる単位液晶表示素子であり、

連続する複数の垂直期間を通して、前記対向電極に前記固定電位を基準として所定の電圧範囲内に固定された対極電圧を供給する対向電極駆動回路を備えることを特徴とする請求項 7 に記載の表示装置。

[請求項9] 前記画素は、一端が前記画素電極と接続する補助容量素子を備えていないことを特徴とする請求項 8 に記載の表示装置。

[請求項10] 前記画素アレイに表示される画像の属性に応じたタイミング制御情報を受信し、前記走査期間と前記非走査期間の少なくとも何れか一方の長さを前記タイミング制御情報に基づいて設定し、設定後の前記走査期間と前記非走査期間に基づいて、前記データ信号線駆動回路と前記走査信号線駆動回路に対してタイミング制御を行う表示制御回路を備えることを特徴とする請求項 7 ～ 9 の何れか 1 項に記載の表示装置。

[請求項11] 前記画素アレイの行数と同数の前記走査信号線と、前記画素アレイの列数より 1 多い数の前記データ信号線を備え、

前記画素アレイの同一行に配置される前記画素は、前記薄膜トランジスタ素子の前記制御端子が当該行と同一行順位の前記走査信号線に接続し、

前記画素アレイの同一列に配置される奇数または偶数の何れか一方の行順位の前記画素は、前記薄膜トランジスタ素子の前記第 2 端子が当該列と同一列順位の前記データ信号線に接続し、

前記画素アレイの同一列に配置される奇数または偶数の何れか他方

の行順位の前記画素は、前記薄膜トランジスタ素子の前記第2端子が当該列と同一列順位より1大きい列順位の前記データ信号線に接続していることを特徴とする請求項7～10の何れか1項に記載の表示装置。

[請求項12] 前記画素アレイの行数と同数の前記走査信号線と、前記画素アレイの列数と同数の前記データ信号線を備え、

前記画素アレイの同一行に配置される前記画素は、前記薄膜トランジスタ素子の前記制御端子が当該行と同一行順位の前記走査信号線に接続し、

前記画素アレイの同一列に配置される前記画素は、前記薄膜トランジスタ素子の前記第2端子が当該列と同一列順位の前記データ信号線に接続していることを特徴とする請求項7～10の何れか1項に記載の表示装置。

[請求項13] アクティブマトリクス型画素アレイの複数のデータ信号線を各別に駆動するデータ信号線駆動方法であって、

前記画素アレイを構成する各画素は、画素電極に保持される画素電圧に応じて異なる表示状態を呈する単位表示素子、及び、第1端子が前記画素電極と、第2端子が列方向に延伸する前記複数のデータ信号線の何れか一本と、前記第1及び第2端子間の導通非導通を制御する制御端子が行方向に延伸する複数の走査信号線の何れか一本と夫々電気的に接続する薄膜トランジスタ素子を備えてなり、

前記画素アレイの全画素に画素データを書き込む1垂直期間内に設定された連続する1期間であって、前記複数の走査信号線を順次選択し、選択された前記走査信号線に接続する前記画素に前記画素データを夫々書き込む走査期間において、選択された前記走査信号線の順位に関係なく、同じ前記データ信号線には、所定の固定電位を基準として同じ極性の前記画素データに対応する信号電圧を印加し、

前記1垂直期間内に設定された他の連続する1期間であって、前記

複数の走査信号線を選択せず前記走査期間中に書き込まれた前記画素データを前記画素内に各別に保持する非走査期間において、前記データ信号線の夫々に、夫々の前記データ信号線に接続する複数の前記画素の前記画素電極に保持される各画素電圧の最大値と最小値の中間電圧を印加することを特徴とするデータ信号線駆動方法。

[請求項14] 前記単位表示素子が、前記画素電極と対向電極の間に液晶層を挟持してなる単位液晶表示素子であることを特徴とする請求項13に記載のデータ信号線駆動回路。

[請求項15] 前記走査期間に印加される前記信号電圧の極性が同じ前記データ信号線に対して、前記非走査期間において、当該極性に依拠して定まる1つの共通中間電圧が印加され、

前記共通中間電圧は、前記画素データの最大階調と最小階調に対応する2つの前記画素電圧の平均値として与えられることを特徴とする請求項13または14に記載のデータ信号線駆動方法。

[請求項16] 前記走査期間において、隣接する2本の前記データ信号線の一方に、前記固定電位を基準として正極性の前記信号電圧を印加し、他方に、前記固定電位を基準として負極性の前記信号電圧を印加し、次の前記1垂直期間の前記走査期間において、前記信号電圧の極性を反転させることを特徴とする請求項13～15の何れか1項に記載のデータ信号線駆動方法。

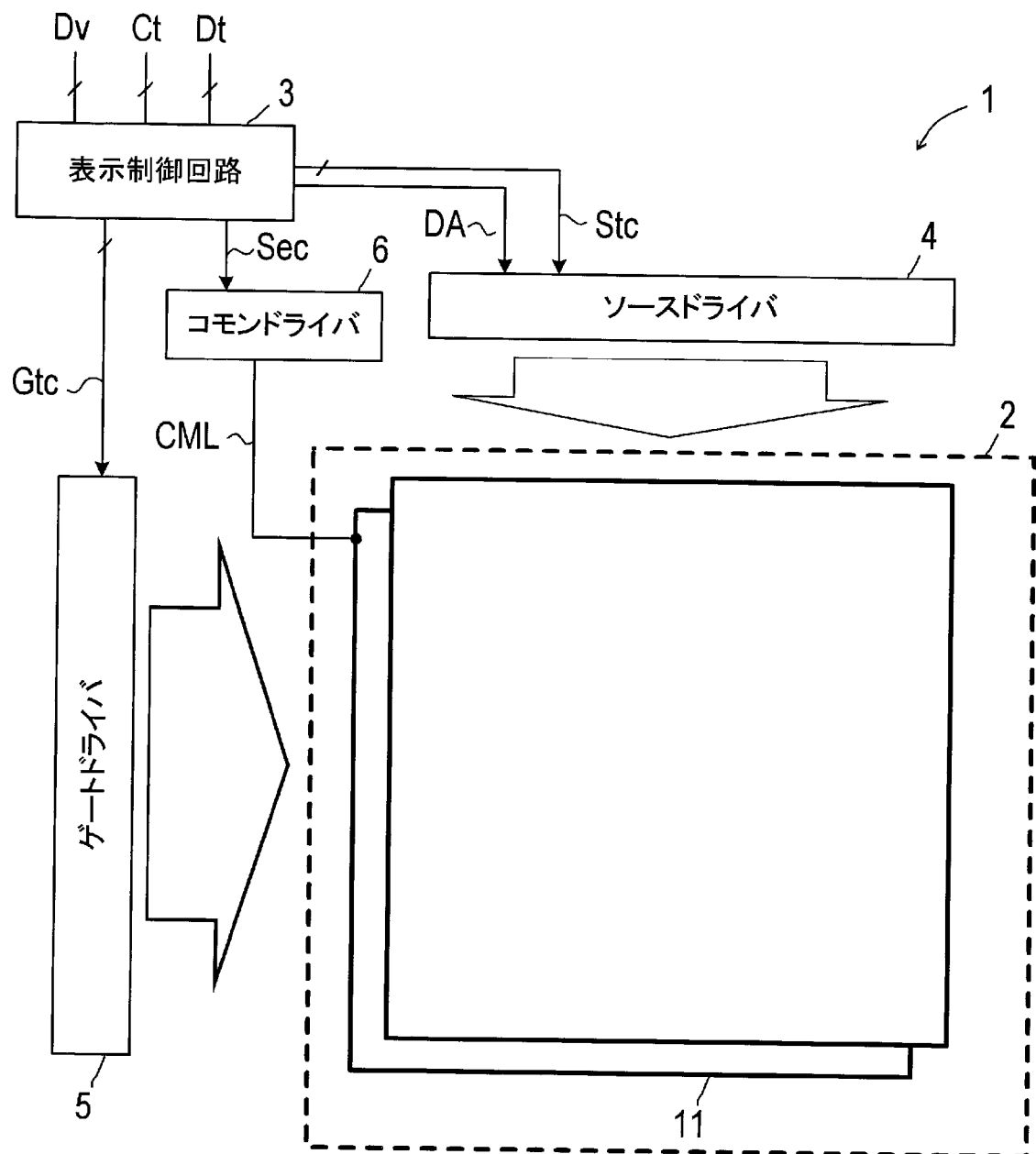
[請求項17] 前記走査期間の長さが、前記1垂直期間の長さの半分以下であることを特徴とする請求項13～16の何れか1項に記載のデータ信号線駆動方法。

[請求項18] 前記1垂直期間内の前記走査期間の長さが、8.34ミリ秒より短いことを特徴とする請求項13～17の何れか1項に記載のデータ信号線駆動方法。

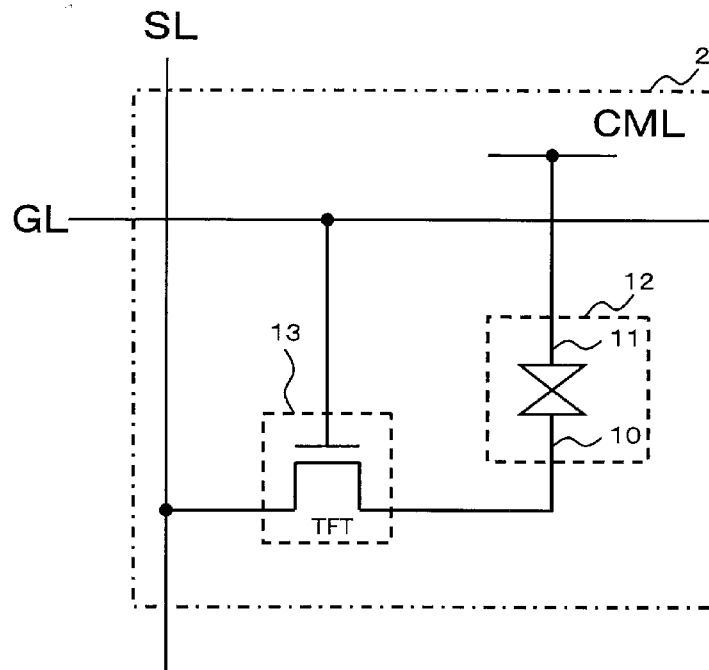
[請求項19] 前記画素アレイに表示される画像の属性に応じたタイミング制御情報を受信し、前記走査期間と前記非走査期間の少なくとも何れか一方

の長さを前記タイミング制御情報に基づいて設定することを特徴とする請求項 13～18 の何れか 1 項に記載のデータ信号線駆動方法。

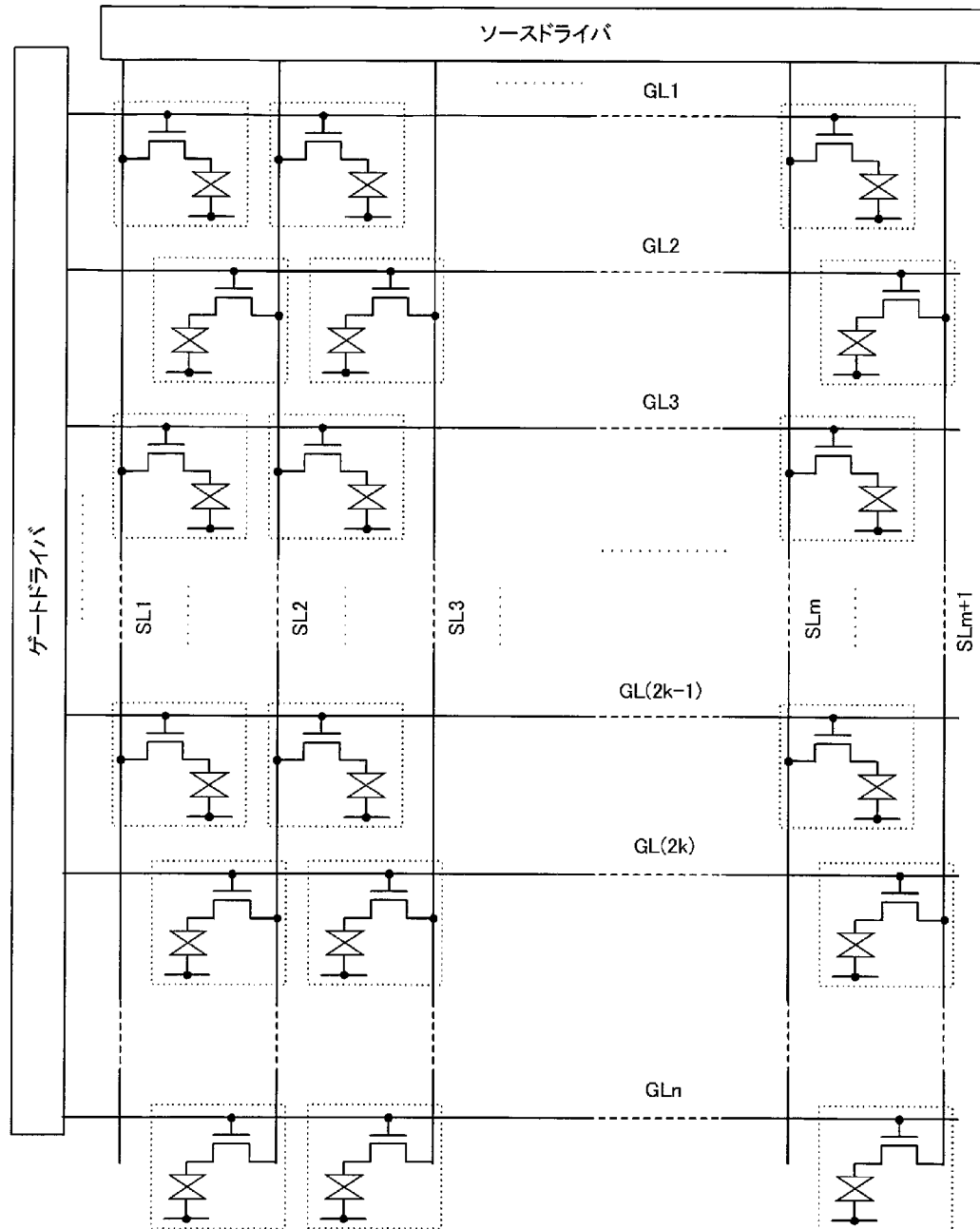
[図1]



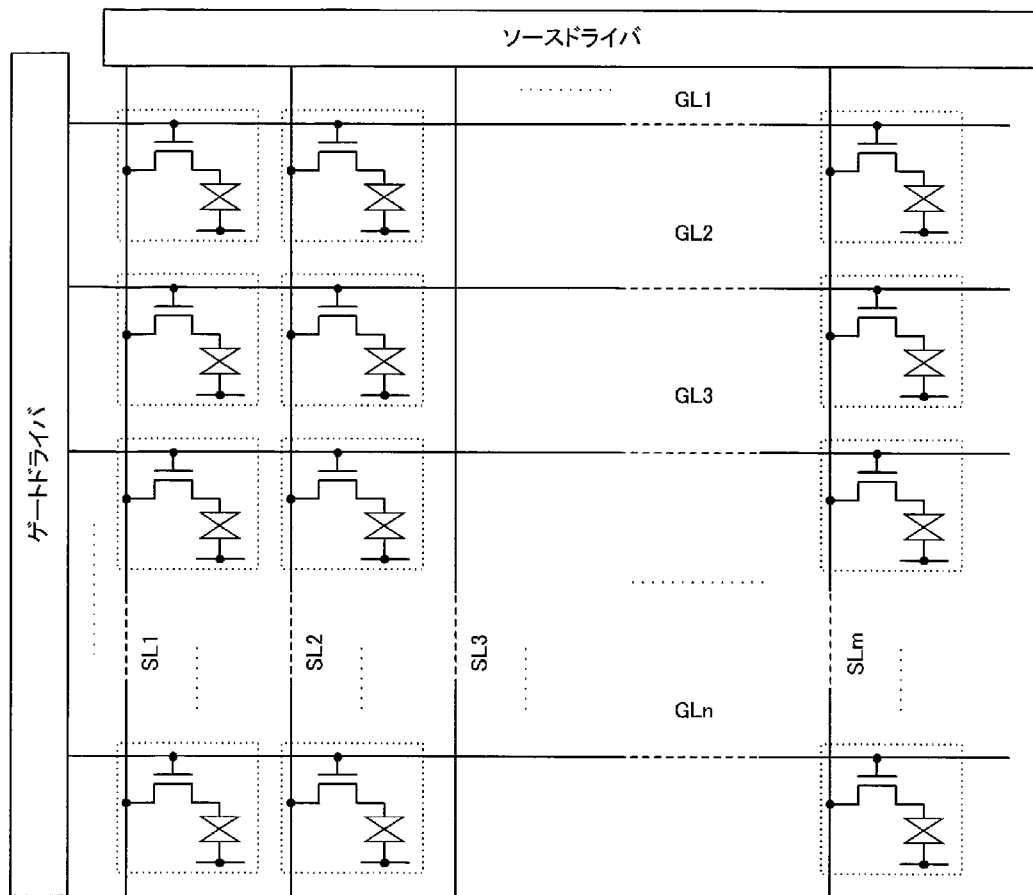
[図2]



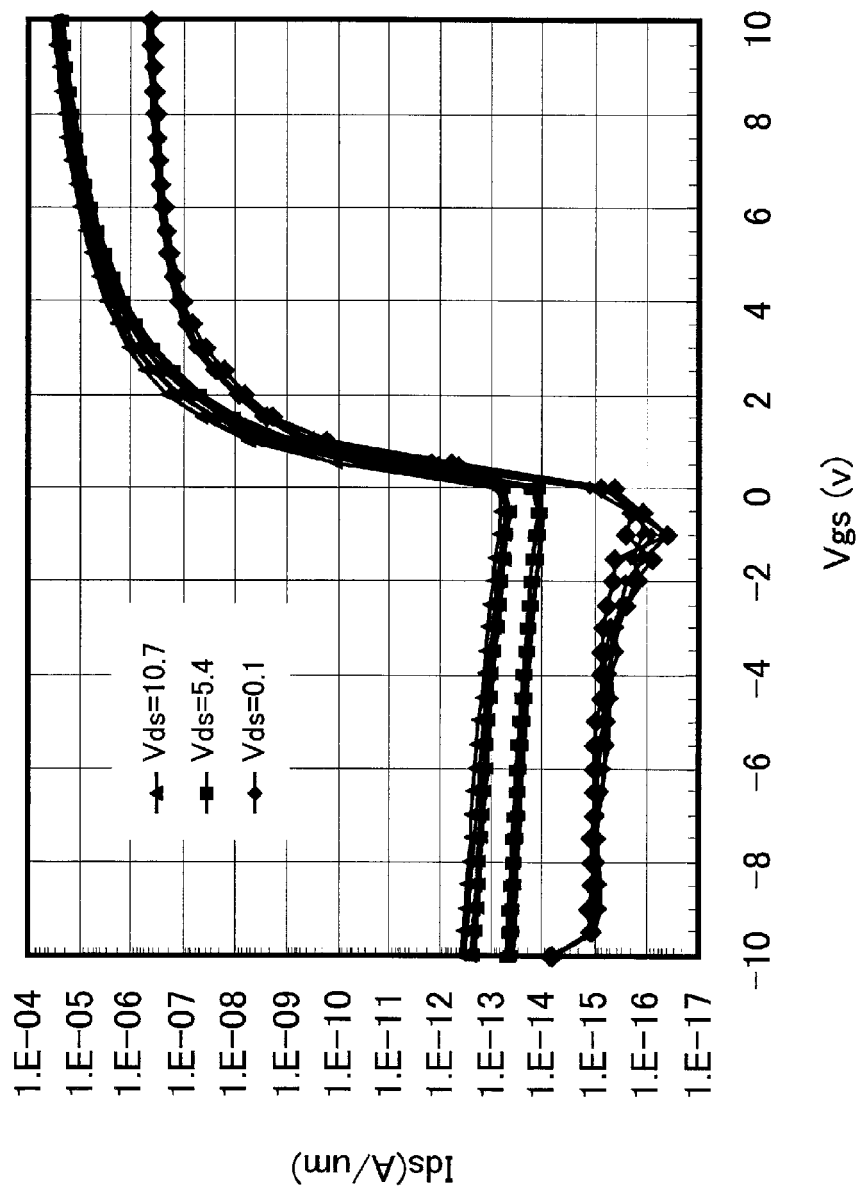
[図3]



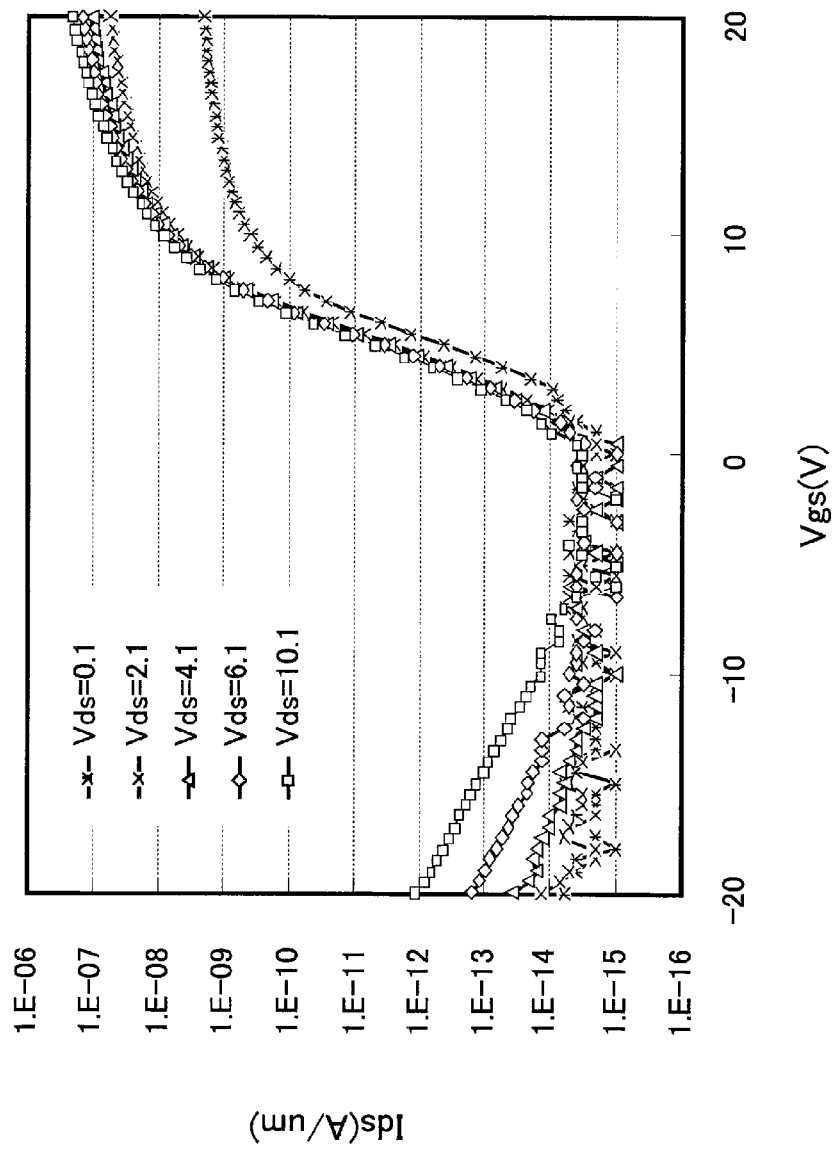
[図4]



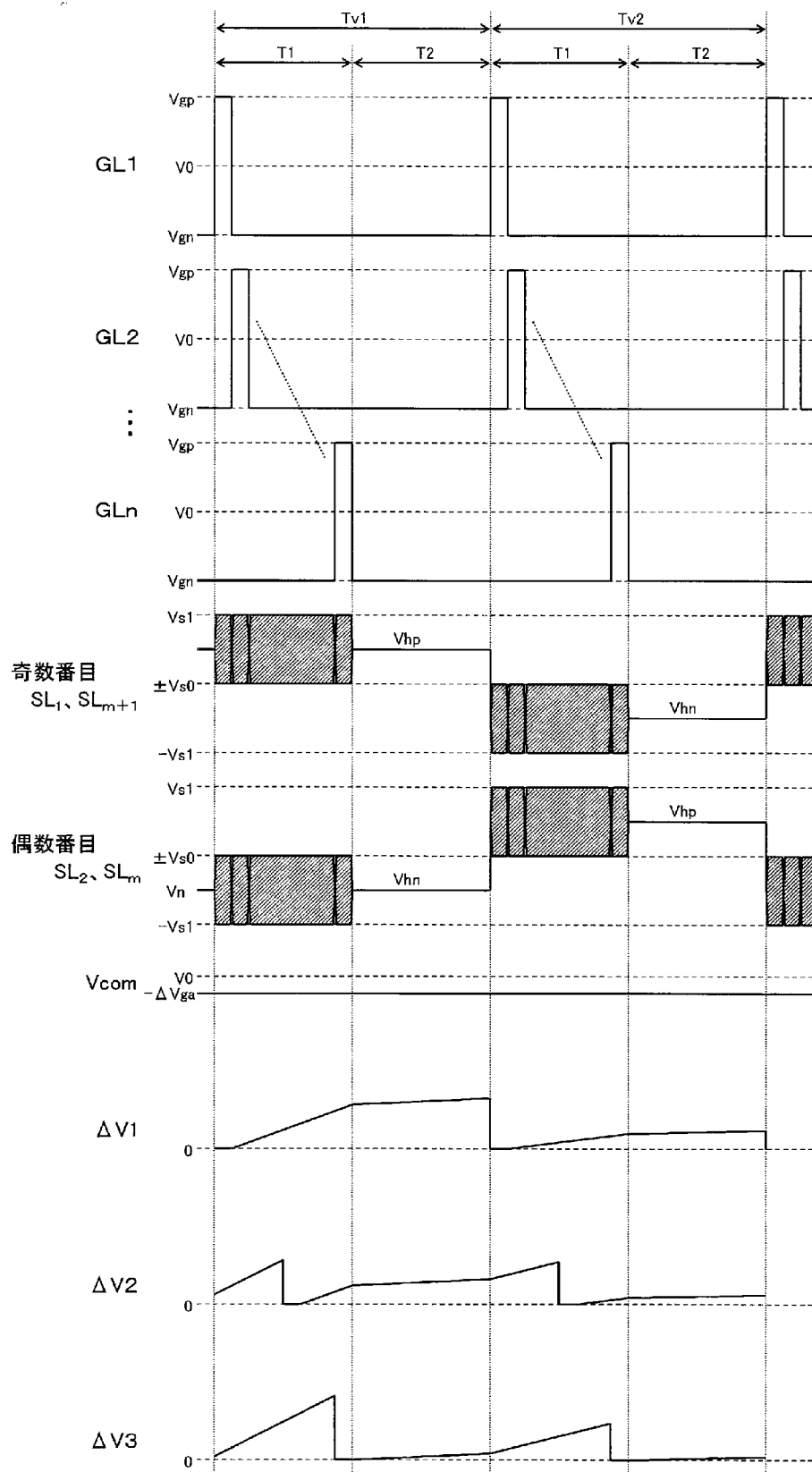
[図5]



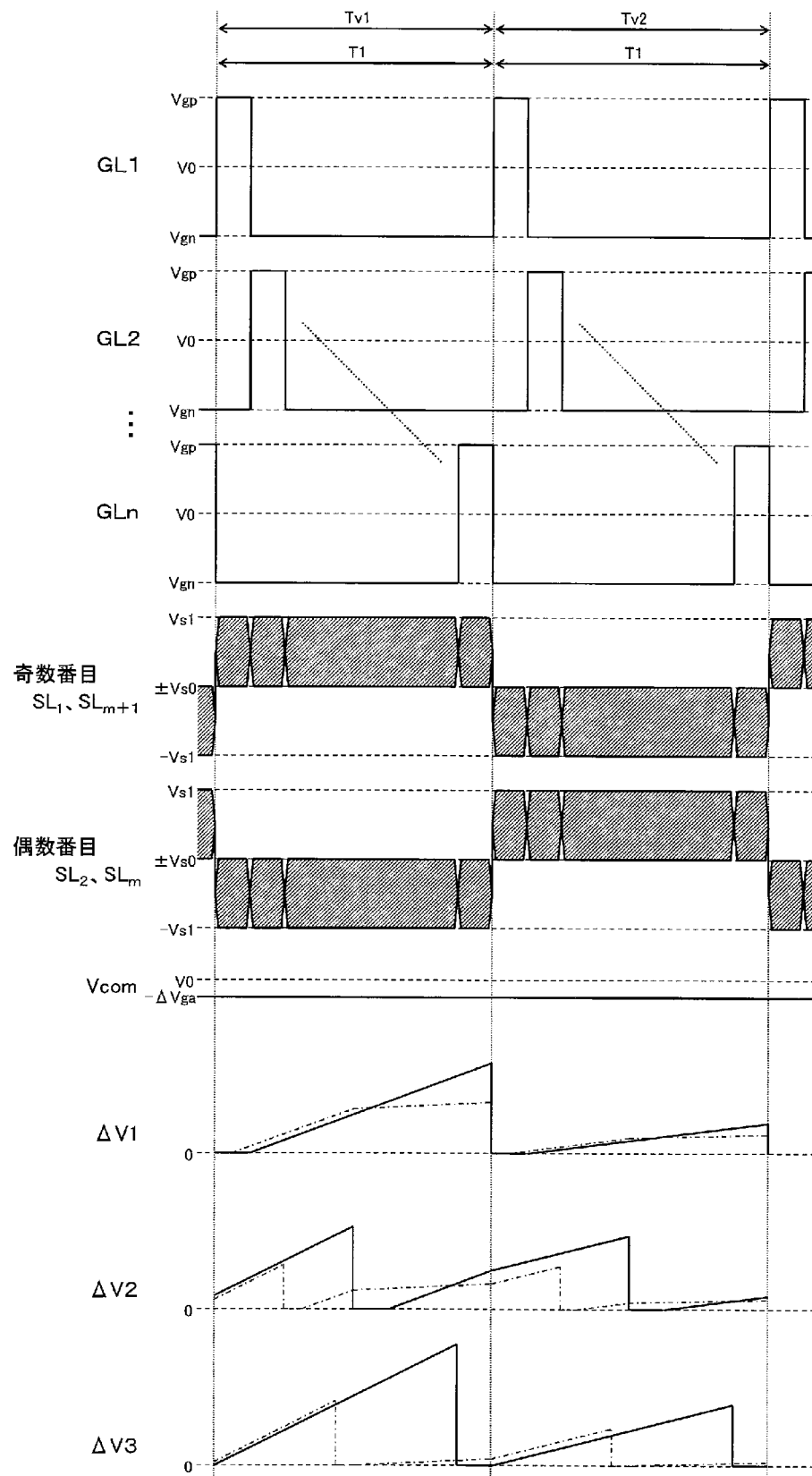
[図6]



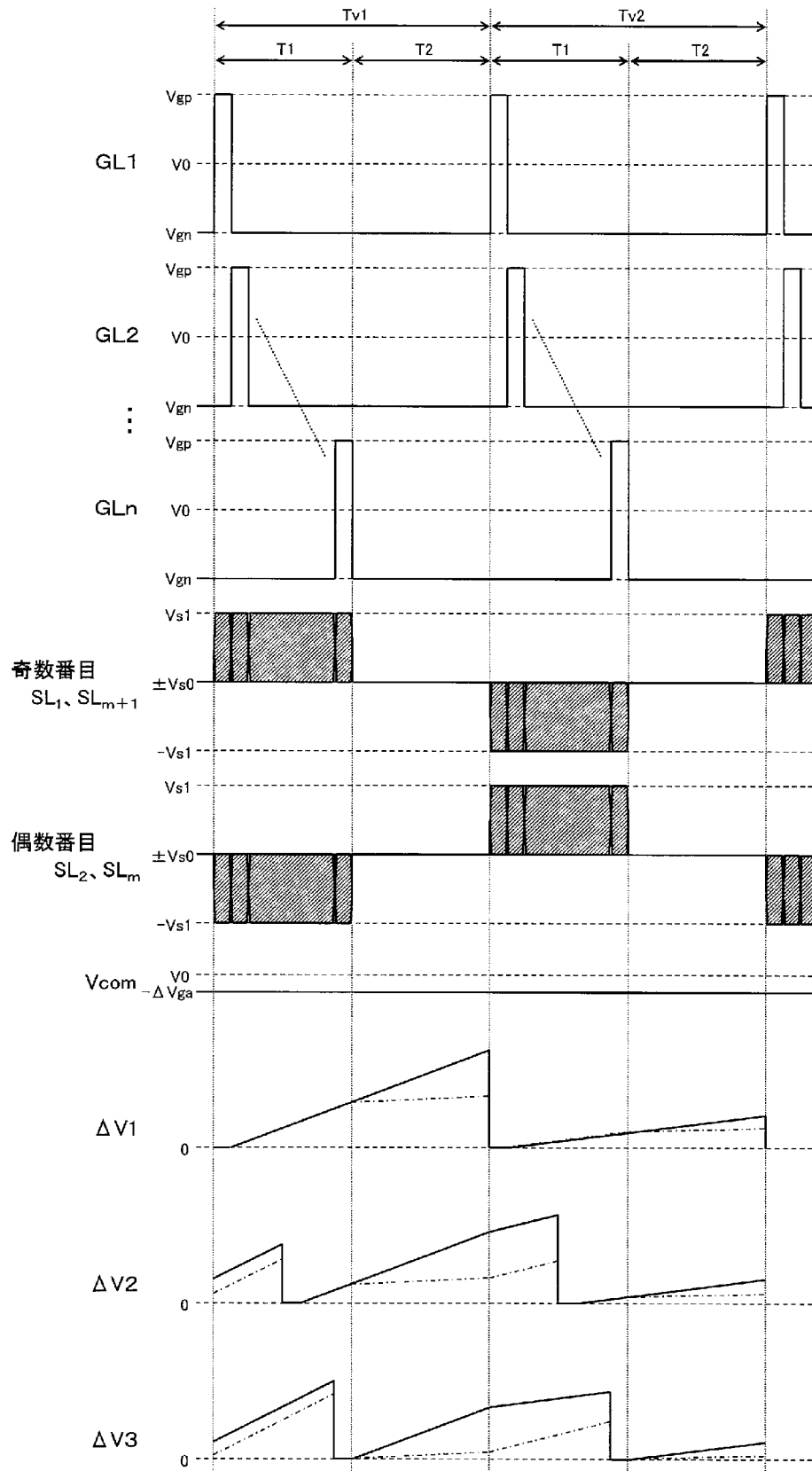
[図7]



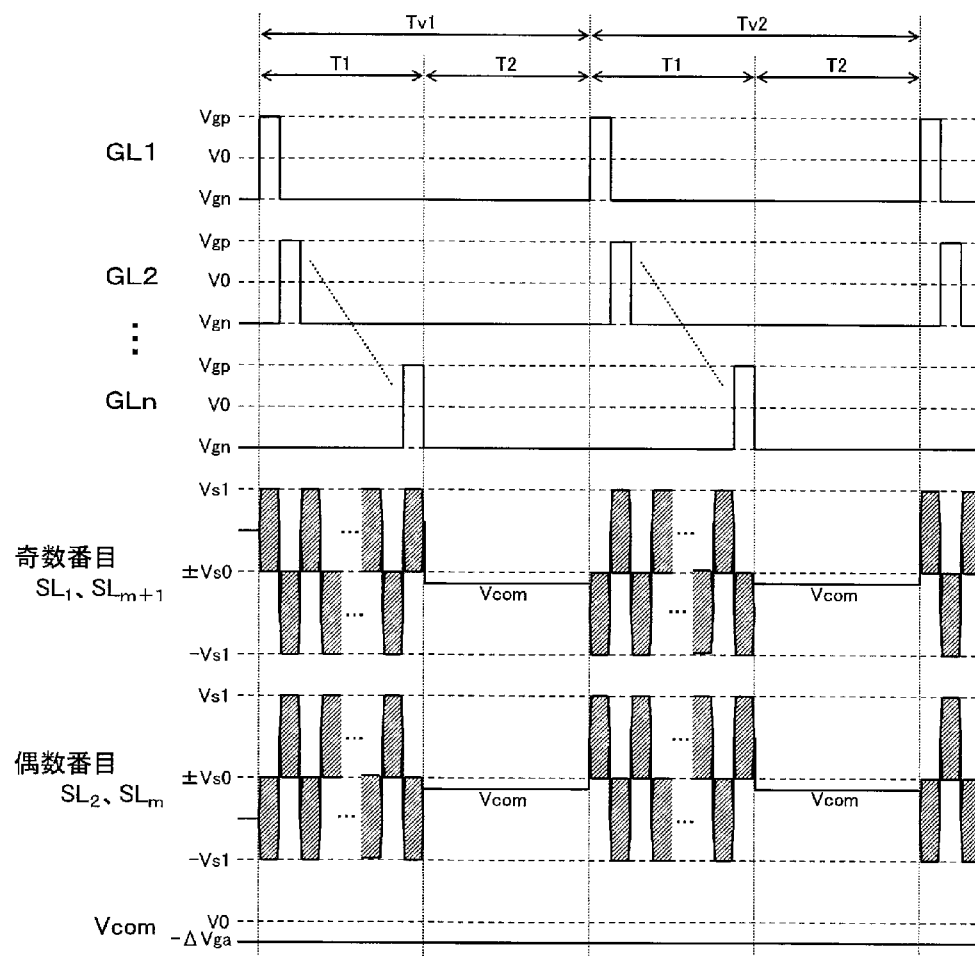
[図8]



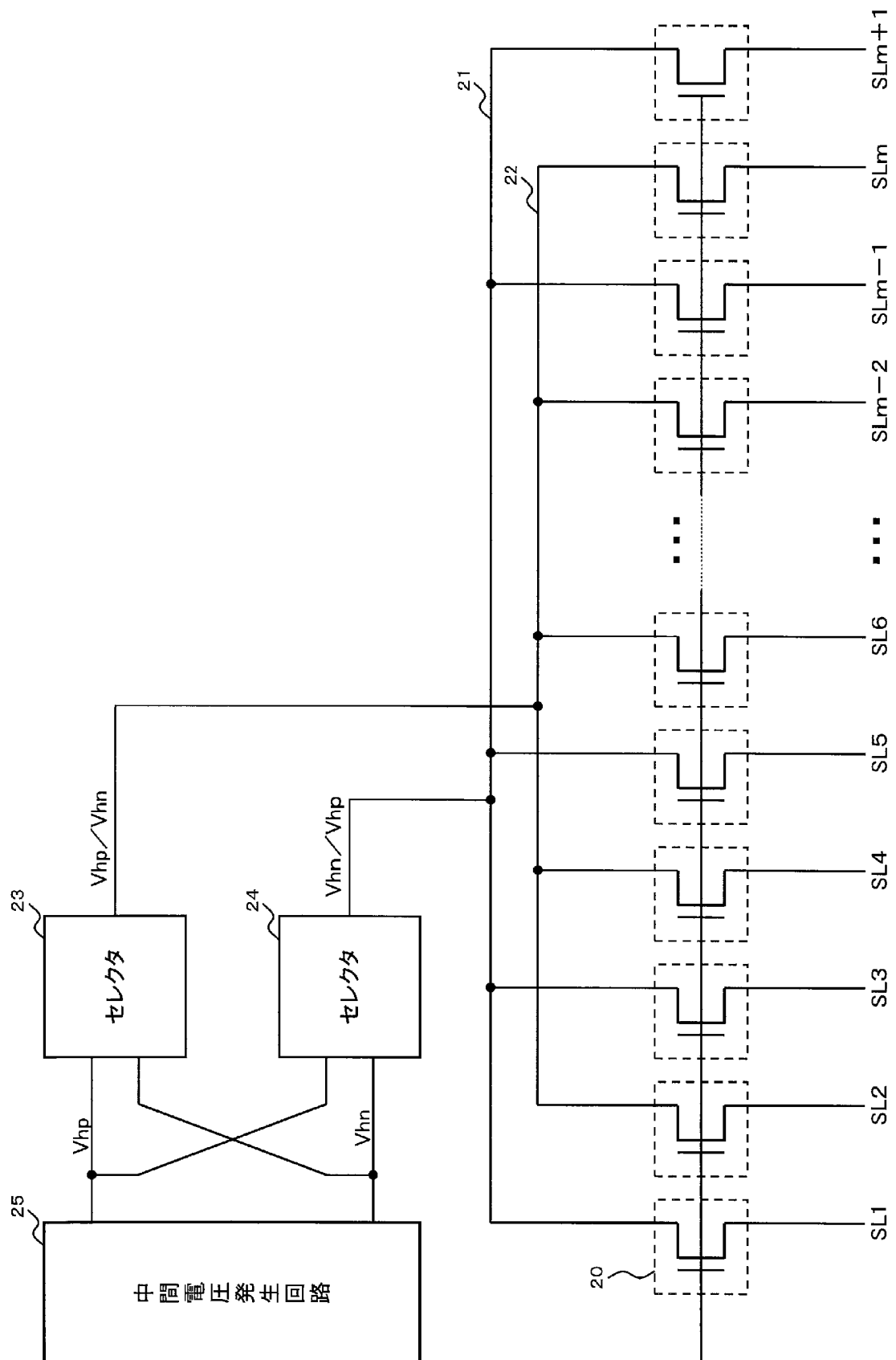
[図9]



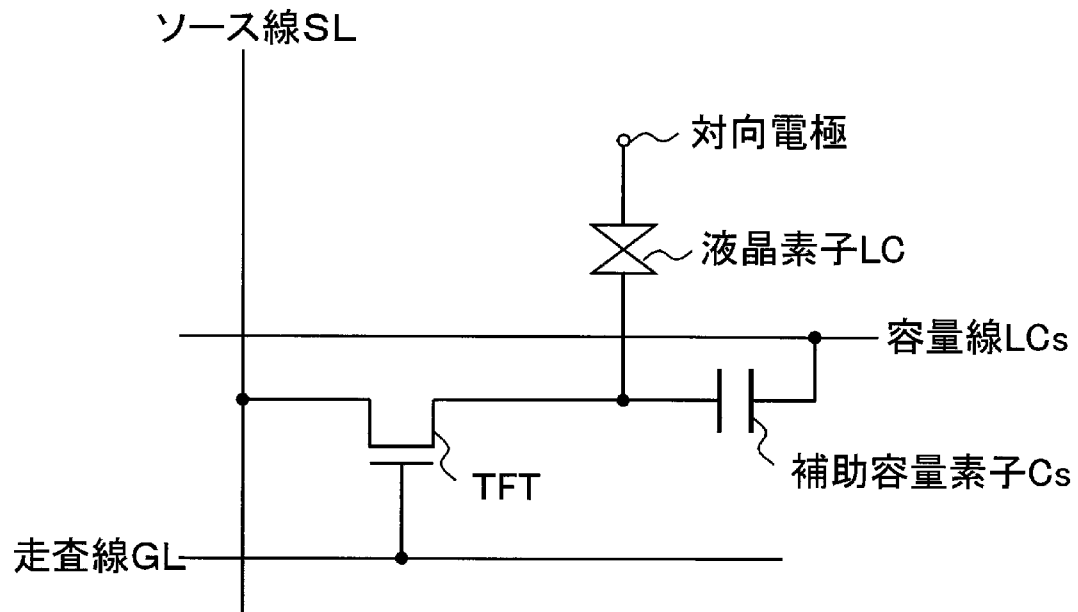
[図10]



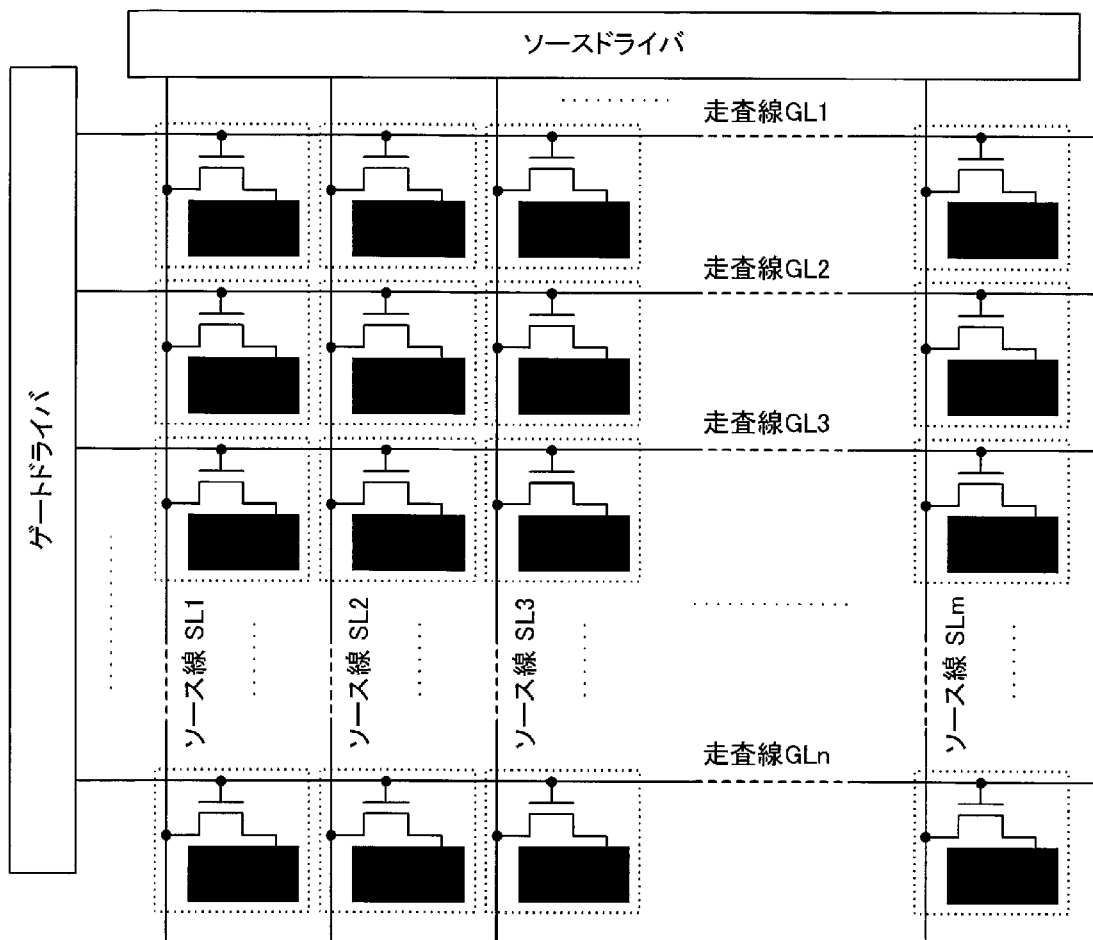
[図11]



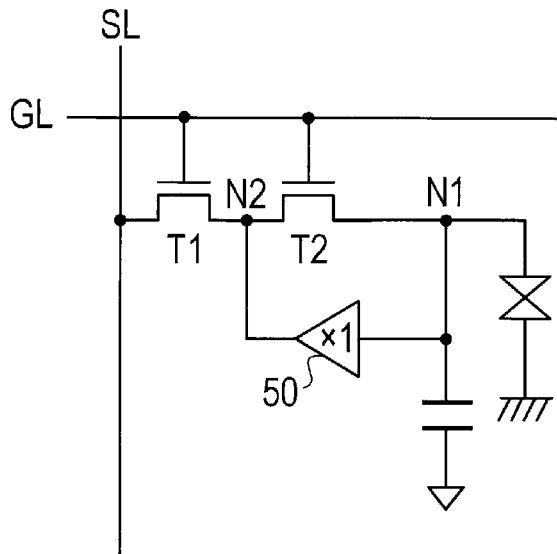
[図12]



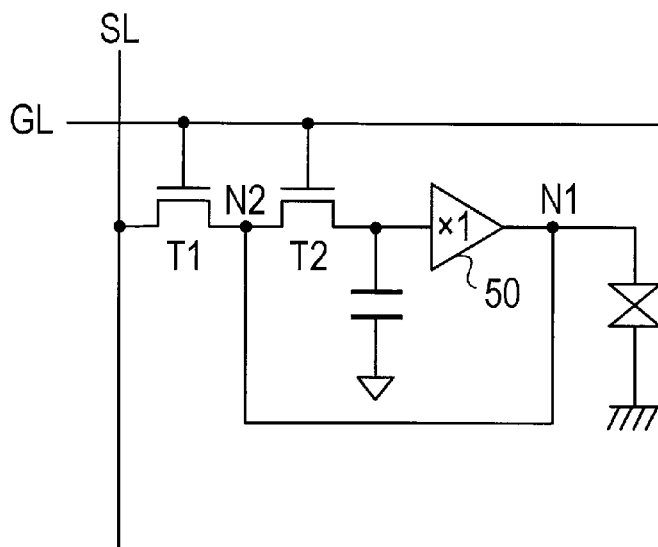
[図13]



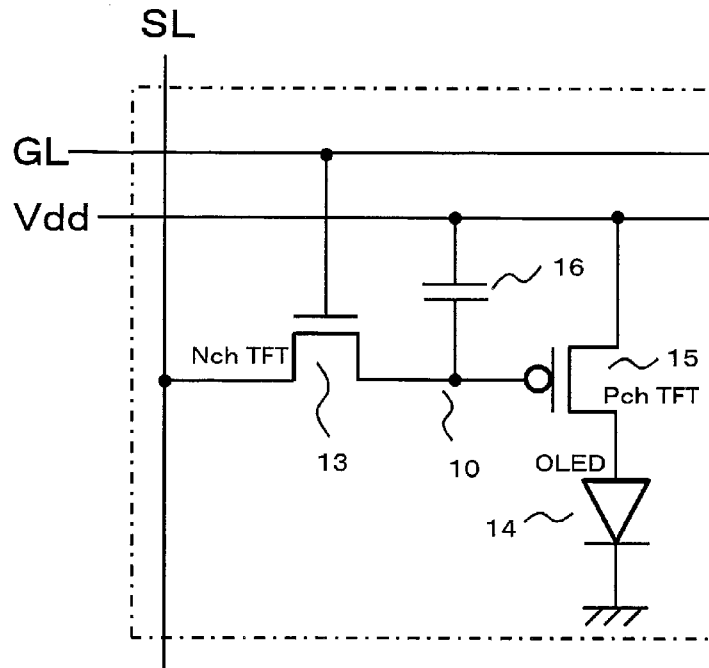
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/061168

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133, G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-173175 A (Sharp Corp.), 20 June 2003 (20.06.2003),	1-3, 5-10, 12-15, 17-19
Y	entire text; fig. 1 to 13	4, 16
A	& US 2003/0058232 A1 & TW 558696 B & KR 10-2003-0026899 A & CN 1420482 A & CN 1794322 A	11
Y	WO 2008/139695 A1 (Sharp Corp.), 20 November 2008 (20.11.2008), paragraphs [0078] to [0083]; fig. 4 to 5 & US 2010/0118012 A & EP 2148319 A1 & CN 101669163 A	4, 16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30 May, 2011 (30.05.11)

Date of mailing of the international search report
07 June, 2011 (07.06.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/061168

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-242144 A (Sharp Corp.), 09 October 2008 (09.10.2008), paragraphs [0003], [0044], [0070]; fig. 6, 14 to 15, 18 (Family: none)	4, 16

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/00-3/38, G02F1/133, G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-173175 A (シャープ株式会社) 2003.06.20, 全文, 図 1 - 1 3	1-3, 5-10, 12-15, 17-19
Y	& US 2003/0058232 A1 & TW 558696 B & KR 10-2003-0026899 A	4, 16
A	& CN 1420482 A & CN 1794322 A	11
Y	WO 2008/139695 A1 (シャープ株式会社) 2008.11.20, 段落【0 0 7 8】 - 【0 0 8 3】, 図 4 - 5 & US 2010/0118012 A & EP 2148319 A1 & CN 101669163 A	4, 16

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 5 . 2 0 1 1

国際調査報告の発送日

0 7 . 0 6 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-242144 A (シャープ株式会社) 2008.10.09, 段落【0003】、【0044】、【0070】、図6、14-15、18 (ファミリーなし)	4, 16