

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5034399号
(P5034399)

(45) 発行日 平成24年9月26日 (2012.9.26)

(24) 登録日 平成24年7月13日 (2012.7.13)

(51) Int. Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H
 HO2M 3/155 P

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2006-251464 (P2006-251464)	(73) 特許権者	000005234
(22) 出願日	平成18年9月15日 (2006.9.15)		富士電機株式会社
(65) 公開番号	特開2008-72872 (P2008-72872A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成20年3月27日 (2008.3.27)	(74) 代理人	100092152
審査請求日	平成21年6月16日 (2009.6.16)		弁理士 服部 毅巖
		(72) 発明者	藪崎 純
			東京都品川区大崎一丁目11番2号 富士電機デバイステクノロジー株式会社内
		審査官	牧 初

最終頁に続く

(54) 【発明の名称】 スイッチングレギュレータ

(57) 【特許請求の範囲】

【請求項1】

入力された直流電流をスイッチング素子によりオン、オフして出力電圧を制御するスイッチングレギュレータにおいて、

前記スイッチング素子をパルス幅変調駆動するドライバと、

前記スイッチング素子の出力側に接続されたインダクタンス値可変のインダクタと、を備え、

外部からの信号により出力電圧を変更させるときには前記インダクタのインダクタンス値を小さくするとともに前記スイッチング素子のスイッチング周波数を高くし、前記出力電圧が設定値に達したと判断されると前記インダクタのインダクタンス値を大きくするとともに前記スイッチング素子のスイッチング周波数を低くすることを特徴とするスイッチングレギュレータ。

10

【請求項2】

前記インダクタの中間点とそのインダクタの何れか一方の端子との間に接続されたスイッチ素子を有し、

前記スイッチ素子をオン、オフすることにより前記インダクタのインダクタンス値を切り替えることを特徴とする請求項1記載のスイッチングレギュレータ。

【請求項3】

前記インダクタは直列に接続された2つのインダクタンス素子からなり、

前記2つのインダクタンス素子の接続点と何れか一方のインダクタンス素子のもう一方

20

の端子との間に接続されたスイッチ素子を有し、

前記スイッチ素子のオン、オフを制御することにより前記インダクタのインダクタンス値を切り替えることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 4】

前記インダクタは並列に接続された 2 つのインダクタンス素子からなり、

前記 2 つのインダクタンス素子のうち何れか一方のインダクタンス素子と直列に接続されたスイッチ素子を有し、

前記スイッチ素子のオン、オフを制御することにより前記インダクタのインダクタンス値を切り替えることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 5】

前記インダクタは直列に接続された 2 つのインダクタンス素子からなり、

一方の端子が前記スイッチング素子の前記インダクタと接続しない側の端子に接続され、他方の端子が前記 2 つのインダクタンス素子の接続点に接続された別系統のスイッチング素子を有し、

前記ドライバを介して前記 2 系統のスイッチング素子のオン、オフを制御することにより前記インダクタのインダクタンス値を切り替えることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 6】

前記スイッチングレギュレータは DC - DC コンバータであることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 7】

前記 DC - DC コンバータは降圧型 DC - DC コンバータであることを特徴とする請求項 6 記載のスイッチングレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力された直流電流をスイッチング素子によりオン (ON)、オフ (OFF) して出力電圧を制御するスイッチングレギュレータに関し、特に DC - DC コンバータとして構成されたスイッチングレギュレータに関する。

【背景技術】

【0002】

電源制御用 IC により制御されるスイッチングレギュレータは小型電源として広く利用されており、DC - DC コンバータとしても用いられている。このスイッチングレギュレータは、入力された直流電流をオン、オフするスイッチング素子と、その出力側のインダクタ及びコンデンサを有しており、スイッチング素子には例えば MOSFET が用いられ、PWM (Pulse Width Modulation) 制御が行われる。

【0003】

上記のようなスイッチングレギュレータは、外部からの入力信号により出力電圧を変更できるようになっているが、従来では、高速で出力電圧を可変させるために、インダクタのインダクタンス値を小さくし、スイッチング素子のスイッチング周波数を高く設定している。このため、一定電圧を出力するときには必要以上にスイッチング周波数が高くなって効率が低下してしまうことがある。一定電圧の出力時に効率を高くするため、インダクタンス値を大きくし、スイッチング周波数を低く設定してしまうと、出力変化が遅くなってしまう。

【0004】

図 8 は上記のような従来のスイッチングレギュレータにおける出力電圧と効率の関係を示す図である。同図の (A) は出力電圧可変時の出力波形を示しており、実線は高速出力可変設定での出力電圧、破線は効率重視設定での出力電圧をそれぞれ示している。また、(B) は一定出力電圧での効率を示しており、実線は高速出力可変設定での効率、破線は効率重視設定での効率をそれぞれ示している。上述のように、高速で出力電圧を可変させ

10

20

30

40

50

ようとするとも効率が低下し、効率を重視するようにすると出力変化が遅くなる。

【0005】

また、軽負荷での効率を向上させるようにしたスイッチングレギュレータも提案されている（例えば、特許文献1参照）。このスイッチングレギュレータは、スイッチング周波数を軽負荷時と通常負荷時とで切り替えるもので、例えば軽負荷では100kHz、通常負荷では500kHzとしている。

【0006】

この他にも、広い周波数領域で高い効率を得られるようにしたスイッチングレギュレータも提案されている（例えば、特許文献2参照）。このスイッチングレギュレータは、軽負荷時にはPFM（Pulse Frequency Modulation）制御を行い、重負荷時もしくは出力電圧を変更するときにはPWM制御へ切り替えるものである。

【特許文献1】特開平11-155281号公報

【特許文献2】特開2004-96982号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記のような従来のスイッチングレギュレータでは、インダクタのインダクタンス値が固定されているため、高速出力変化に合った設定をすると、一定電圧の出力時にスイッチング周波数が必要以上に高くなって効率が低下し、一定出力電圧での効率を高く設定すると、スイッチング周波数が低くなって出力電圧の変化が遅くなってしまふという問題点がある。

【0008】

また、スイッチング周波数を軽負荷時と通常負荷時とで切り替える方式では、通常負荷のときに出力電圧を低電圧から高電圧に切り替える際のレスポンスを高めようとする、スイッチング周波数をさらに高くする必要がある。また、このときのインダクタは負荷への電流供給以外に、出力コンデンサの電圧を上げるために充電電流を過渡的に供給する必要があるが、特に重負荷のときはスイッチング素子のオン時間比率が最大になっていてもインダクタ電流が負荷への供給に使われてしまい、出力コンデンサを充電するのが遅れるか、もしくは不可になってしまう。インダクタは通常動作で効率が上がる値に設定されているので、このような過渡応答時に電流を余計に流してレスポンスを高めることはできない。

【0009】

また、軽負荷時と重負荷時もしくは出力電圧を変更するときとで制御を切り替える方式では、広い周波数領域で高い効率を得られるが、PFM制御とPWM制御の2系統の制御回路を搭載する必要があり、その分回路構成が複雑で、消費電流も増大する。また上記の方式と同様、インダクタは通常動作で効率が上がる値に設定されているので、過渡応答時に電流を余計に流してレスポンスを高めることはできない。

【0010】

本発明は、このような点に鑑みてなされたものであり、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能なスイッチングレギュレータを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明では上記課題を解決するために、入力された直流電流をスイッチング素子によりオン、オフして出力電圧を制御するスイッチングレギュレータにおいて、前記スイッチング素子をパルス幅変調駆動するドライバと、前記スイッチング素子の出力側に接続されたインダクタンス値可変のインダクタと、を備え、外部からの信号により出力電圧を変更させるときには前記インダクタのインダクタンス値を小さくするとともに前記スイッチング素子のスイッチング周波数を高くし、前記出力電圧が設定値に達したと判断されると前記インダクタのインダクタンス値を大きくするとともに前記スイッチング素子のスイッチン

10

20

30

40

50

グ周波数を低くすることを特徴とするスイッチングレギュレータが提供される。

【 0 0 1 2 】

このようなスイッチングレギュレータによれば、出力電圧を変更するときにはスイッチング素子のスイッチング周波数とインダクタのインダクタンス値を切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能である。

【 発明の効果 】

【 0 0 1 3 】

本発明のスイッチングレギュレータは、出力電圧を変更するときにはスイッチング素子のスイッチング周波数とインダクタのインダクタンス値を切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能であるという利点がある。

10

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

以下、本発明の実施の形態を図面を参照して説明する。

図1は本発明の第1の実施の形態のスイッチングレギュレータの構成を示す回路図である。このスイッチングレギュレータは、PWM制御方式の降圧型DC-DCコンバータとして構成され、入力電圧 V_{in} を供給する電圧源からの直流電流をオン、オフするスイッチング素子であるPチャネルのMOSトランジスタP1及び同期整流素子であるNチャネルのMOSトランジスタN1の直列回路と、その出力側のD点に接続されたインダクタL1と、出力コンデンサC1を有している。インダクタL1は、その中間点と一方の端子との間にスイッチ素子としてNチャネルのMOSトランジスタQ1が接続されており、MOSトランジスタQ1のオン、オフによりインダクタンス値可変となっている。このMOSトランジスタQ1のオン、オフは、制御部1からの制御信号により制御される。なお、MOSトランジスタQ1はインダクタL1の中間点と出力端子側のもう一方の端子との間に接続されていてもよい。

20

【 0 0 1 5 】

上記インダクタL1及び出力コンデンサC1を通して負荷（図示せず）へ供給される出力電圧 V_{out} は、直列接続された抵抗R1と抵抗R2により分圧され、その接続点の電圧が検出電圧としてエラーアンプ（誤差増幅器）IC1に入力され、出力可変の電圧源VR1からの基準電圧との誤差が増幅される。エラーアンプIC1の反転入力端子（-）と出力端子との間には、抵抗R3とコンデンサC2の直列回路が接続されている。

30

【 0 0 1 6 】

エラーアンプIC1の出力はPWMコンパレータIC2に入力され、発振器2からの三角波信号と比較されることにより、PWMのデューティが決定される。ドライバ3は、そのデューティが決定された駆動信号をMOSトランジスタP1及びMOSトランジスタN1へ出力し、MOSトランジスタP1及びMOSトランジスタN1をPWM駆動する。

【 0 0 1 7 】

上記のように構成されたスイッチングレギュレータは、外部からの信号により出力電圧 V_{out} を変更することができるが、出力電圧 V_{out} を変更するときには、MOSトランジスタP1及びMOSトランジスタN1のスイッチング周波数とインダクタL1のインダクタンス値Lを切り替える。すなわち、負荷の動作条件によってインダクタL1のインダクタンス値Lを可変させることができる。制御部1には出力の検出電圧と基準電圧が入力されており、発振器2の発振周波数をインダクタンス値Lに合った値に切り替えることができる。

40

【 0 0 1 8 】

図1の回路において、起動時の出力電圧 V_{out} は0Vであり、このとき制御部1は出力電圧 V_{out} が設定値に達していないと判断し、制御信号をHigh（高レベル）にする。制御信号がHighになるとMOSトランジスタQ1がオンし、インダクタL1のインダクタンス値Lは小さくなる。これと同時に、小さいインダクタンス値Lで設定してお

50

いた高い発振周波数 f が発振器 2 で生成され、この小さいインダクタンス値 L と高い発振周波数 f によって出力電圧 V_{out} が高速で変化し、出力電圧 V_{out} が設定値に到達する。

【0019】

制御部 1 は、出力電圧 V_{out} が設定値に達したと判断すると、制御信号を Low (低レベル) にする。制御信号が Low になると MOS トランジスタ Q_1 がオフし、インダクタ L_1 のインダクタンス値 L は大きくなる。同時に、インダクタンス値 L が大きくなったのに合わせて上記の発振周波数 f が下げられ、高効率動作となる。

【0020】

図 2 は実施の形態のスイッチングレギュレータにおける出力電圧波形を示す図である。起動時に出力電圧 V_{out} を高くするときには、インダクタンス値 L を小さくし、発振周波数 f を高くして (小 L 高 f)、高速可変を可能にし、一定電圧の出力になったら、インダクタンス値 L を大きくし、発振周波数 f を低くして (大 L 低 f)、高効率動作にする。出力電圧 V_{out} を下げるときも起動時と同様であり、制御部 1 は出力電圧 V_{out} が設定値に達していないと判断すると高速可変動作となり、一定電圧の出力になれば高効率動作となる。

10

【0021】

このように、出力電圧 V_{out} を変更するとき MOS トランジスタ P_1 及び MOS トランジスタ N_1 のスイッチング周波数とインダクタ L_1 のインダクタンス値 L を切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

20

【0022】

図 3 は本発明の第 2 の実施の形態のスイッチングレギュレータの構成を示す回路図であり、図 1 と同一の符号は同一構成要素を示している。第 2 の実施の形態では、インダクタは直列に接続された 2 つのインダクタンス素子 L_2 、 L_3 からなり、その 2 つのインダクタンス素子 L_2 、 L_3 の接続点である M 点と一方のインダクタンス素子 L_2 の D 点側のもう一方の端子との間にスイッチ素子として N チャネルの MOS トランジスタ Q_2 が接続されている。その他は図 1 の第 1 の実施の形態のスイッチングレギュレータと同様の構成である。

【0023】

上記のように構成されたスイッチングレギュレータにおいては、制御部 1 からの制御信号で MOS トランジスタ Q_2 のオン、オフを制御することによりインダクタのインダクタンス値 L を切り替えることができる。したがって、第 1 の実施の形態のスイッチングレギュレータと同様、出力電圧 V_{out} を変更するとき MOS トランジスタ P_1 及び MOS トランジスタ N_1 のスイッチング周波数とインダクタのインダクタンス値 L を切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

30

【0024】

なお、図 3 の回路においては、MOS トランジスタ Q_2 をオンからオフに切り替える瞬間にインダクタンス素子 L_2 、 L_3 の接続点である M 点で共振が起こり、高電圧が発生する可能性がある。このため、MOS トランジスタ Q_2 は高耐圧のトランジスタである必要がある。同様に、図 1 の回路における MOS トランジスタ Q_1 も高耐圧のトランジスタである必要がある。

40

【0025】

図 4 は本発明の第 3 の実施の形態のスイッチングレギュレータの構成を示す回路図であり、図 3 と同一の符号は同一構成要素を示している。第 3 の実施の形態では、インダクタは直列に接続された 2 つのインダクタンス素子 L_2 、 L_3 からなり、その 2 つのインダクタンス素子 L_2 、 L_3 の接続点である M 点と一方のインダクタンス素子 L_3 の出力端子側のもう一方の端子との間にスイッチ素子として N チャネルの MOS トランジスタ Q_3 が接続されている。この MOS トランジスタ Q_3 も、図 3 の MOS トランジスタ Q_2 と同様、

50

高耐圧のトランジスタである必要がある。その他は図3の第2の実施の形態のスイッチングレギュレータと同様の構成である。

【0026】

このように構成されたスイッチングレギュレータにおいても、上記と同様、制御部1からの制御信号でMOSトランジスタQ3のオン、オフを制御することによりインダクタのインダクタンス値Lを切り替えることができる。したがって、第1, 2の実施の形態のスイッチングレギュレータと同様、出力電圧 V_{out} を変更するときにMOSトランジスタP1及びMOSトランジスタN1のスイッチング周波数とインダクタのインダクタンス値Lを切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

10

【0027】

図5は本発明の第4の実施の形態のスイッチングレギュレータの構成を示す回路図である。第4の実施の形態では、第2, 3の実施の形態と同様、インダクタは直列に接続された2つのインダクタンス素子L2, L3からなるが、ソース端子がスイッチング素子であるMOSトランジスタP1及び同期整流素子であるMOSトランジスタN1のソース端子とそれぞれ共通に接続され、ドレイン端子が2つのインダクタンス素子L2, L3の接続点であるM点に接続された別系統のスイッチング素子であるPチャンネルのMOSトランジスタP2及び同期整流素子であるNチャンネルのMOSトランジスタN2が設けられており、ドライバ3を介して上記2系統のスイッチング素子及び同期整流素子のオン、オフを制御することによりインダクタのインダクタンス値Lが切り替えられる。

20

【0028】

第4の実施の形態のスイッチングレギュレータにおいては、第2, 3の実施の形態のようにMOSトランジスタQ2, Q3で2つのインダクタンス素子L2, L3のうち何れか一方を短絡する代わりに、スイッチング素子及び同期整流素子をMOSトランジスタP1及びMOSトランジスタN1からMOSトランジスタP2及びMOSトランジスタN2へ切り替えることでインダクタのインダクタンス値Lを小さくする。その際、切り替わったMOSトランジスタP1及びMOSトランジスタN1の動作は停止する。また、一定電圧の出力動作に入れば、MOSトランジスタP2及びMOSトランジスタN2の動作を停止し、MOSトランジスタP1及びMOSトランジスタN1の動作に戻る。その他の動作は、第2, 3の実施の形態と同様である。

30

【0029】

このように構成されたスイッチングレギュレータにおいては、制御部1からの制御信号でドライバ3を制御することによりインダクタのインダクタンス値Lを切り替えることができる。したがって、上述の各実施の形態のスイッチングレギュレータと同様、出力電圧 V_{out} を変更するときにスイッチング周波数とインダクタのインダクタンス値Lを切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

【0030】

図6は本発明の第5の実施の形態のスイッチングレギュレータの構成を示す回路図である。第5の実施の形態では、インダクタは並列に接続された2つのインダクタンス素子L4, L5からなり、一方のインダクタンス素子L5と直列にスイッチ素子としてNチャンネルのMOSトランジスタQ4が接続されている。この例では、MOSトランジスタP1とMOSトランジスタN1の接続点であるD点とインダクタンス素子L5との間にMOSトランジスタQ4が接続されている。その他は、図3, 図4に示す第2, 第3の実施の形態と同様の構成である。

40

【0031】

このように構成されたスイッチングレギュレータにおいては、制御部1からの制御信号でMOSトランジスタQ4のオン、オフを制御することによりインダクタのインダクタンス値Lを切り替えることができる。その際、MOSトランジスタQ4がオンのときはインダクタンス素子L4とインダクタンス素子L5が並列に接続された状態となり、MOSト

50

ランジスタQ4がオフのときはインダクタンス素子L5が非接続の状態となる。

【0032】

そして、出力電圧 V_{out} を変更するときは、スイッチング周波数を上げるとともに、MOSトランジスタQ4をオンにして電流を多く供給できるようにし、一定出力電圧の通常動作時は、MOSトランジスタQ4をオフにして、インダクタンス素子L4のみで動作させることができる。したがって、上述の各実施の形態のスイッチングレギュレータと同様、出力電圧 V_{out} を変更するときにスイッチング周波数とインダクタのインダクタンス値Lを切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

【0033】

なお、図6の回路においては、MOSトランジスタQ4がオンからオフに変化する瞬間にMOSトランジスタQ4とインダクタンス素子L5の接続点で高電圧が発生する恐れがある。このため、MOSトランジスタQ4は高耐圧のトランジスタである必要がある。

【0034】

図7は本発明の第6の実施の形態のスイッチングレギュレータの構成を示す回路図であり、図6と同一符号は同一構成要素を示している。第6の実施の形態では、第5の実施の形態と同様、インダクタは並列に接続された2つのインダクタンス素子L4, L5からなり、インダクタンス素子L5と出力端子間にスイッチ素子であるNチャネルのMOSトランジスタQ5が接続されている。このMOSトランジスタQ5も、図6のMOSトランジスタQ4と同様、高耐圧のトランジスタである必要がある。その他は、図6に示す第5の実施の形態と同様の構成である。

【0035】

このように構成されたスイッチングレギュレータにおいても、上記の第5の実施の形態と同様、制御部1からの制御信号でMOSトランジスタQ5のオン、オフを制御することによりインダクタのインダクタンス値Lを切り替えることができる。したがって、上述の各実施の形態のスイッチングレギュレータと同様、出力電圧 V_{out} を変更するときにスイッチング周波数とインダクタのインダクタンス値Lを切り替えることができるので、簡易な回路構成で、効率が低下することなく、高速の出力変化が可能となる。

【0036】

なお、図1, 図3, 図4, 図6及び図7の回路では、スイッチ素子としてNチャネルのMOSトランジスタQ1~Q5を用いた例を示しているが、スイッチ素子としては、例えばこれらのMOSトランジスタQ1~Q5にPチャネルのMOSトランジスタを並列に接続したトランスミッションゲートであってもよい。

【0037】

また、以上説明した各実施の形態では、降圧型のDC-DCコンバータとして構成された例を挙げているが、本発明は出力電圧を上げるときにインダクタ電流を増やすことができ、昇圧型や昇降圧型のDC-DCコンバータにも適用することができる。

【0038】

さらに、今まで同期整流型のDC-DCコンバータを例として説明してきたが、同期整流素子であるNチャネルのMOSトランジスタN1を転流ダイオードで置き換えた非同期整流型のDC-DCコンバータにも適用することができる。

【図面の簡単な説明】

【0039】

【図1】本発明の第1の実施の形態のスイッチングレギュレータの構成を示す回路図である。

【図2】実施の形態のスイッチングレギュレータにおける出力電圧波形を示す図である。

【図3】本発明の第2の実施の形態のスイッチングレギュレータの構成を示す回路図である。

【図4】本発明の第3の実施の形態のスイッチングレギュレータの構成を示す回路図である。

10

20

30

40

50

【図5】本発明の第4の実施の形態のスイッチングレギュレータの構成を示す回路図である。

【図6】本発明の第5の実施の形態のスイッチングレギュレータの構成を示す回路図である。

【図7】本発明の第6の実施の形態のスイッチングレギュレータの構成を示す回路図である。

【図8】従来のスイッチングレギュレータにおける出力電圧と効率の関係を示す図である。

【符号の説明】

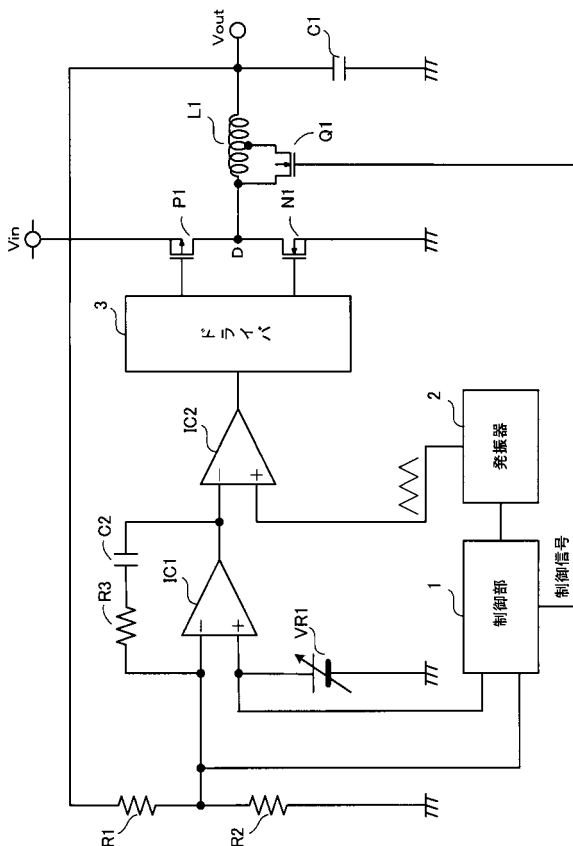
【0040】

- 1 制御部
- 2 発振器
- 3 ドライバ
- C1 出力コンデンサ
- C2 コンデンサ
- IC1 エラーアンプ
- IC2 PWMコンパレータ
- L1 インダクタ
- L2, L3, L4, L5 インダクタ素子
- N1, N2, Q1, Q2, Q3, Q4, Q5 NチャンネルのMOSトランジスタ
- P1, P2 PチャンネルのMOSトランジスタ
- R1, R2, R3 抵抗
- VR1 電圧源

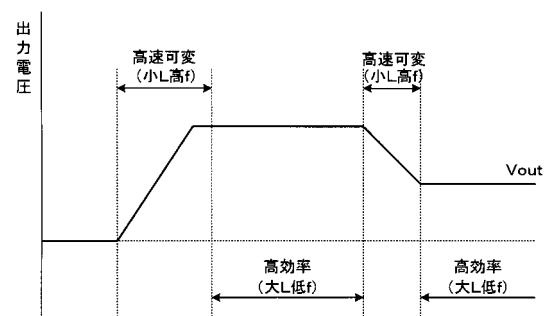
10

20

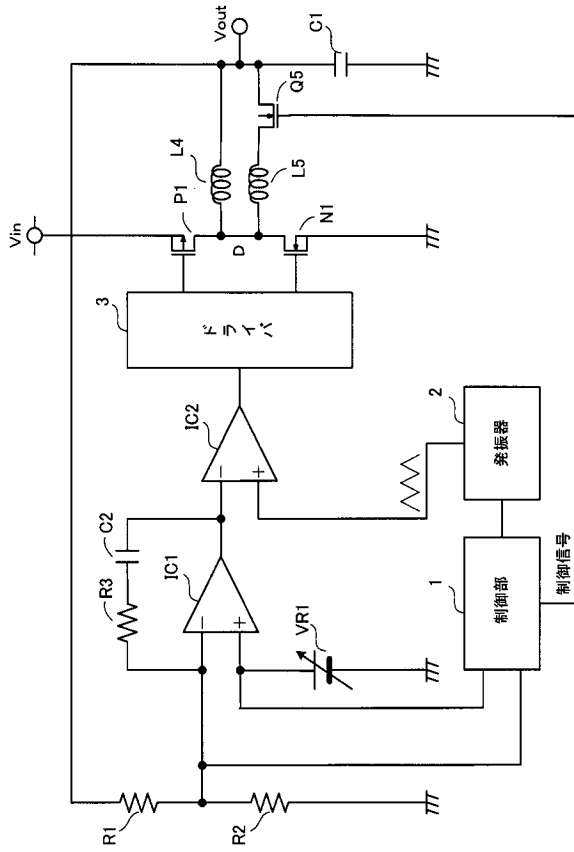
【図1】



【図2】

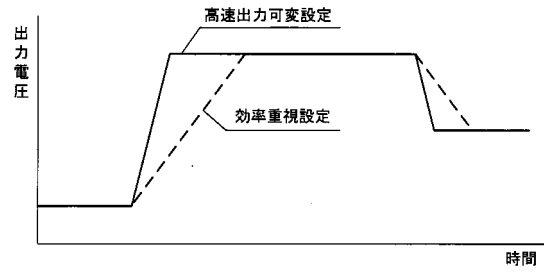


【図7】

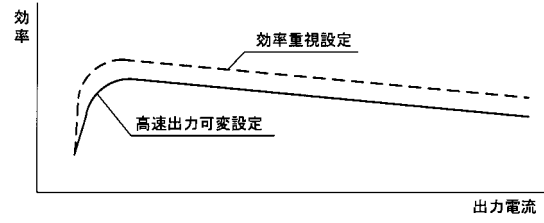


【図8】

(A) 出力電圧可変時の出力波形



(B) 一定出力電圧での効率



フロントページの続き

(56)参考文献 特開2005 - 168157 (JP, A)
特開2005 - 137172 (JP, A)
特開2004 - 47612 (JP, A)
特開2004 - 48893 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00 - 3/44