(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년03월15일
(11) 등록번호 10-1603566
(24) 등록일자 2016년03월09일

(51) 국제특허분류(Int. Cl.)
H03K 17/687 (2006.01) *H03K 17/04* (2006.01)
(21) 출원번호 10-2014-0031932
(22) 출원일자 2014년03월19일
심사청구일자 2014년03월19일
(65) 공개번호 10-2014-0116807
(43) 공개일자 2014년10월06일
(30) 우선권주장
JP-P-2013-061425 2013년03월25일 일본(JP)
(56) 선행기술조사문헌
JP2011066963 A
JP2012138977 A
KR1020130029337 A

(73) 특허권자
미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고
(72) 발명자
마키시마 히토시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고 미쓰비시덴키 가부시키가이샤 나이
야마모토 아키히사
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고 미쓰비시덴키 가부시키가이샤 나이
왕 동
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고 미쓰비시덴키 가부시키가이샤 나이
(74) 대리인
이화익, 김홍두

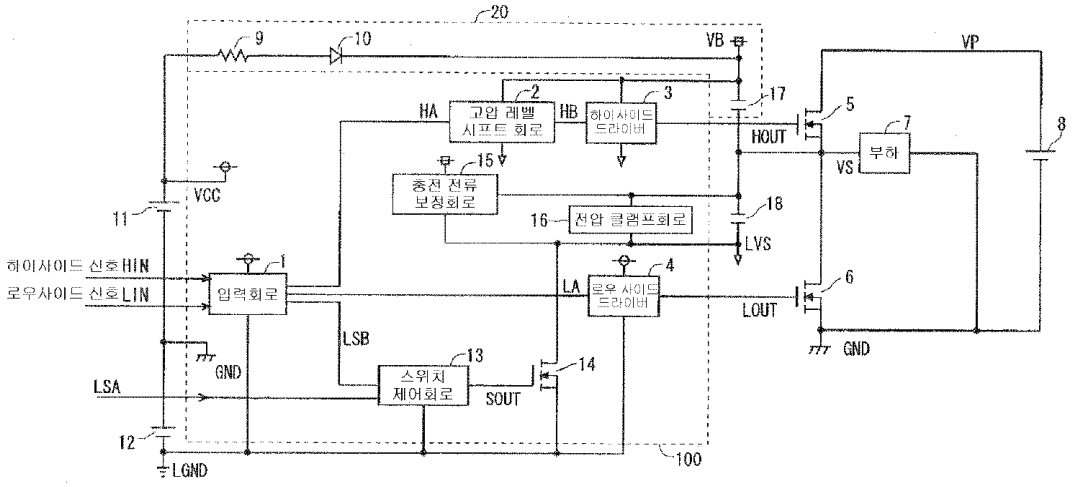
전체 청구항 수 : 총 9 항 심사관 : 이승민

(54) 발명의 명칭 **반도체 디바이스 구동회로 및 반도체 디바이스 구동장치**

(57) 요 약

본 발명은 소형화가 가능한 반도체 디바이스 구동회로의 제공을 목적으로 한다. 반도체 디바이스 구동회로(100)는, 하이사이드 스위칭 소자(5)를 온/오프 구동하는 하이사이드 드라이버(3)와, 로우사이드 스위칭 소자(6)를 온/오프 구동하는 로우 사이드 드라이버(4)와, 하이사이드 스위칭 소자(5)의 온에 연동해서 온되는 제어용 스위칭 소자(14)를 구비하고, 로우 사이드 드라이버(4)의 정전위 입력 단자는, 외부의 제1 전압원(11)의 정전위 VCC과 접속되고, 로우 사이드 드라이버(4)의 부전위 입력 단자는, 외부의 제2 전압원(12)의 음측과 접속되고, 제2 전압원의 양측은 기준 전위 GND와 접속되고, 접속점 VS와, 하이사이드 드라이버(3)의 부전위 입력 단자 사이에는 외부의 부전위용 커패시터(18)가 삽입되고, 하이사이드 스위칭 소자(5)와 제어용 스위칭 소자(14)는, 부전위용 커패시터(18)와 고전압원(8)과 함께 루프를 형성한다.

대 표 도



명 세 서

청구범위

청구항 1

외부의 고전압원에 접속된 외부의 하이사이드 스위칭 소자 및 상기 하이사이드 스위칭 소자와 기준 전위 사이에 직렬 접속된 외부의 로우사이드 스위칭 소자를 온/오프 구동함으로써, 외부의 반도체 디바이스를 구동하는 반도체 디바이스 구동회로로서,

상기 하이사이드 스위칭 소자를 온/오프 구동하는 하이사이드 드라이버와,

상기 로우사이드 스위칭 소자를 온/오프 구동하는 로우 사이드 드라이버와,

상기 하이사이드 스위칭 소자의 온에 연동해서 온되는 제어용 스위칭 소자를 구비하고,

상기 로우 사이드 드라이버의 정전위 입력 단자는, 외부의 제1 전압원의 정전위와 접속되고, 상기 제1 전압원의 부전위는 상기 기준 전위와 접속되고,

상기 로우 사이드 드라이버의 부전위 입력 단자는, 외부의 제2 전압원의 부전위와 접속되고, 상기 제2 전압원의 정전위는 상기 기준 전위와 접속되고,

상기 하이사이드 드라이버의 정전위 입력 단자는, 상기 하이사이드 스위칭 소자와 상기 로우사이드 스위칭 소자와의 접속점을 기준으로 한 양 전압을 인가하는 외부의 부트스트랩 회로와 접속되고,

상기 하이사이드 스위칭 소자와 상기 로우사이드 스위칭 소자의 접속점과, 상기 하이사이드 드라이버의 부전위 입력 단자와의 사이에는 외부의 부전위용 커패시터가 삽입되고,

상기 하이사이드 스위칭 소자와 상기 제어용 스위칭 소자는, 상기 부전위용 커패시터와, 상기 고전압원과 함께 루프를 형성하는 것을 특징으로 하는, 반도체 디바이스 구동회로.

청구항 2

제 1항에 있어서,

상기 부전위용 커패시터의 양단에 인가되는 전압이 소정값을 초과하는 것을 방지하는 전압 클램프회로를 더 구비한 반도체 디바이스 구동회로.

청구항 3

제 1항에 있어서,

상기 부트스트랩 회로는, 상기 하이사이드 드라이버의 정전위 입력 단자와, 상기 하이사이드 스위칭 소자와 상기 로우사이드 스위칭 소자의 접속점과의 사이에 접속된 정전위용 커패시터를 구비하고,

충전 전류 보정회로를 더 구비하고,

상기 충전 전류 보정회로는,

상기 하이사이드 드라이버의 정전위 입력 단자와 부전위 입력 단자의 전위차가 소정값을 초과한 경우, 전류량을 제한하는 전류 제한회로를 거쳐, 상기 정전위용 커패시터의 양단을 단락시키는 것을 특징으로 하는 반도체 디바이스 구동회로.

청구항 4

제 1항에 있어서,

상기 제어용 스위칭 소자가 온되고 나서 오프할 때까지의 시간을 조정하는 것이 가능한 반도체 디바이스 구동회로.

청구항 5

제 1항에 있어서,

상기 부전위용 커패시터의 양단의 전압이 소정값에 도달하면, 해당 부전위용 커패시터의 충전을 정지하는 것을 특징으로 하는 반도체 디바이스 구동회로.

청구항 6

제 1항에 있어서,

상기 하이사이드 드라이버, 상기 로우 사이드 드라이버 및 상기 제어용 스위칭 소자의 각각의 전단에 저압 레벨 시프트 회로를 더 구비한 반도체 디바이스 구동회로.

청구항 7

제 6항에 있어서,

상기 하이 사이드 드라이버의 부전위 입력 단자와 상기 제2 전압원의 부전위측 사이에 접속된 다이오드를 더 구비하고,

상기 다이오드의 캐소드는 상기 하이사이드 드라이버의 부전위 입력 단자에 접속되어 있고,

상기 제2 전압원 대신에 외부 커패시터가 설치되고,

상기 로우사이드 스위칭 소자는, 상기 부전위용 커패시터, 상기 외부 커패시터 및 상기 다이오드와 함께 루프를 형성하는 것을 특징으로 하는 반도체 디바이스 구동회로.

청구항 8

청구항 1~7 중 어느 한 항에 기재된 반도체 디바이스 구동회로와,

상기 하이사이드 스위칭 소자와,

상기 로우사이드 스위칭 소자와,

상기 부전위용 커패시터와,

상기 부트스트랩 회로를 더 구비한 반도체 디바이스 구동장치.

청구항 9

제 8항에 있어서,

상기 하이사이드 스위칭 소자 및 상기 로우사이드 스위칭 소자는 와이드 밴드갭 반도체를 포함하는 것을 특징으로 하는 반도체 디바이스 구동장치.

발명의 설명

기 술 분 야

[0001] 본 발명은, 반도체 디바이스 구동회로에 관한 것으로서, 특히, 외부의 고전압원에 접속된 외부의 하이

사이드(high-side) 스위칭 소자 및 상기 하이사이드 스위칭 소자와 기준전위 사이에 직렬 접속된 외부의 로우사이드(low-side) 스위칭 소자를 온/오프 구동함으로써, 외부의 부하를 구동하는 반도체 디바이스 구동회로에 관한 것이다.

배 경 기 술

[0002] 게이트 임계값이 낮은 MOSFET, IGBT 등의 스위칭 디바이스를 구동하는 경우, 턴오프시에 디바이스 기준전위(소스 전위)에 대해 부전위를 인가할 필요가 있다.

[0003] 스위칭 디바이스를 구동하기 위해, 스위칭 디바이스를 턴온/오프하기 위해, 하이사이드 스위칭 소자와, 로우사이드 스위칭 소자가 사용된다. 각 스위칭 소자의 정전위 입력 단자에는 각 스위칭 소자의 소스를 기준으로 한 정전위가 인가되고, 또한, 각 스위칭 소자의 부전위 입력 단자에는 각 스위칭 소자의 소스를 기준으로 한 부전위가 인가될 필요가 있다.

[0004] 각 스위칭 소자의 정부의 전위용으로 전압원을 개별적으로 설치한 경우, 회로 규모가 증대하여 바람직하지 않다. 따라서, 로우사이드 스위칭 소자의 정전위용의 전압원에 부트스트랩 회로를 접속하고, 하이사이드 스위칭 소자의 정전위를 생성하는 기술이 알려져 있다.

[0005] 또한, 하이사이드 스위칭 소자의 소스와 부전위 입력 단자 사이에 커패시터를 설치하고, 로우사이드 스위칭 소자의 부전위용의 전압원에 의해 커패시터를 충전하여, 하이사이드 스위칭 소자의 부전위를 생성하는 기술이 알려져 있다(예를 들면, 특허문헌 1 참조). 이 경우, 커패시터의 충방전을 제어하는 제어용 스위칭 소자가 설치된다. 특허문헌 1 기재의 전력변환기에 따르면, 제어용 스위칭 소자의 온은, 로우사이드 스위칭 소자의 온과 연동되어 있어, 로우사이드 스위칭 소자가 온되고 있는 동안에, 커패시터의 충전이 행해진다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2011-66963호 공보

발명의 내용

해결하려는 과제

[0007] 상기한 특허문헌 1에 기재된 전력변환기에 있어서, 제어용 스위칭 소자가 오프인 동안에, 소자의 양단에는 부하(MOSFET, IGBT 등의 스위칭 디바이스)의 전원인 고전압이 인가되기 때문에, 제어용 스위칭 소자에는 고내압성이 요구된다. 또한, 커패시터를 충전하는데 충분한 높은 전류 성능이 요구된다. 따라서, 제어용 스위칭 소자의 사이즈가 커져, 회로 전체로서 대형화하는 문제가 있었다.

[0008] 본 발명은, 이상과 같은 과제를 해결하기 위해 이루어진 것으로, 종래보다도 소형화가 가능한 반도체 디바이스 구동회로의 제공을 목적으로 한다.

과제의 해결 수단

[0009] 본 발명에 관한 반도체 디바이스 구동회로는, 외부의 고전압원에 접속된 외부의 하이사이드 스위칭 소자 및 하이사이드 스위칭 소자와 기준전위 사이에 직렬 접속된 외부의 로우사이드 스위칭 소자를 온/오프 구동함으로써, 외부의 반도체 디바이스를 구동하는 반도체 디바이스 구동회로로서, 하이사이드 스위칭 소자를 온/오프 구동하는 하이사이드 드라이버와, 로우사이드 스위칭 소자를 온/오프 구동하는 로우 사이드 드라이버와, 하이사이드 스위칭 소자의 온에 연동해서 온되는 제어용 스위칭 소자를 구비하고, 로우 사이드 드라이버의 정전위 입력 단자는, 외부의 제1 전압원의 정전위와 접속되고, 제1 전압원의 부전위는 기준전위와 접속되고, 로우 사이드 드라이버의 부전위 입력 단자는, 외부의 제2 전압원의 부전위와 접속되고, 제2 전압원의 정전위는 상기 기준

전위와 접속되고, 하이사이드 드라이버의 정전위 입력 단자는, 하이사이드 스위칭 소자와 로우사이드 스위칭 소자의 접속점을 기준으로 한 양 전압을 인가하는 외부의 부트스트랩 회로와 접속되고, 하이사이드 스위칭 소자와 로우사이드 스위칭 소자의 접속점과, 하이사이드 드라이버의 부전위 입력 단자와의 사이에는 외부의 부전위용 커패시터가 삽입되고, 하이사이드 스위칭 소자와 제어용 스위칭 소자는, 부전위용 커패시터와, 고전압원과 함께 루프를 형성하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명에 관한 반도체 디바이스 구동회로에 따르면, 제어용 스위칭 소자가 온일 때, 제어용 스위칭 소자의 소스, 드레인 사이에는 고전압원에 의해 높은 전압이 인가된다. 즉, 제어용 스위칭 소자는 포화 영역에서 동작하기 때문에, 부전위용 커패시터에 충분한 전류를 흘리는 것이 가능하다. 또한, 제어용 스위칭 소자가 오프일 때, 제어용 스위칭 소자의 양단에는 제2 전압원 정도의 전압밖에 인가되지 않기 때문에, 제어용 스위칭 소자에는, 고내압성이 요구되지 않는다. 따라서, 제어용 스위칭 소자에 대한 고전류 능력 및 고내압성의 요구가 완화된다. 즉, 제어용 스위칭 소자를 보다 소형화하는 것이 가능하다. 제어용 스위칭 소자의 소형화가 가능해짐으로써 반도체 디바이스 구동회로 전체를 1개의 칩에, 보다 용이하게 집적하는 것이 가능해진다.

도면의 간단한 설명

[0011] 도 1은 실시형태 1에 관한 반도체 디바이스 구동회로의 구성을 도시한 도면이다.

도 2는 실시형태 1에 관한 고압 레벨 시프트 회로의 구성예를 도시한 도면이다.

도 3은 실시형태 1에 관한 전압 클램프회로의 구성예를 도시한 도면이다.

도 4는 실시형태 1에 관한 충전 전류 보정회로의 구성예를 도시한 도면이다.

도 5는 실시형태 1에 관한 반도체 디바이스 구동회로의 동작 시퀀스를 도시한 도면이다.

도 6은 실시형태 1에 관한 제어용 스위칭 소자의 동작 영역을 도시한 도면이다.

도 7은 실시형태 2에 관한 스위치 제어회로의 구성예를 도시한 도면이다.

도 8은 실시형태 2에 관한 반도체 디바이스 구동회로의 동작 시퀀스를 도시한 도면이다.

도 9는 실시형태 3에 관한 반도체 디바이스 구동회로의 구성을 도시한 도면이다.

도 10은 실시형태 3에 관한 전압 클램프회로의 구성예를 도시한 도면이다.

도 11은 실시형태 3에 관한 고압 역레벨 시프트 회로의 구성예를 도시한 도면이다.

도 12는 실시형태 3에 관한 스위치 제어회로의 구성예를 도시한 도면이다.

도 13은 실시형태 3에 관한 반도체 디바이스 구동회로의 동작 시퀀스를 도시한 도면이다.

도 14는 실시형태 4에 관한 반도체 디바이스 구동회로의 구성을 도시한 도면이다.

도 15는 실시형태 4에 관한 저압 레벨 시프트 회로의 구성예를 도시한 도면이다.

도 16은 실시형태 4에 관한 반도체 디바이스 구동회로의 동작 시퀀스를 도시한 도면이다.

도 17은 실시형태 5에 관한 반도체 디바이스 구동회로의 구성을 도시한 도면이다.

도 18은 실시형태 5에 관한 반도체 디바이스 구동회로의 동작 시퀀스를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] <실시형태 1>

[0013] <구성>

[0014] 도 1에, 본 실시형태에 있어서의 반도체 디바이스 구동장치의 구성을 나타낸다. 본 실시형태에 있어서

의 반도체 디바이스 구동장치는, 반도체 디바이스 구동회로(100), 후술하는 부트스트랩 회로(20) 및 부전위용 커패시터(18)를 구비한다. 반도체 디바이스 구동장치는, 부하(7)를 온/오프 구동하는 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)를 더 구비한다. 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)는 예를 들면 n형 MOSFET이다.

[0015] 반도체 디바이스 구동회로(100)는, 외부의 하이사이드 스위칭 소자(5), 로우사이드 스위칭 소자(6)를 각각 온/오프 구동하기 위한 하이사이드 드라이버(3)와 로우 사이드 드라이버(4)를 구비한다. 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)의 온/오프를 행함으로써, 외부의 부하(즉 반도체 디바이스)(7)를 구동한다.

[0016] 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)는 직렬 접속되어 있고, 로우사이드 스위칭 소자(6)의 소스는 기준 전위 GND에 접속되어 있다. 하이사이드 스위칭 소자(5)의 드레인은 외부의 고전압원(8)의 정전위와 접속되고, 고전압원(8)의 부전위측은 기준 전위 GND에 접속되어 있다. 부하(7)는, 하이사이드 스위칭 소자(5)와 로우사이드 스위칭 소자(6)의 접속점 VS와, 기준 전위 GND 사이에 접속되어 있다.

[0017] 로우 사이드 드라이버(4)의 정전위 입력 단자는, 외부의 제1 전압원(11)의 정전위 VCC과 접속되어 있다. 제1 전압원(11)의 부전위는, 기준 전위 GND와 접속되어 있다.

[0018] 또한, 로우 사이드 드라이버(4)의 부전위 입력 단자는, 외부의 제2 전압원(12)의 부전위와 접속되고, 제2 전압원(12)의 부전위는 기준 전위 LGND와 접속되어 있다. 또한, 제2 전압원(12)의 정전위는 기준 전위 GND와 접속되어 있다.

[0019] 하이사이드 드라이버(3)의 정전위 입력 단자는, 접속점 VS를 기준으로 한 양 전압을 인가하는 외부의 부트스트랩 회로(20)와 접속되어 있다.

[0020] 부트스트랩 회로(20)는, 제1 전압원(11)과 접속점 VS 사이에 직렬 접속된 저항 소자(9), 다이오드(10) 및 정전위용 커패시터(17)에 의해 구성된다. 정전위용 커패시터(17)는, 하이사이드 드라이버(3)의 정전위 입력 단자와 접속점 VS 사이에 접속된다. 접속점 VS와, 하이사이드 드라이버(3)의 부전위 입력 단자 사이에는 외부의 부전위용 커패시터(18)가 삽입된다.

[0021] 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)는, 제어용 스위칭 소자(14) 및 제어용 스위칭 소자의 온/오프를 제어하는 스위치 제어회로(13)를 더 구비한다. 제어용 스위칭 소자(14)의 소스는 기준 전위 LGND에 접속되고, 드레인은 하이사이드 드라이버(3)의 부전위 입력 단자에 접속되어 있다.

[0022] 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)는, 입력회로(1)를 더 구비한다. 입력회로(1)에는, 하이사이드 드라이버(3)의 온/오프를 제어하는 하이사이드 신호 HIN과, 로우 사이드 드라이버(4)의 온/오프를 제어하는 로우사이드 신호 LIN이 입력된다.

[0023] 하이사이드 드라이버(3)의 전단의 고압 레벨 시프트 회로(2) 및 스위치 제어회로(13)에는, 입력회로(1)를 거쳐, 하이사이드 신호 HIN이 입력된다. 또한, 로우 사이드 드라이버(4)에는, 입력회로(1)를 거쳐, 로우사이드 신호 LIN이 입력된다.

[0024] 스위치 제어회로(13)에는, 하이사이드 신호 HIN과 동일한 파형의 신호 LSB이 입력회로(1)를 거쳐 입력된다. 또한, 스위치 제어회로(13)에는 스위치용 신호 LSA가 입력되고, 신호 LSB과 스위치용 신호 LSA의 적어도 한쪽이 하이 레벨일 때, 하이 레벨의 신호를 접속점 SOUT에 출력한다.

[0025] 고압 레벨 시프트 회로(2)의 일례를 도 2에 나타낸다. 고압 레벨 시프트 회로(2)는, 입력측의 정부의 전위(정전위 VCC, 기준 전위 LGND)를 기준으로 한 신호의 신호 레벨을, 출력측의 정부의 전위(접속점 VB, LVS)를 기준으로 한 신호 레벨로 변환하는 기능을 갖는 회로이다.

[0026] 이때, 도 1에 나타낸 것과 같이 부전위용 커패시터(18)의 양단에, 전압 클램프회로(16)를 삽입해도 된다. 전압 클램프회로(16)는, 부전위용 커패시터(18)의 양단의 전압이 소정값을 초과한 경우에는, 부전위용 커패시터(18)의 양단의 전압을 소정값으로 고정하는 기능을 갖는다. 전압 클램프회로(16)의 일례를 도 3에 나타낸다.

[0027] 또한, 도 1에 나타낸 것과 같이, 접속점 VB, VS, LVS에 접속하도록 충전 전류 보정회로(15)를 추가해서 설치해도 된다. 충전 전류 보정회로(15)의 일례를 도 4에 나타낸다. 이때, 충전 전류 보정회로(15)의 기능에 대해서는 후술한다.

[0028] <동작>

[0029] 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)의 동작을 설명한다. 도 5에, 반도체 디바이스 구동회로(100)의 동작 시퀀스를 나타낸다. 도 5는, 각 접속점 및 각 입력 신호의 전위의 시간 변화를 나타낸 것이다.

[0030] 우선, 초기 동작에 대해 설명한다. 최초에, 제1, 2의 전압원 11, 12가 시동한다(동작 101, 102). 다음에, 정전위용 커패시터(17)를 초기 충전하기 위해, 연속된 펄스 형상의 로우사이드 신호 LIN이 입력회로(1)에 입력된다(동작 103). 그러면, 로우사이드 스위칭 소자(6)가 온이 되어(동작 104), 제1 전압원(11)에 의해 커패시터 17이 충전된다(동작 105).

[0031] 또한, 스위치 제어회로(13)에도 연속된 펄스 형상의 스위치용 신호 LSA가 입력되고(동작 106), 제어용 스위칭 소자(14)가 온되고(동작 107), 제2 전압원(12)에 의해 부전위용 커패시터(18)가 초기 충전된다(동작 108).

[0032] 이어서, 고전압원(8)이 시동한다(동작 109). 다음에, 부전위용 커패시터(18)를 더 초기 충전하기 위해, 입력회로(1)에 펄스 형상의 하이사이드 신호 HIN이 입력된다(동작 110). 그러면, 하이사이드 스위칭 소자(5)가 온이 되고(동작 111), 그것에 연동해서 제어용 스위칭 소자(14)도 온이 되기 때문에(동작 112), 고전압원(8)과 제2 전압원(12)에 의해 부전위용 커패시터(18)가 충전된다(동작 113). 그리고, 하이사이드 스위칭 소자(5)가 턴오프하면, 부전위용 커패시터(18)의 방전이 행해지고(동작 114), 하이사이드 드라이버(3)의 부전위 입력 단자에는, 접속점 VS를 기준으로 한 부전위가 인가된다.

[0033] 다음에, 통상 동작에 대해 설명한다. 입력회로(1)에 하이 레벨의 로우사이드 신호 LIN이 입력되면(동작 115), 로우사이드 스위칭 소자(6)가 온이 된다(동작 116). 로우사이드 스위칭 소자(6)가 온인 동안, 제1 전압원(11)에 의해 정전위용 커패시터(17)가 충전되는 동시에(동작 117), 부전위용 커패시터(18)의 방전에 의해 하이사이드 드라이버(3)의 부전위 입력 단자에는, 접속점 VS를 기준으로 한 부전위가 인가된다.

[0034] 이때, 로우사이드 스위칭 소자(6)가 오프일 때, 제어용 스위칭 소자(14)는 오프이고, 제어용 스위칭 소자(14)의 소스, 드레인 사이에는 제2 전압원(12) 정도의 전압이 인가되어 있다.

[0035] 다음에, 입력회로(1)에 하이 레벨의 하이사이드 신호 HIN이 입력되면(동작 118), 하이사이드 스위칭 소자(5)가 온된다(동작 119). 하이사이드 스위칭 소자(5)가 온되면, 정전위용 커패시터(17)가 방전되고(동작 120), 하이사이드 드라이버(3)의 정전위 입력 단자에, 접속점 VS를 기준으로 한 정전위가 인가된다.

[0036] 또한, 하이사이드 스위칭 소자(5)의 온에 연동해서 제어용 스위칭 소자(14)도 온이 된다(동작 121). 그러면, 부전위용 커패시터(18), 고전압원(8), 제2 전압원(12)을 포함하는 폐루프가 형성되기 때문에, 고전압원(8)과 제2 전압원(12)에 의해 부전위용 커패시터(18)가 충전된다(동작 122). 또한, 동시에 하이사이드 드라이버(3)의 부전위 입력 단자에, 고전압원(8)과 제2 전압원에 의해 접속점 VS를 기준으로 한 부전위가 인가된다.

[0037] 그리고, 하이사이드 스위칭 소자(5)가 턴오프하면(동작 123), 부전위용 커패시터(18)의 방전이 행해져(동작 124), 하이사이드 드라이버(3)의 부전위 입력 단자에는, 접속점 VS를 기준으로 한 부전위가 인가된다.

[0038] 이때, 로우 사이드 드라이버(4)의 정전위 입력 단자에는, 제1 전압원(11)으로부터 기준 전위 GND를 기준으로 한 정전위가 상시 인가되고 있다. 또한, 로우 사이드 드라이버(4)의 부전위 입력 단자에는, 제2 전압원(12)으로부터 기준 전위 GND를 기준으로 한 부전위가 항상 인가되고 있다.

[0039] 다음에, 충전 전류 보정회로(15)에 대해 설명한다. 부트스트랩 회로(20)의 정전위용 커패시터(17)가 방전하여, 하이사이드 스위칭 소자(5)의 정전위 입력 단자에 정전위가 인가되고 있을 때, 하이사이드 드라이버(3)의 정 및 부전위 입력 단자 사이의 전위차가 하이사이드 드라이버(3)를 구동하기 위해 필요한 전압을 초과하면, 정전위용 커패시터(17)의 방전 전류는 부전위용 커패시터(18)의 충전에 이용된다. 이때, 부전위용 커패시터(18)의 양단은, 전류 제한회로(예를 들면, 도 4 중의 트랜지스터)를 거쳐 단락된다. 트랜지스터의 소스 및 드레인 사이를 흐르는 전류는, 게이트에 인가되는 전압에 의해 제한된다. 이에 따라, 부전위용 커패시터(18)의 충전 전류가 증대되기 때문에, 부전위용 커패시터(18)의 충전을 보다 급속하게 행하는 것이 가능해진다. 이때, 도 4의 회로 구성은 일례이며, 상기한 기능을 갖는 회로이면 된다.

[0040] <효과>

[0041] 종래에는, 도 1의 회로 구성에 있어서, 로우사이드 스위칭 소자(6)의 온에 연동하여, 제어용 스위칭 소자(14)를 온시키고 있었다. 즉, 제어용 스위칭 소자(14)가 온일 때, 제어용 스위칭 소자(14)의 소스 및 드레인 사이에는 제2 전압원(12)의 정도의 전압밖에 인가되지 않았다. 이때 제어용 스위칭 소자(14)는 도 6의 선형 영역에서 동작한다. 즉, 선형 영역하에서 충분한 전류를 부전위용 커패시터(18)에 흘리기 위해서는, 제어용 스위칭 소자(14)에는 높은 전류 능력이 요구되었다.

[0042] 한편, 본 실시형태에서는, 제어용 스위칭 소자(14)가 온일 때, 제어용 스위칭 소자(14)의 소스 및 드레인 사이에는 제2 전압원(12) 및 고전압원(8)에 의해 종래보다도 높은 전압이 인가된다. 즉, 제어용 스위칭 소자(14)는, 도 6에 나타낸 포화 영역에서 동작하기 때문에, 부전위용 커패시터(18)에 충분한 전류를 흘리는 것이 가능하다.

[0043] 또한, 종래에는, 제어용 스위칭 소자(14)가 오프일 때, 제어용 스위칭 소자(14)의 소스 및 드레인 사이에는 제2 전압원(12)과 고전압원(8)에 의해 높은 전압이 인가되었기 때문에, 제어용 스위칭 소자(14)에는 고내압성이 요구되었다. 한편, 본 실시형태에서는, 제어용 스위칭 소자(14)가 오프일 때, 제어용 스위칭 소자(14)의 양단에는 제2 전압원(12) 정도의 전압밖에 인가되지 않기 때문에, 제어용 스위칭 소자(14)에는, 종래와 같은 고내압성이 요구되지 않는다.

[0044] 따라서, 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)에 있어서는, 종래와 비교하여, 제어용 스위칭 소자(14)에 대한 고전류 능력 및 고내압성의 요구가 완화된다. 따라서, 제어용 스위칭 소자(14)를 보다 소형화하는 것이 가능하다. 제어용 스위칭 소자(14)를 소형화함으로써, 반도체 디바이스 구동회로(100) 전체를 1개의 칩에 보다 용이하게 집적하는 것이 가능해진다.

[0045] 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)는, 외부의 고전압원(8)에 접속된 외부의 하이사이드 스위칭 소자(5) 및 하이사이드 스위칭 소자(5)와 기준 전위 GND 사이에 직렬 접속된 외부의 로우사이드 스위칭 소자(6)를 온/오프 구동함으로써, 외부의 반도체 디바이스(7)를 구동하는 반도체 디바이스 구동회로(100)로서, 하이사이드 스위칭 소자(5)를 온/오프 구동하는 하이사이드 드라이버(3)와, 로우사이드 스위칭 소자(6)를 온/오프 구동하는 로우 사이드 드라이버(4)와, 하이사이드 스위칭 소자(5)의 온에 연동해서 온되는 제어용 스위칭 소자(14)를 구비하고, 로우 사이드 드라이버(4)의 정전위 입력 단자는, 외부의 제1 전압원(11)의 정전위와 접속되고, 제1 전압원(11)의 부전위는 기준 전위 GND와 접속되고, 로우 사이드 드라이버(4)의 부전위 입력 단자는, 외부의 제2 전압원(12)의 부전위와 접속되고, 제2 전압원(12)의 정전위는 기준 전위 GND와 접속되고, 하이사이드 드라이버(3)의 정전위 입력 단자는, 하이사이드 스위칭 소자(5)와 로우사이드 스위칭 소자(6)의 접속점 VS를 기준으로 한 양 전압을 인가하는 외부의 부트스트랩 회로(20)와 접속되고, 하이사이드 스위칭 소자(5)와 로우사이드 스위칭 소자(6)의 접속점 VS와, 하이사이드 드라이버(3)의 부전위 입력 단자와의 사이에는 외부의 부전위용 커패시터(18)가 삽입되고, 하이사이드 스위칭 소자(5)와 제어용 스위칭 소자(14)는, 부전위용 커패시터(18)와, 고전압원(8)과, 제2 전압원(12)을 포함하는 폐루프를 형성하는 것을 특징으로 한다.

[0046] 따라서, 제어용 스위칭 소자(14)가 온일 때, 제어용 스위칭 소자(14)의 소스 및 드레인 사이에는 고전압원(8)에 의해 높은 전압이 인가된다. 즉, 제어용 스위칭 소자(14)는 포화 영역에서 동작하기 때문에, 부전위용 커패시터(18)에 충분한 전류를 흘리는 것이 가능하다. 또한, 제어용 스위칭 소자(14)가 오프일 때, 제어용 스위칭 소자(14)의 양단에는 제2 전압원(12) 정도의 전압밖에 인가되지 않기 때문에, 제어용 스위칭 소자(14)에는, 고내압성이 요구되지 않는다. 따라서, 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)에 있어서는, 종래와 비교하여, 제어용 스위칭 소자(14)에 대한 고전류 능력 및 고내압성의 요구가 완화된다. 즉, 제어용 스위칭 소자(14)를 보다 소형화하는 것이 가능하다. 제어용 스위칭 소자(14)의 소형화가 가능해짐으로써, 반도체 디바이스 구동회로(100) 전체를 1개의 칩에 보다 용이하게 집적하는 것이 가능해진다.

[0047] 또한, 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)는, 부전위용 커패시터(18)의 양단에 인가되는 전압이 소정값을 초과하는 것을 방지하는 전압 클램프회로(16)를 더 구비한다. 따라서, 부전위용 커패시터(18)의 과충전을 방지하는 것이 가능하다. 과충전을 방지함으로써, 부전위용 커패시터(18)를 장수명화하는 것이 가능하다.

[0048] 또한, 본 실시형태에 있어서의 반도체 디바이스 구동회로(100)는 충전 전류 보정회로(15)를 더 구비하고, 부트스트랩 회로(20)는, 하이사이드 드라이버(3)의 정전위 입력 단자와, 하이사이드 스위칭 소자(5)와 로우사이드 스위칭 소자(6)의 접속점 VS 사이에 접속된 정전위용 커패시터(17)를 구비하고, 충전 전류 보정회로(1

5)는, 하이사이드 드라이버(3)의 정전위 입력 단자와 부전위 입력 단자의 전위차가 소정값을 초과한 경우, 전류량을 제한하는 전류 제한회로를 거쳐, 정전위용 커패시터(17)의 양단을 단락하는 것을 특징으로 한다.

[0049] 따라서, 정전위용 커패시터(17)의 양단을, 전류 제한회로(예를 들면, 도 3 중의 트랜지스터)를 거쳐 단락함으로써, 정전위용 커패시터(17)의 방전에 의해 부전위용 커패시터(18)를 충전하는 것이 가능하다. 따라서, 충전 전류 보정회로(15)를 추가함으로써, 부전위용 커패시터(18)의 충전 전류를 보다 증대시킬 수 있다. 따라서, 부전위용 커패시터(18)의 충전 시간을 단축하는 것이 가능하다.

[0050] 또한, 본 실시형태에 있어서의 반도체 디바이스 구동장치는, 반도체 디바이스 구동회로(100)와, 하이사이드 스위칭 소자(5)와, 로우사이드 스위칭 소자(6)와, 부전위용 커패시터(18)와, 부트스트랩 회로(20)를 더 구비한다.

[0051] 따라서, 반도체 디바이스 구동회로(100)에 하이사이드, 로우사이드의 스위칭 소자 등을 추가하여, 파워 모듈을 구성하는 경우에도, 반도체 디바이스 구동회로(100)의 소형화에 의해 모듈 전체를 소형화하는 것이 가능하다.

[0052] 또한, 본 실시형태에 있어서의 반도체 디바이스 구동장치에 있어서, 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)는 와이드 밴드갭 반도체를 포함하는 것을 특징으로 한다.

[0053] 따라서, 하이사이드 스위칭 소자(5) 및 로우사이드 스위칭 소자(6)를 SiC이나 GaN 등의 와이드 갭 반도체 재료에 의해 구성함으로써, 고온하에서의 고속의 스위칭이 가능해진다.

[0054] <실시형태 2>

[0055] 본 실시형태에 있어서의 반도체 디바이스 구동회로는, 실시형태 1(도 1)에 있어서의 스위치 제어회로(13)를, 도 7에 나타낸 스위치 제어회로(13A)로 치환한 것이다. 스위치 제어회로(13A) 이외의 구성은 실시형태 1(도 1)과 같기 때문에, 설명을 생략한다.

[0056] 본 실시형태에 있어서의 스위치 제어회로(13A)는, 실시형태 1에 있어서의 스위치 제어회로(13)에 대해, 펄스 발생부(131)를 더 구비한다. 펄스 발생부(131)는, 하이 레벨의 신호 LSB이 연속해서 계속 입력된 경우, 일정한 시간이 경과할 때까지는 접속점 LSP에 하이 레벨의 신호를 출력하고, 일정 시간 경과후에는 로우 레벨의 신호를 출력한다. 즉, 펄스 발생부(131)는, 제어용 스위칭 소자(14)가 온되고 나서 일정 시간 경과후에, 제어용 스위칭 소자(14)를 오프하는 기능을 갖는다. 이때, 도 7에 나타낸 펄스 발생부(131)의 구성은 일례이며, 전술한 기능을 갖는 구성이면 된다.

[0057] 본 실시형태에 있어서의 반도체 디바이스 구동회로의 동작을, 도 8의 시퀀스도를 사용하여 설명한다. 실시형태 1에서는, 제어용 스위칭 소자(14)는, 하이사이드 스위칭 소자(5)의 온/오프에 연동해서 온/오프되었다. 본 실시형태에서는, 도 8의 동작 221로 나타낸 것과 같이, 제어용 스위칭 소자(14)는, 하이사이드 스위칭 소자(5)의 온에 연동해서 온된 후, 일정 시간 후에 오프한다. 그 밖의 동작, 즉 동작 201~220 및 동작 222~224는, 실시형태 1의 도 5의 동작 101~120 및 동작 122~124와 같기 때문에, 설명을 생략한다.

[0058] 제어용 스위칭 소자(14)가 온되고 나서 오프할 때까지의 시간은, 예를 들면 도 7에 있어서는, 펄스 발생부(131)에 구비된 커패시터의 용량을 변화시킴으로써 조정가능하다. 제어용 스위칭 소자(14)가 온되고 나서 오프할 때까지의 시간은, 부전위용 커패시터(18)의 충전에 필요로 하는 시간을 기준으로 설정하면 된다. 이것은, 부전위용 커패시터(18)의 충전이 완료한 후에는, 제어용 스위칭 소자(14)가 온 상태일 필요가 없기 때문이다.

[0059] <효과>

[0060] 본 실시형태에 관한 반도체 디바이스 구동회로에 있어서, 제어용 스위칭 소자(14)가 온되고 나서 오프할 때까지의 시간을 조정하는 것이 가능하다.

[0061] 따라서, 본 실시형태에서는, 제어용 스위칭 소자(14)가 온되고 있는 시간을 최소한으로 억제할 수 있기 때문에, 소비 전력 삭감의 효과 및 통전에 의한 발열을 억제하는 효과가 기대된다.

[0062] <실시형태 3>

[0063] <구성>

[0064] 도 9에, 본 실시형태에 있어서의 반도체 디바이스 구동회로(300)의 회로 구성을 나타낸다. 도 10에 본 실시형태에 있어서의 전압 클램프회로(16A)의 일례를 나타낸다. 또한, 접속점 VS와 접속점 LVS 사이에는, 고압 역레벨 시프트 회로(51)가 삽입되어 있다. 고압 역레벨 시프트 회로(51)의 일례를 도 11에 나타낸다. 또한, 본 실시형태에 있어서의 스위치 제어회로(13B)의 일례를 도 12에 나타낸다. 그 밖의 구성은 실시형태 1(도 1)과 같기 때문에, 설명을 생략한다.

[0065] <동작>

[0066] 전압 클램프회로(16A)는, 실시형태 1에 있어서의 전압 클램프회로(16)와 마찬가지로, 부전위용 커패시터(18)의 양단의 전압이 소정값을 초과하는 것을 방지하는 회로이다. 본 실시형태에 있어서의 전압 클램프회로(16A)는, 부전위용 커패시터(18)의 양단의 전압(즉, 접속점 VS와 접속점 LVS 사이의 전압)이 소정값을 초과하면, 하이 레벨의 신호 DLVS를 고압 역레벨 시프트 회로(51)에 대해 출력하는 기능을 더 구비한다. 전압 클램프회로(16A)에 설정하는 전압의 소정값을, 부전위용 커패시터(18)가 충전되었을 때의 전압으로 함으로써, 하이 레벨의 신호 DLVS는, 부전위용 커패시터(18)의 충전 완료를 의미하는 신호가 된다.

[0067] 고압 역레벨 시프트 회로(51)는, 접속점 LVS와 접속점 VS 사이의 전압을 기준으로 하는 신호의 레벨을, 접속점 LGND와 정전위 VCC 사이의 전압을 기준으로 하는 신호의 레벨로 변환해서 출력하는 기능을 구비한 회로이다. 고압 역레벨 시프트 회로(51)는, 신호 DLVS의 기준 전위를 변환하여, 신호 LSC로서 스위치 제어회로(13B)에 출력한다.

[0068] 본 실시형태에 있어서의 스위치 제어회로(13B)는, 실시형태 1의 스위치 제어회로(13)와 비교하여, 신호 LSC이 더 입력된다. 입력회로(1)로부터 입력되는 신호 LSB이 하이 레벨의 경우이고, 또한 신호 LSC이 하이 레벨이 된 경우, 스위치 제어회로(13B)는, 로우 레벨의 신호를 단자 SOUT로부터 출력한다. 즉, 부전위용 커패시터(18)의 양단의 전압이 소정값에 도달한 것을 의미하는 하이 레벨의 신호 LSC이 입력되면, 스위치 제어회로(13B)는, 제어용 스위칭 소자(14)를 오프한다. 제어용 스위칭 소자(14)가 오프됨으로써, 부전위용 커패시터(18)의 충전이 정지한다. 그 이외의 동작은 실시형태 1과 같기 때문에, 설명을 생략한다.

[0069] 도 13의 시퀀스도를 사용하여, 본 실시형태에 있어서의 반도체 디바이스 구동회로(300)의 동작을 설명한다. 도 13의 동작 319에 있어서 하이사이드 스위칭 소자(5)가 온이 되면, 그것에 연동해서 제어용 스위칭 소자(14)도 온이 되어(동작 321), 부전위용 커패시터(18)의 충전이 개시된다(동작 322).

[0070] 부전위용 커패시터(18)의 충전이 완료하여, 부전위용 커패시터(18)의 양단의 전압(접속점 VS와 접속점 LVS 사이의 전압)이 소정값을 초과하면(동작 323), 전압 클램프회로로부터 하이 레벨의 신호 DLVS가 출력되기 때문에(동작 324), 스위치 제어회로(13B)에 입력되는 신호 LSC의 레벨이 로우 레벨로부터 하이 레벨로 전환된다. 이에 따라, 스위치 제어회로(13B) 내부의 접속점 LSP의 전위가 하이 레벨로부터 로우 레벨로 변화하기 때문에(동작 325), 출력S OUT의 전위가 로우 레벨이 되어, 제어용 스위칭 소자(14)가 오프된다(동작 326). 제어용 스위칭 소자(14)가 오프함으로써, 부전위용 커패시터(18)의 충전이 정지된다.

[0071] 하이사이드 스위칭 소자(5)가 턴오프하면, 하이사이드 드라이버(3)의 부전위 입력 단자에는, 부전위용 커패시터(18)가 방전함으로써 접속점 VS를 기준으로 한 부전위가 인가된다(동작 327). 그 밖의 동작, 즉 동작 301~318 및 동작 320은, 실시형태 1에 있어서의 도 5의 동작 101~118 및 동작 120과 같기 때문에, 설명을 생략한다.

[0072] <효과>

[0073] 본 실시형태에 있어서의 반도체 디바이스 구동회로(300)는, 부전위용 커패시터(18)의 양단의 전압이 소정값에 도달하면, 부전위용 커패시터(18)의 충전을 정지하는 것을 특징으로 한다.

[0074] 따라서, 부전위용 커패시터(18)의 양단의 전압이 소정값에 도달하면, 자동적으로 제어용 스위칭 소자(14)가 오프되는 동작이 가능해지기 때문에, 실시형태 2에서 서술한 효과 이외에, 서지 전압 발생시에, 재빠르게 과전압을 검지하여, 제어용 스위칭 소자(14)를 오프함으로써 부전위용 커패시터(18)의 과충전을 방지하는 것

이 가능하다.

[0075] <실시형태 4>

[0076] <구성>

[0077] 본 실시형태에 있어서의 반도체 디바이스 구동회로(400)의 회로 구성을 도 14에 나타낸다. 또한, 도 14 중의 저압 레벨 시프트 회로(71)의 일례를 도 15에 나타낸다. 실시형태 1(도 1)에 있어서는, 입력회로(1)에 입력되는 하이사이드 신호 HIN 및 로우사이드 신호 LIN의 기준 전위는, 기준 전위 LGND이었다. 또한, 고압 레벨 시프트 회로(2)의 기준 전위를 접속점 LVS로 하고 있었다. 한편, 본 실시형태에 있어서는, 하이사이드 신호 HIN 및 로우사이드 신호 LIN의 기준 전위를 부하(7)의 기준 전위 GND와 동일하게 한다. 또한, 고압 레벨 시프트 회로(2)의 기준 전위를 접속점 VS로 한다.

[0078] 본 실시형태에 있어서는, 하이사이드 드라이버(3), 로우 사이드 드라이버(4) 및 스위치 제어회로(13)의 전단에 저압 레벨 시프트 회로(71)를 설치한다. 저압 레벨 시프트 회로(71)는, 입출력 사이에서 신호의 기준 전위를 변화시키는 기능을 갖는 회로로서, 도 15에 그 일례를 나타낸다. 저압 레벨 시프트 회로(71)의 입력측의 전원의 양극, 음극은 각각 입력 신호의 기준 전위에 접속된다. 또한, 출력측의 전원의 음극은, 출력 신호의 기준 전위에 접속된다. 예를 들면, 로우 사이드 드라이버(4)의 전단에 설치되는 저압 레벨 시프트 회로(71)의 경우, 입력측의 전원의 양극, 음극은, 정전위 VCC과 기준 전위 GND에 각각 접속되고, 출력측의 전원의 음극은 기준 전위 LGND에 접속된다. 그 밖의 구성은 실시형태 1(도 1)과 같기 때문에, 설명을 생략한다.

[0079] <동작>

[0080] 본 실시형태에 있어서의 반도체 디바이스 구동회로의 동작을 도 16의 시퀀스도를 사용하여 설명한다. 도 16과, 실시형태 1에 있어서의 시퀀스도(도 5)를 비교하면, 하이사이드 신호 HIN, 로우사이드 신호 LIN 및 스위치용 신호 LSA의 기준 전위가, 기준 전위 LGND로부터 기준 전위 GND로 변하고 있다. 또한, 고압 레벨 시프트 회로(2)의 출력측의 접속점 HBVS의 기준 전위가, 접속점 LVS의 전위로부터 접속점 VS의 전위로 변하고 있다. 접속점 HBVS의 전위의 시간 변화는, 하이사이드 신호 HIN 및 접속점 HOUT의 전위의 시간 변화와 동일한 파형이 된다.

[0081] 도 16에 있어서, 각 접속점의 전위 파형의 변화는 도 5와 같다. 즉 도 16의 동작 401~424는, 도 5의 동작 101~124와 같기 때문에, 상세한 동작 설명을 생략한다.

[0082] <효과>

[0083] 본 실시형태에 있어서의 반도체 디바이스 구동회로(400)는, 하이사이드 드라이버(3), 로우 사이드 드라이버(4) 및 제어용 스위칭 소자(14)의 각각의 전단에 저압 레벨 시프트 회로(71)를 더 구비한다.

[0084] 따라서, 부하의 기준 전위를 기준 전위로 하는 입력 신호가 입력되는 경우라도, 저압 레벨 시프트 회로(71)에 의해 신호의 기준 전위를 변경하는 것이 가능하기 때문에, 실시형태 1과 마찬가지로, 반도체 디바이스 구동회로(400)를 동작시키는 것이 가능하다. 또한, 저압 레벨 시프트 회로(71)를 배치함으로써, 전원의 안정성이 요구되는 회로(예를 들면, 입력회로(1))의 기준 전위를 기준 전위 LGND로부터 기준 전위 GND로 변경하는 것이 가능해진다. 따라서, 제2 전압원(12)을 간소화하는 것이 가능해진다.

[0085] <실시형태 5>

[0086] <구성>

[0087] 본 실시형태에 있어서의 반도체 디바이스 구동회로(500)의 회로 구성을 도 17에 나타낸다. 실시형태 4의 반도체 디바이스 구동회로(400)에 있어서는, 로우 사이드 드라이버(4)의 부전위 입력 단자에는, 외부의 제2 전압원(12)으로부터 부전위가 인가되고 있었다. 한편, 본 실시형태에서는, 외부의 전압원 12 대신에, 외부 커패시터(81)를 사용한다.

[0088] 하이사이드 드라이버(3)의 부전위 입력 단자, 즉 접속점 LVS와, 기준 전위 LGND(즉 실시형태 4에 있어서의 제2 전압원(12)의 부전위측)의 사이에는, 캐소드가 접속점 LVS에 접속된 고내압의 다이오드(83)와 전류 제한 저항(84)이 직렬로 삽입된다. 또한, 접속점 LVS와 제어용 스위칭 소자(14)의 드레인 사이에는, 애노드가 접속점 LVS와 접속된 다이오드(82)가 삽입된다. 또한, 제어용 스위칭 소자(14)의 소스는 기준 전위 GND와 접속된다. 그 밖의 구성은, 실시형태 4(도 14)와 같기 때문에, 설명을 생략한다.

[0089] <동작>

[0090] 하이사이드 스위칭 소자(5)가 온인 동안에는, 고전압원(8)에 의해, 부전위용 커패시터(18)의 충전과 하이사이드 드라이버(3)의 부전위 입력 단자에의 부전위 인가가 행해진다.

[0091] 하이사이드 스위칭 소자(5)가 오프, 로우사이드 스위칭 소자(6)가 온이 되면, 부전위용 커패시터(18)에 의해 하이사이드 드라이버(3)의 부전위 입력 단자에 부전위 인가가 행해진다. 또한, 로우사이드 스위칭 소자(6)는, 부전위용 커패시터(18), 외부 커패시터(81), 전류 제한 저항(84) 및 다이오드(83)와 함께 루프를 형성한다. 그러면, 부전위용 커패시터(18)의 방전에 의해 외부 커패시터(81)가 충전된다.

[0092] 다음에, 하이사이드 스위칭 소자(5)가 온, 로우사이드 스위칭 소자(6)가 오프가 되면, 외부 커패시터(81)가 방전함으로써, 로우 사이드 드라이버(4)의 부전위 입력 단자에 부전위 인가가 행해진다.

[0093] 본 실시형태에서는, 실시형태 4에 있어서의 제2 전압원(12) 대신에, 외부 커패시터(81)를 사용해서 로우 사이드 드라이버(4)의 부전위 입력 단자에 대해 부전위의 인가를 행한다.

[0094] 도 18의 시퀀스도를 사용하여, 반도체 디바이스 구동회로(500)의 동작을 상세히 설명한다. 우선, 초기 동작에 대해 설명한다. 최초에, 제1 전압원(11)이 시동한다(동작 501). 다음에, 정전위용 커패시터(17)를 초기 충전하기 위해, 연속된 펄스 형상의 로우사이드 신호 LIN이 입력회로(1)에 입력된다(동작 502). 그러면, 로우사이드 스위칭 소자(6)가 온이 되어(동작 503), 제1 전압원(11)에 의해 정전위용 커패시터(17)가 충전된다(동작 504).

[0095] 또한, 스위치 제어회로(13)에도 연속된 펄스 형상의 스위치용 신호 LSA가 입력되어(동작 505), 제어용 스위칭 소자(14)가 온되지만(동작 506), 부전위용 커패시터(18)는 충전되지 않는다(동작 507).

[0096] 이어서, 고전압원(8)이 시동한다(동작 508). 다음에, 부전위용 커패시터(18)를 초기 충전하기 위해, 입력회로(1)에 펄스 형상의 하이사이드 신호 HIN이 입력된다(동작 509). 그러면, 고압 레벨 시프트 회로(2) 및 저압 레벨 시프트 회로(71)를 거쳐 신호가 하이사이드 드라이버(3)에 입력되기 때문에(동작 510), 하이사이드 스위칭 소자(5)가 온이 된다(동작 511). 하이사이드 스위칭 소자(5)의 온 동작에 연동해서 제어용 스위칭 소자(14)도 온이 되기 때문에(동작 512), 고전압원(8)에 의해 부전위용 커패시터(18)가 충전된다(동작 513). 그리고, 하이사이드 스위칭 소자(5)가 턴오프되면, 부전위용 커패시터(18)의 방전이 행해져(동작 514), 하이사이드 드라이버(3)의 부전위 입력 단자에는, 접속점 VS를 기준으로 한 부전위가 인가된다.

[0097] 다음에, 외부 커패시터(81)를 초기 충전하기 위해, 연속된 펄스 형상의 로우사이드 신호 LIN이 입력회로(1)에 입력된다(동작 515). 그러면, 로우사이드 스위칭 소자(6)가 온이 되어(동작 516), 부전위용 커패시터(18)의 방전에 의해 외부 커패시터(81)가 충전된다(동작 517). 또한, 로우사이드 스위칭 소자(6)가 온인 동안에, 정전위용 커패시터(17)가 제1 전압원(11)에 의해 충전된다(동작 518).

[0098] 다음에, 통상 동작에 대해 설명한다. 입력회로(1)에 하이 레벨의 로우사이드 신호 LIN이 입력되면(동작 519), 로우사이드 스위칭 소자(6)가 온이 된다(동작 520). 이때, 하이사이드 스위칭 소자(5) 및 제어용 스위칭 소자(14)는 오프이고, 로우사이드 스위칭 소자(6)는, 부전위용 커패시터(18), 외부 커패시터(81), 전류 제한 저항(84) 및 다이오드(83)와 함께 루프를 형성한다. 따라서, 부전위용 커패시터(18)가 방전함으로써(동작 521), 외부 커패시터(81)가 충전된다(동작 522). 또한, 동시에 로우 사이드 드라이버(4)의 부전위 입력 단자에는, 외부 커패시터(81)의 방전에 의해 부전위가 인가된다.

[0099] 로우사이드 스위칭 소자(6)가 오프되면, 로우 사이드 드라이버(4)의 부전위 입력 단자에는, 외부 커패시터(81)의 방전에 의해 부전위가 인가된다(동작 523).

[0100] 다음에, 입력회로(1)에 하이 레벨의 하이사이드 신호 HIN이 입력되면(동작 524), 하이사이드 스위칭 소자(5)가 온된다(동작 525). 하이사이드 스위칭 소자(5)가 온되면, 커패시터 17이 방전되어(동작 526), 하이사이

드 드라이버(3)의 정전위 입력 단자에, 접속점 VS를 기준으로 한 정전위가 인가된다.

[0101] 또한, 하이사이드 스위칭 소자(5)의 온에 연동해서 제어용 스위칭 소자(14)도 온이 된다(동작 527). 그러면, 부전위용 커패시터(18)와 고전압원(8)을 포함하는 루프가 형성되기 때문에, 고전압원(8)에 의해 부전위용 커패시터(18)가 충전된다(동작 528). 또한, 동시에 하이사이드 드라이버(3)의 부전위 입력 단자에, 고전압원(8)에 의해 접속점 VS를 기준으로 한 부전위가 인가된다.

[0102] 그리고, 하이사이드 스위칭 소자(5)가 턴오프되면, 부전위용 커패시터(18)의 방전이 행해져(동작 529), 하이사이드 드라이버(3)의 부전위 입력 단자에는, 접속점 VS를 기준으로 한 부전위가 인가된다. 이때, 로우 사이드 드라이버(4)의 정전위 입력 단자에는, 제1 전압원(11)에 의해, 기준 전위 GND를 기준으로 한 정전위가 상시 인가되고 있다.

[0103] <효과>

[0104] 본 실시형태에 있어서의 반도체 디바이스 구동회로(500)는, 하이사이드 드라이버(3)의 부전위 입력 단자와 제2 전압원(12)의 부전위측 사이에 접속된 다이오드(83)를 더 구비하고, 다이오드(83)의 캐소드는 하이사이드 드라이버(3)의 부전위 입력 단자에 접속되어 있고, 제2 전압원(12) 대신에 외부 커패시터(81)가 설치되고, 로우사이드 스위칭 소자(6)는, 부전위용 커패시터(18), 외부 커패시터(81) 및 다이오드(83)와 함께 루프를 형성하는 것을 특징으로 한다.

[0105] 따라서, 본 실시형태에서는, 로우 사이드 드라이버(4)의 부전위 입력 단자에 부전위를 인가하는 전압원으로서, 외부의 제2 전압원(12) 대신에, 외부 커패시터(81)를 사용한다. 따라서, 전원을 1개 삭감할 수 있기 때문에, 회로의 간소화가 가능하다.

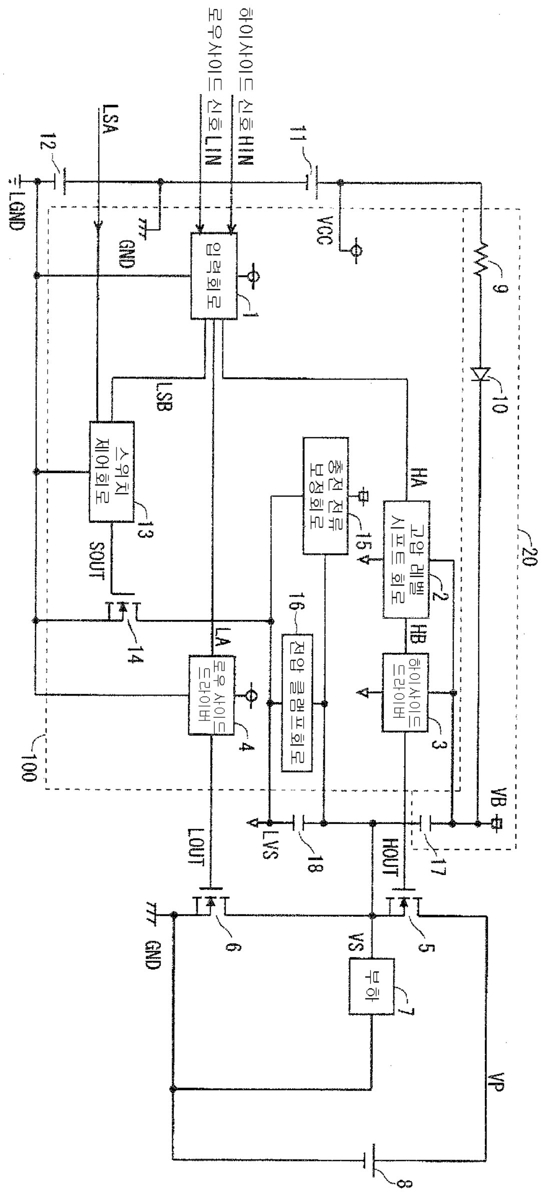
[0106] 이때, 본 발명은, 그 발명의 범위 내에 있어서, 각 실시형태를 자유롭게 조합하거나, 각 실시형태를 적절히, 변형, 생략하는 것이 가능하다.

부호의 설명

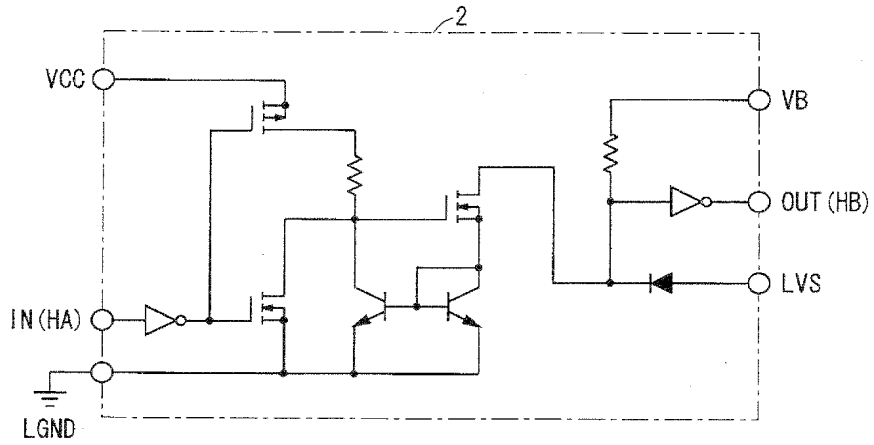
[0107] 1 입력회로, 2 고압 레벨 시프트 회로, 3 하이사이드 드라이버, 4 로우 사이드 드라이버, 5 하이사이드 스위칭 소자, 6 로우사이드 스위칭 소자, 7 부하, 8 고전압원, 9 저항 소자, 10 다이오드, 11 제1 전압원, 12 제2 전압원, 13, 13A, 13B 스위치 제어회로, 14 제어용 스위칭 소자, 15 충전 전류 보정회로, 16, 16A 전압 클램프회로, 17 정전위용 커패시터, 18 부전위용 커패시터, 20 부트스트랩 회로, 51 고압 역레벨 시프트 회로, 71 저압 레벨 시프트 회로, 81 외부 커패시터, 82, 83 다이오드, 84 전류 제한 저항, 100, 300, 400, 500 반도체 디바이스 구동회로.

도면

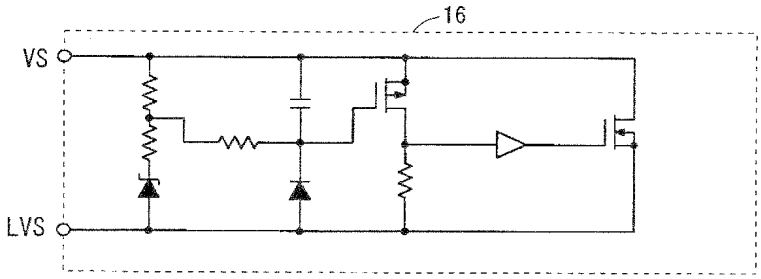
도면1


하이사이드 신호 HIN
로우사이드 신호 LIN
LSA
LGND
GND
VCC
입력회로
LSB
스위치 제어회로
SOUT
HA
충전 전류 보정회로
고압 레벨 시프트 회로
HB
하이사이드 드라이버
LA
로우사이드 드라이버
전압 클램프회로
VB
LVS
HOUT
LOUT
VS
부하
VP

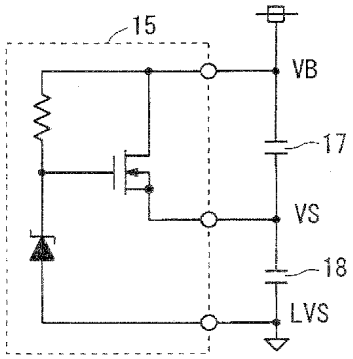
도면2



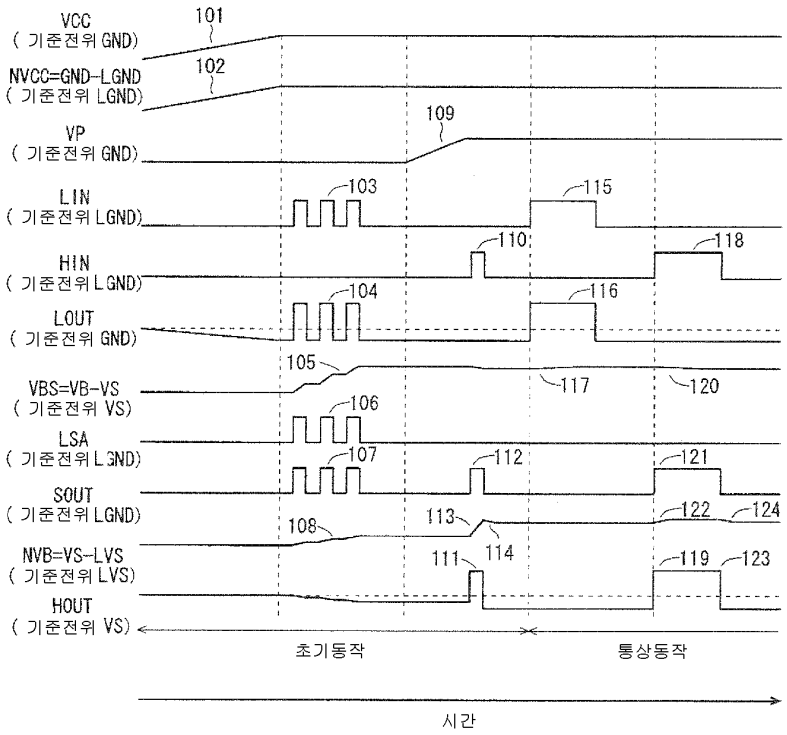
도면3



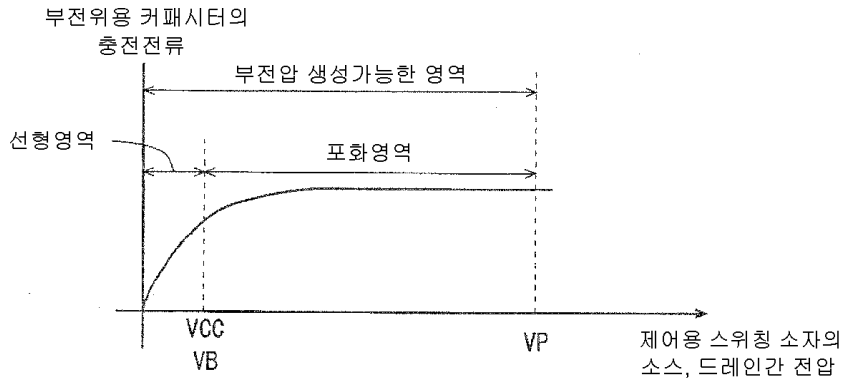
도면4



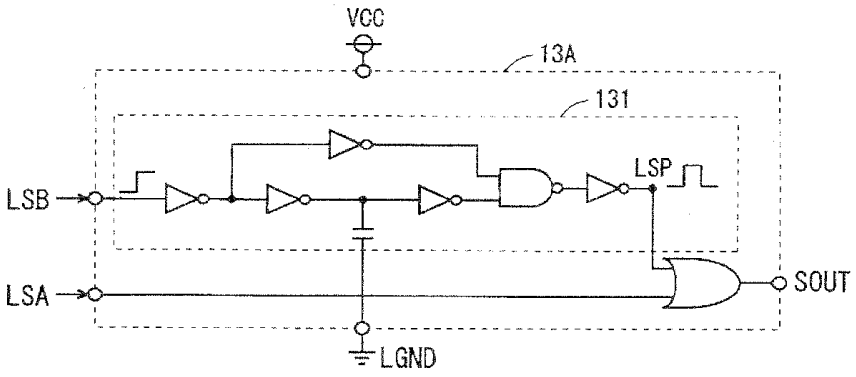
도면5


VCC
(기준전위 GND)
101
NVCC=GND-LGND
(기준전위 LGND)
102
VP
(기준전위 GND)
109
LIN
(기준전위 LGND)
103
115
HIN
(기준전위 LGND)
110
118
LOUT
(기준전위 GND)
104
116
VBS=VB-VS
(기준전위 VS)
105
117
120
LSA
(기준전위 LGND)
106
SOUT
(기준전위 LGND)
107
112
121
NVB=VS-LVS
(기준전위 LVS)
108
113
122
124
111
114
119
123
HOUT
(기준전위 VS)
초기동작
통상동작
시간

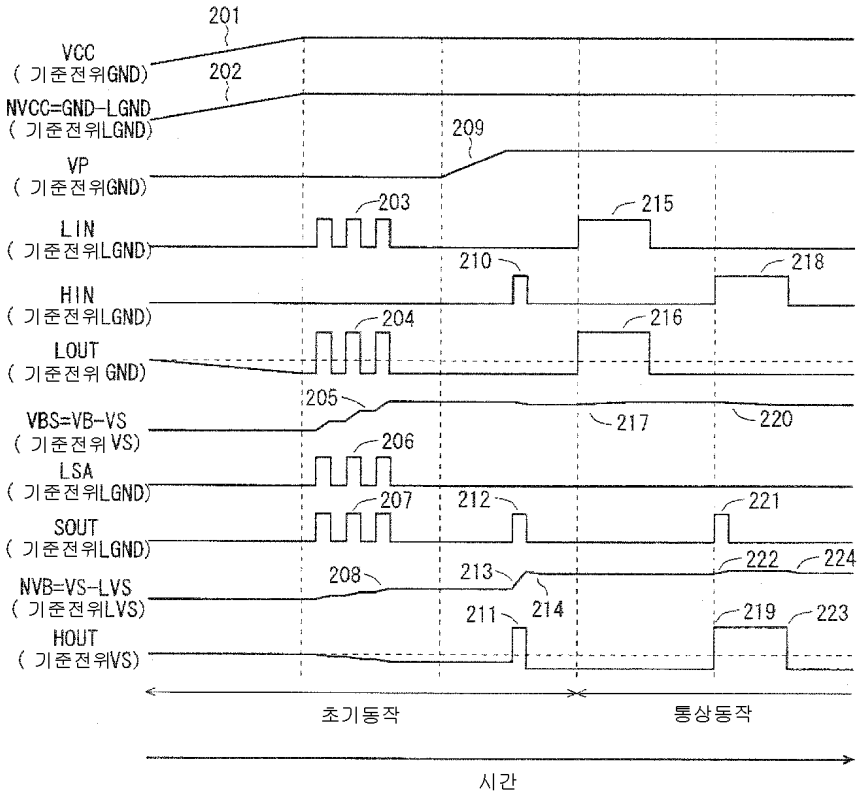
도면6


부전위용 커패시터의
충전전류
부전압 생성가능한 영역
선형영역
포화영역
VCC
VB
VP
제어용 스위칭 소자의
소스, 드레인간 전압

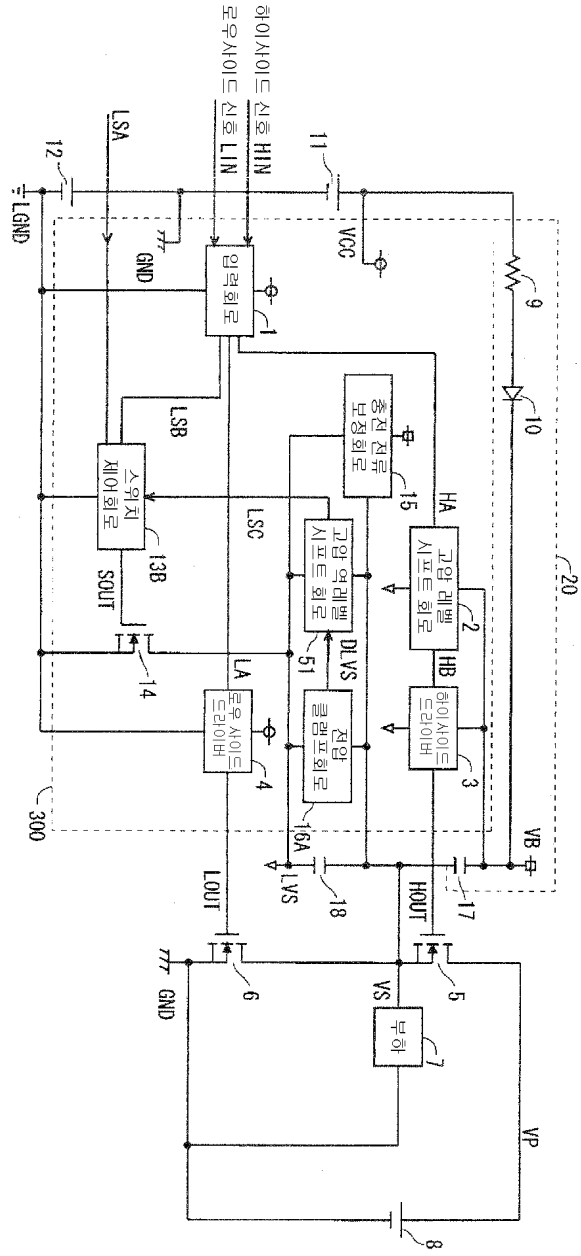
도면7


VCC
13A
131
LSP
LSB
LSA
SOUT
LGND

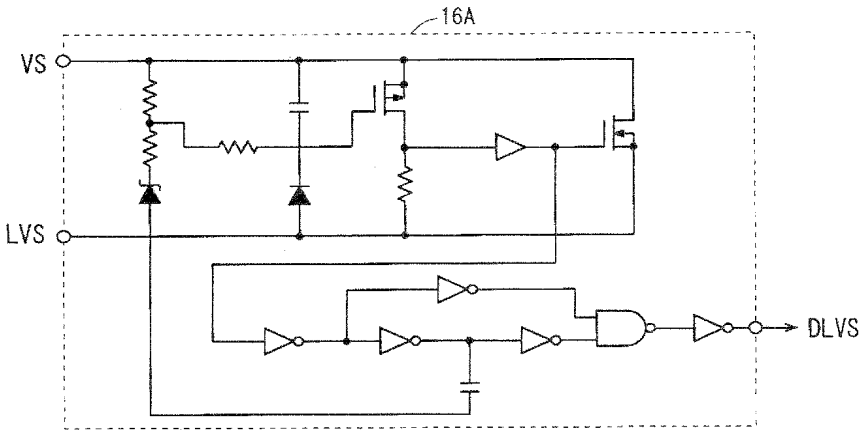
도면8


201
VCC
(기준전위GND)
202
NVCC=GND-LGND
(기준전위LGND)
209
VP
(기준전위GND)
203
215
LIN
(기준전위LGND)
210
218
HIN
(기준전위LGND)
204
216
LOUT
(기준전위 GND)
205
217
220
VBS=VB-VS
(기준전위 VS)
206
LSA
(기준전위LGND)
207
212
221
SOUT
(기준전위LGND)
208
213
222
224
NVB=VS-LVS
(기준전위LVS)
211
214
219
223
HOUT
(기준전위VS)
초기동작
통상동작
시간

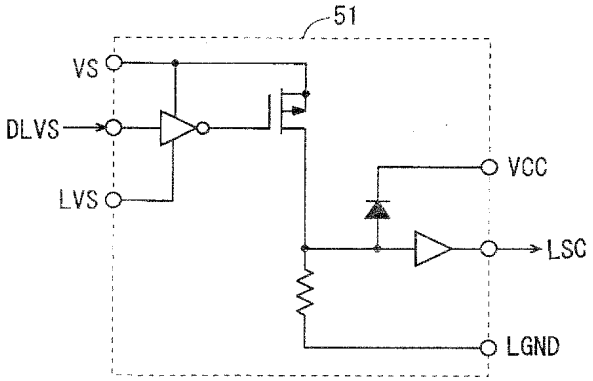
도면9


하이사이드 신호 HIN
로우사이드 신호 LIN
LSA
12
LGND
GND
11
VCC
입력회로
1
9
10
LSB
충전 전류 보정회로
15
HA
고압 레벨 시프트 회로
2
20
스위치 제어회로
13B
SOUT
LSC
고압 업 레벨 시프트 회로
51
DLVS
HB
하이사이드 드라이버
3
14
LA
로우 사이드 드라이버
4
클램프회로
16A
LVS
300
VB
LOUT
HOUT
18
17
GND
6
VS
5
버퍼
7
VP
8

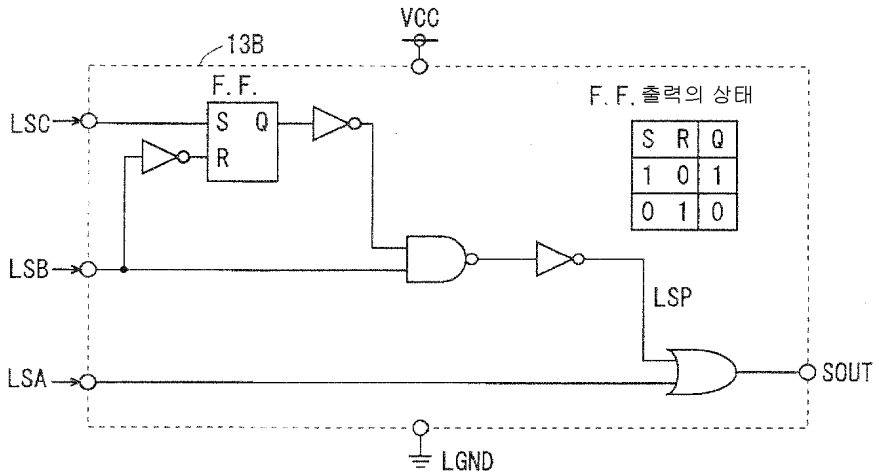
도면10



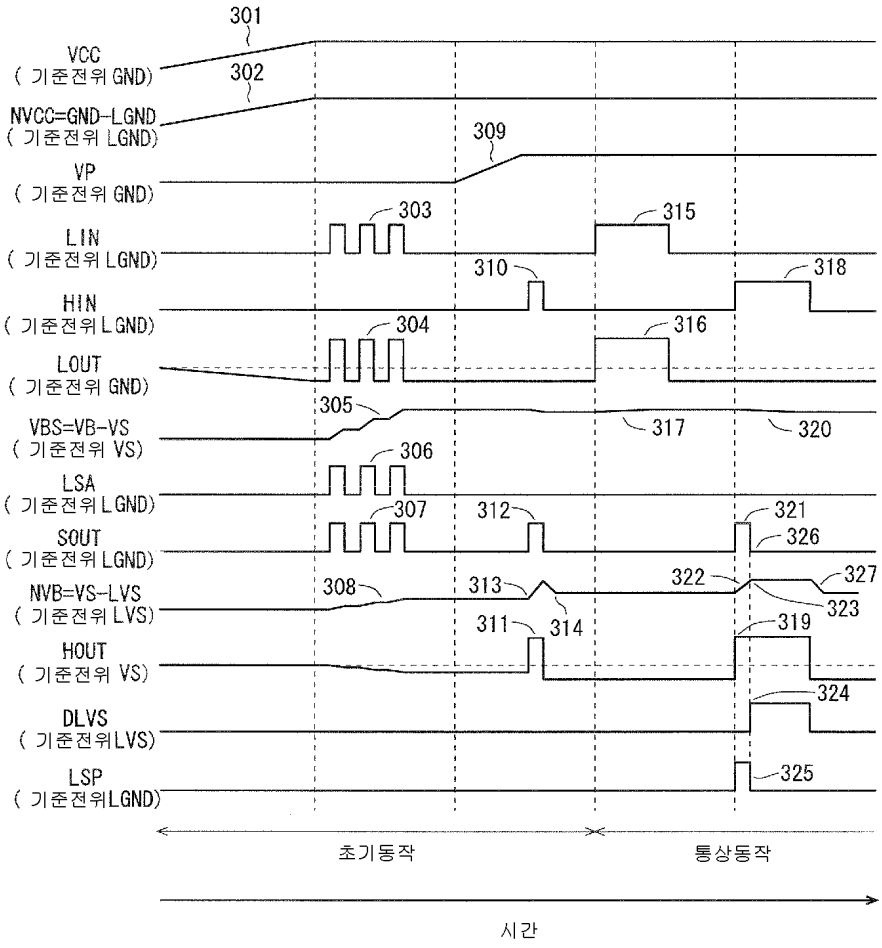
도면11



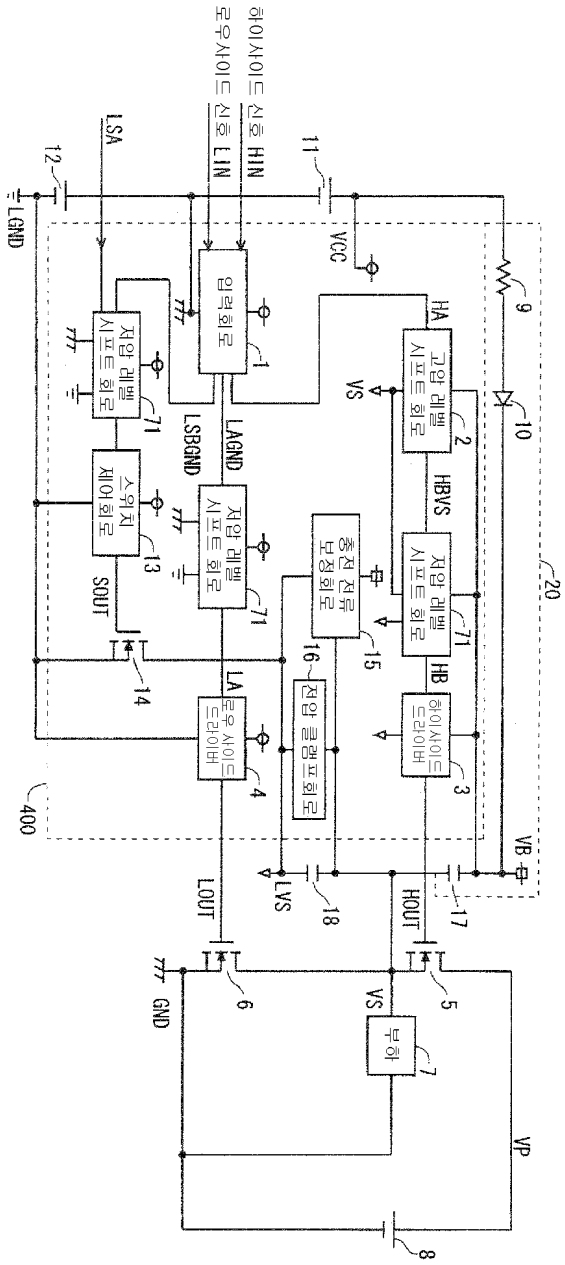
도면12



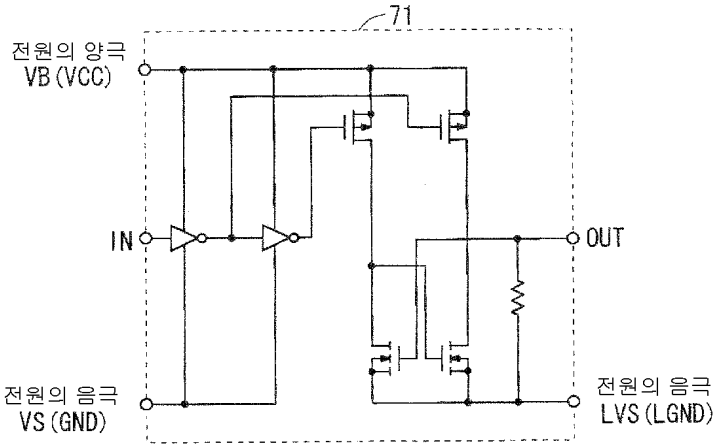
도면13


301
VCC
(기준전위 GND)
302
NVCC=GND-LGND
(기준전위 LGND)
309
VP
(기준전위 GND)
303
315
LIN
(기준전위 LGND)
310
318
HIN
(기준전위 LGND)
304
316
LOUT
(기준전위 GND)
305
317
320
VBS=VB-VS
(기준전위 VS)
306
LSA
(기준전위 LGND)
307
312
321
326
SOUT
(기준전위 LGND)
308
313
322
327
323
NVB=VS-LVS
(기준전위 LVS)
311
314
319
HOUT
(기준전위 VS)
324
DLVS
(기준전위LVS)
325
LSP
(기준전위LGND)
초기동작
통상동작
시간

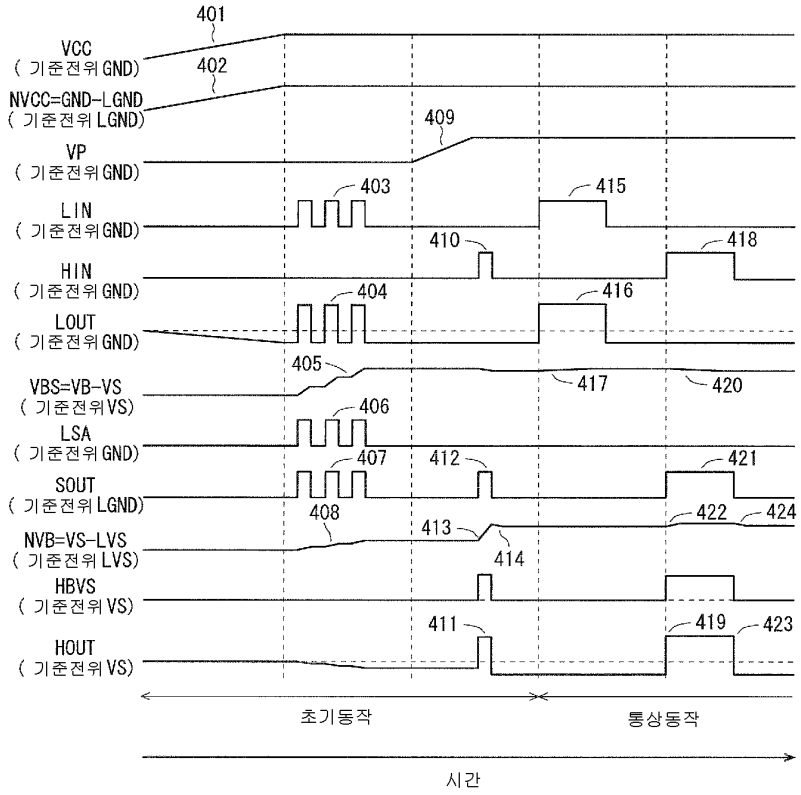
도면14


하이사이드 신호 HIN
로우사이드 신호 LIN
LSA
LGND
VCC
입력회로
저압 레벨 시프트 회로
스위치 제어회로
저압 레벨 시프트 회로
고압 레벨 시프트 회로
저압 레벨 시프트 회로
충전 전류 보정회로
전압 클램프회로
로우 사이드 드라이버
하이사이드 드라이버
VS
HA
HBVS
HB
LSBGND
LAGND
SOUT
LA
LVS
LOUT
HOUT
VB
VP
GND
부하
400
20

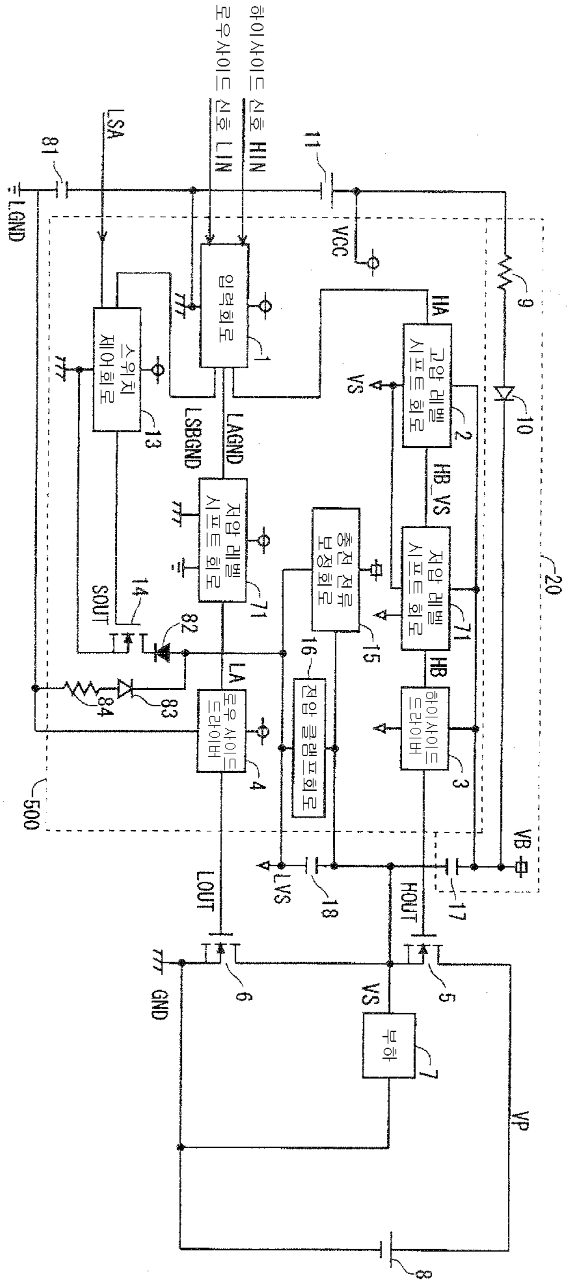
도면15


71
전원의 양극
VB (VCC)
IN
OUT
전원의 음극
VS (GND)
전원의 음극
LVS (LGND)

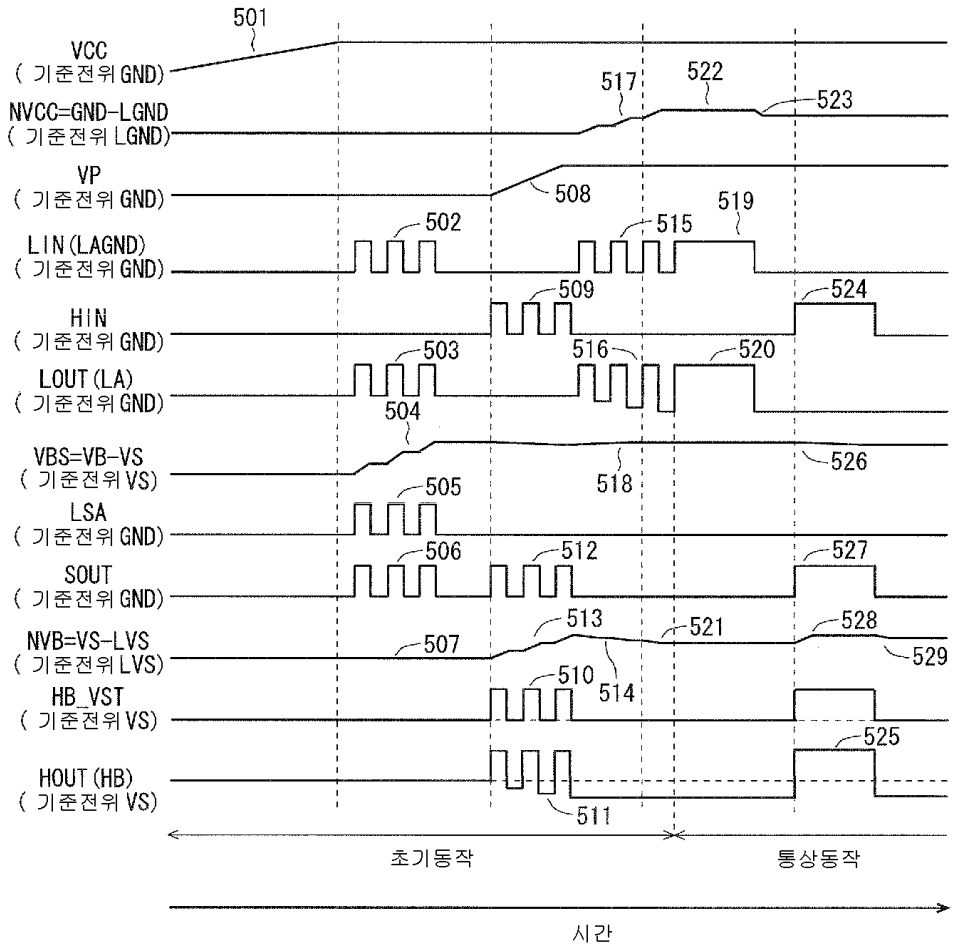
도면16


401
VCC
(기준전위 GND)
402
NVCC=GND-LGND
(기준전위 LGND)
409
VP
(기준전위 GND)
403
415
LIN
(기준전위 GND)
410
418
HIN
(기준전위 GND)
404
416
LOUT
(기준전위 GND)
405
417
420
VBS=VB-VS
(기준전위 VS)
406
LSA
(기준전위 GND)
407
412
421
SOUT
(기준전위 LGND)
408
413
422
424
NVB=VS-LVS
(기준전위 LVS)
414
HBVS
(기준전위 VS)
411
419
423
HOUT
(기준전위 VS)
초기동작
통상동작
시간

도면17


하이사이드 신호 HIN
로우사이드 신호 LIN
LSA
VCC
입력회로
고압 레벨 시프트 회로
저압 레벨 시프트 회로
충전 전류 보정회로
스위치 제어회로
하이사이드 드라이버
로우사이드 드라이버
전압 클램프회로
부하
HA
HB_VS
HB
LA
LAGND
LSBGND
SOUT
VS
VB
LVS
HOUT
LOUT
GND
VP
LGND

도면18


501
VCC
(기준전위 GND)
517
522
523
NVCC=GND-LGND
(기준전위 LGND)
VP
(기준전위 GND)
508
519
502
515
LIN (LAGND)
(기준전위 GND)
509
524
HIN
(기준전위 GND)
503
516
520
LOUT (LA)
(기준전위 GND)
504
VBS=VB-VS
(기준전위 VS)
518
526
505
LSA
(기준전위 GND)
506
512
527
SOUT
(기준전위 GND)
513
521
528
NVB=VS-LVS
(기준전위 LVS)
507
529
510
514
HB_VST
(기준전위 VS)
525
HOUT (HB)
(기준전위 VS)
511
초기동작
통상동작
시간