

ITALIAN PATENT OFFICE

Document No.

102008901691463A1

Publication Date

20100630

Applicant

STMICROELECTRONICS (ROUSSET) SAS

Title

AMPLIFICATORE CON COMBINATORE DI POTENZA DIFFERENZIALE, A
TRASFORMATORE ATTIVO DISTRIBUITO

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"AMPLIFICATORE CON COMBINATORE DI POTENZA
DIFFERENZIALE, A TRASFORMATORE ATTIVO DISTRIBUITO"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MI)

Inventore: PALLOTTA Andrea

La presente invenzione è relativa ad un amplificatore con combinatore di potenza completamente differenziale, a trasformatore attivo distribuito. I combinatori di potenza trovano particolare applicazione nel campo degli amplificatori di potenza a radiofrequenza , grazie alla caratteristica di sommare in fase le potenze di uscita di ogni singolo transistore, mantenendone il guadagno e riducendone la tensione ai terminali di uscita.

Come è noto, infatti, l'amplificatore di potenza a radiofrequenza per telecomunicazione mobile senza fili è sicuramente il circuito più complicato da progettare utilizzando un substrato di silicio e usando un processo CMOS compatibile. I motivi di tale difficoltà sono essenzialmente due:

1. Le tensioni di rottura dell'ossido di gate del transistor MOS consentono di raggiungere potenze d'uscita RF piuttosto basse;

2. Il fattore di qualità (Q) degli elementi passivi integrati nel substrato di silicio non è adatto ad ottenere gli elevati guadagni e le trasformazioni d'impedenza richieste dalle specifiche applicative della massima potenza d'uscita a RF.

Con l'intento di risolvere tali difficoltà, il brevetto US-B-6 816 012 e gli articoli: I. Aoki et al., "Distributed Active Transformer-A new power-combining and impedance-transformation technique", IEEE Trans. Microwave Theory Tech, Vol. 50, No. 1, Jan. 2002; e I. Aoki et al., "Fully Integrated CMOS PA Design using DAT architecture", IEEE J. Solid-State Circuits, Vol. 37, No. 3, March 2002 descrivono una nuova architettura di trasformatore d'impedenza ed allo stesso tempo di combinatorio di potenza. La Fig. 1 mostra la struttura schematica di tale amplificatore 1, comprendente quattro coppie 2 di transistori 3, 4, di tipo NMOS; i transistori 3, 4 di ciascuna coppia 2 avendo terminali di uscita (pozzo) collegati a quattro primari 10 di un trasformatore attivo distribuito (DAT) 15, qui proposto. I transistori 3, 4 collegati alle estremità di uno stesso primario 10 formano un circuito in

configurazione "push-pull".

I primari 10 sono formati da quattro barre, qui rettangolari, disposte ciascuna ruotata di 90° rispetto alle due barre adiacenti, in modo da disporsi approssimativamente come i lati di un quadrato. Un secondario 16 del trasformatore DAT 15 è costituito da una regione estendentesi sostanzialmente lungo i lati di un quadrato, interno a quello dei primari 10, e un suo lato (a destra nel disegno) è interrotto approssimativamente a metà ed è collegato ad una coppia di uscite 18, sulle quali è fornita una tensione differenziale di uscita V_o .

Le prese intermedie dei primari 10 sono collegate ad una tensione di alimentazione VDD; i transistori 3, 4 di ciascuna coppia 2 sono collegati, tramite i terminali di pozzo, fra coppie di primari 10 adiacenti e ricevono, sui rispettivi terminali di porta (definienti rispettivi terminali di ingresso), tensioni di segno opposto. Il nodo comune fra i terminali di sorgente dei due transistori 3, 4 di ciascuna coppia è collegato a massa.

Condensatori di adattamento ("tuning") 7 si estendono fra i terminali di pozzo di ciascuna coppia 2 di transistori 3, 4.

Nello schema noto, il secondario 16 del

trasformatore combina in serie, tramite induzione magnetica, il segnale differenziale dei primari 10 e lo invia all'uscita 18. I vantaggi di questa struttura di trasformatore nota sono i seguenti:

- Le induttanze ad elevato fattore di qualità Q sono realizzate tramite delle strisce di metallo invece che tramite induttori a spirale, tipicamente a basso Q nei processi CMOS standard,
- Il rapporto di trasformazione di ogni singolo trasformatore è molto basso, in altre parole il rapporto è 1:1, e pertanto è semplice da realizzare ed presenta intrinsecamente perdite ohmiche basse;
- Il rapporto di trasformazione totale richiesto per elevare la potenza d'uscita di ogni singola coppia di MOS è ottenuto tramite la combinazione serie della tensione indotta magneticamente sul secondario 16. In figura 1, tale rapporto è pari a 1:4.

La figura 2 mostra una realizzazione pratica della struttura oggetto del brevetto US-B-6 816 012 citato sopra, in particolare nel caso di un amplificatore di potenza a 2,4 GHz con potenza d'uscita di 1,9 W a 2 V di alimentazione.

Come si nota, l'amplificatore 1 presenta una struttura a doppia stella 20 per la polarizzazione dei

terminali di porta dei transistori 3, 4. La struttura a doppia stella 20 è formata all'interno del secondario 16, al fine di contenere il più possibile le perdite ohmiche e pertanto minimizzare i percorsi delle piste metalliche. In dettaglio, la struttura a doppia stella 20 è formata da una prima e da una seconda regione a stella 20a, 20b, formate su due livelli di metallizzazione separati e aventi ciascuna quattro bracci 21a, 21b. I bracci 21a della prima regione a stella 20a sono collegati ai transistori 3 e i bracci 21b della seconda regione a stella 20b sono collegati ai transistori 4. In particolare, ciascun braccio 21a, 21b è collegato ad un rispettivo transistore 3, 4 tramite connessioni a filo o ulteriori livelli di metallizzazione (rappresentati schematicamente con 22) che passano sotto o sopra al secondario 16. Ciascuna regione a stella 20a, 20b comprende inoltre un rispettivo braccio di ingresso 22a, 22b, collegato ad un trasformatore di ingresso 25 disposto esternamente all'amplificatore DAT 1 ed avente terminali di ingresso ricevanti una tensione di alimentazione V_i e terminali di uscita collegati ciascuno ad un rispettivo braccio di ingresso 22a, 22b attraverso connessioni a filo o linee metalliche 26 passanti sopra o sotto il secondario 16 (ed eventualmente sopra o sotto uno dei

primari 10).

I terminali di porta dei transistori 3, 4 sono polarizzati attraverso opportune regioni di polarizzazione 28 a forma sostanzialmente di L, la cui presa centrale costituisce una massa virtuale per il segnale.

Tale struttura ha consentito di ottenere finora il più alto valore di potenza utilizzando transistori NMOS realizzati con processo CMOS standard, ma non è esente da svantaggi.

La struttura circolare del secondario 16 (che combina le potenze in uscita dalle coppie di transistori 3, 4) rende infatti molto complicato il progetto della rete di connessione ai terminali di porta dei transistori 3, 4. Infatti:

- La rete di distribuzione del segnale RF attraverso la struttura a doppia stella 20 è difficilmente realizzabile in modo da minimizzare le componenti parassite di resistenza, induttanza e capacità. Ne deriva una forte limitazione alle massime frequenze di utilizzo del trasformatore DAT 15 e di conseguenza alle possibili applicazioni.
- La rete d'adattamento d'impedenza d'ingresso per

il massimo trasferimento di potenza ai terminali di porta dei transistori 3, 4 è difficile da progettare in particolare su ampie larghezze di banda in frequenza.

- La rete di connessione (struttura a doppia stella 20) è formata all'interno del secondario 16 del trasformatore DAT 15, dove il flusso d'intensità magnetica è elevato. Diventa pertanto molto complicato controllare l'accoppiamento fra la potenza RF d'uscita e d'ingresso con conseguenti problemi di stabilità e di rischio d'oscillazioni. Infatti, la struttura a stella risulta accoppiata magneticamente al secondario 16 e genera un feedback che può dare origine a oscillazioni
- Estendere la struttura a doppia stella 20 ad applicazioni a frequenze elevate fino alle onde millimetriche diventa impraticabile.

Scopo della presente invenzione è quindi realizzare un amplificatore del tipo DAT che superi gli inconvenienti della tecnica nota.

Secondo la presente invenzione viene realizzato un amplificatore di potenza, come definito nella rivendicazione 1.

Per una migliore comprensione della presente invenzione ne vengono ora descritte forme di realizzazione preferite, a puro titolo di esempio non limitativo, con riferimento ai disegni allegati, nei quali:

- la figura 1 è una vista prospettica di principio di un amplificatore con trasformatore DAT noto;

- la figura 2 è una vista prospettica della implementazione dell'amplificatore di figura 1;

- la figura 3 è una vista dall'alto di un amplificatore di potenza secondo una forma di realizzazione;

- la figura 4 è una vista prospettica di una forma di implementazione dell'amplificatore di figura 3; e

- la figura 5 mostra i risultati di una simulazione effettuata sull'amplificatore di figura 4.

La figura 3 mostra un amplificatore 30 del tipo di potenza completamente differenziale, a doppio trasformatore attivo distribuito. In pratica, l'amplificatore 30 presenta, oltre ad un trasformatore DAT di uscita 32 analogo al trasformatore DAT 15 di figura 1, un trasformatore DAT di ingresso 31, speculare e tale da circondare o racchiudere il DAT di

uscita 32. L'amplificatore 30 costituisce quindi un amplificatore differenziale a doppio trasformatore attivo distribuito o amplificatore DDDAT.

Il trasformatore DAT di ingresso 31 comprende una regione metallica, formante un primario di ingresso 35, ed una pluralità di induttori a barra (slab), formanti secondari di ingresso 36.

Nell'implementazione mostrata, il primario di ingresso 35 si estende lungo i lati di un quadrato avente un lato aperto e collegato a terminali di ingresso 37 su cui viene fornito il segnale differenziale di ingresso Vi; i secondari di ingresso 36 sono disposti affacciati al primario di ingresso 35, ciascuno disposto parallelamente e a distanza da un rispettivo lato del primario di ingresso 35. Ciascun secondario di ingresso 36 è costituito quindi da una barra avente estremità collegate ai terminali di porta di primi e secondi transistori 40, 41, analoghi ai transistori 3, 4 di figura 1 e formanti coppie 39 di transistori, in cui i transistori 40, 41 collegati ad uno stesso secondario di ingresso 36 sono in configurazione push-pull. Anche qui, i transistori 40, 41 sono di tipo NMOS, ma possono essere anche di differente tecnologia.

In dettaglio, ciascun secondario di ingresso 36 è

collegato con una propria estremità al terminale di porta di un rispettivo primo transistor 40 di una coppia 39 e con una seconda estremità al terminale di porta di un rispettivo secondo transistor 41 di una coppia 39 adiacente. Ciascun secondario di ingresso 36 ha una presa intermedia polarizzata ad una tensione continua V_{GG} , come meglio visibile in figura 4.

Il trasformatore DAT di uscita 32 è formato internamente al trasformatore DAT di ingresso 31 e comprende un secondario di uscita 45 analogo al secondario 16 di figura 1 e quattro primari di uscita 46 analoghi ai primari 10 di figura 1. I primari di uscita 46 sono collegati ai primi e secondi transistori 40, 41, analogamente a quanto mostrato in figura 1 per i transistori 3, 4.

Il trasformatore DAT di ingresso 31 e il trasformatore DAT di uscita 32 hanno lo stesso centro e le stesse diagonali del quadrato formato dal secondario di uscita 16; inoltre il lato aperto del secondario di uscita 45 è collegato a terminali di uscita 48 ed è opposto al lato del primario di ingresso 35 collegato ai terminali di ingresso 37.

La figura 4 mostra la disposizione spaziale dell'amplificatore 30. Come si nota, i trasformatori DAT di ingresso 31 e di uscita 32 sono formati qui in

uno stesso livello di metallizzazione; le prese intermedie dei secondari di uscita 46 sono collegate con una struttura di polarizzazione di uscita 50 formata in un livello di metallizzazione inferiore rispetto ai trasformatori 31, 32 e le prese intermedie dei secondari di ingresso 36 sono collegate con una struttura di polarizzazione di ingresso 51 formata in un livello di metallizzazione inferiore rispetto alla struttura di polarizzazione di uscita 50.

In dettaglio, la struttura di polarizzazione di uscita 50 è formata da una croce avente un primo braccio 50a estendentesi in una prima direzione (parallela all'asse Y), perpendicolare ai lati dei quadrati su cui si trovano i terminali di ingresso 37 e i terminali di uscita 48, ed un secondo braccio 50b, perpendicolare al primo braccio 50a ed estendentesi in direzione parallela all'asse X. Il secondo braccio 50b della struttura di polarizzazione di uscita 50 riceve una tensione di alimentazione continua V_{DD} , come rappresentato schematicamente dai generatori di tensione 58.

La struttura di polarizzazione di ingresso 51 è formata da una croce avente un primo braccio 51a estendentesi parallelamente alla direzione X, verticalmente allineato ed estendentesi di sotto del

primo braccio 50a della struttura di polarizzazione di uscita 50, ed un secondo braccio 51b, perpendicolare al primo braccio 51a e verticalmente allineato al secondo braccio 50b della struttura di polarizzazione di uscita 50. Il secondo braccio 51b della struttura di polarizzazione di ingresso 51 riceve una tensione di alimentazione continua V_{GG} , come rappresentato schematicamente dai generatori di tensione 56. Il primo braccio 50a della struttura di polarizzazione di uscita 50 è più corto del primo braccio della struttura di polarizzazione di ingresso 51, che si prolunga al di sotto del braccio 50a in modo da realizzare il collegamento elettrico fra il primo braccio 51a della struttura di polarizzazione di ingresso 51 stessa e il secondario di ingresso 36, come mostrato nel dettaglio A.

In particolare, il collegamento fra i primi bracci 50a e 51a della struttura di polarizzazione di uscita 50, rispettivamente di ingresso 51 e le prese intermedie dei secondari di uscita 46 (estendentisi in direzione Y), rispettivamente di due secondari di ingresso 36 può avvenire tramite una semplice via, riempita di materiale metallico 55, come mostrato nel dettaglio ingrandito A. Viceversa, il collegamento fra il secondo braccio 51b della struttura di

polarizzazione di ingresso 51 e le prese intermedie di due secondari di ingresso 36, che si estendono in direzione X, della struttura di polarizzazione di uscita 50 richiede l'attraversamento del secondo braccio 50b, come mostrato nel dettaglio ingrandito B. A tale scopo, il secondo braccio 50b presenta due aperture (una per ogni estremità) attraverso cui passa un plug 60; una regione isolante 61 circonda il plug 60 almeno all'altezza del secondo braccio 50b della struttura di polarizzazione di uscita 50, per impedire il corto-circuito fra di essi.

L'amplificatore 30 ha funzionamento analogo a quello del trasformatore noto, ma si caratterizza per il fatto che la distribuzione del segnale RF agli ingressi dei transistori 40, 41 avviene tramite induzione magnetica e non per connessione diretta.

L'amplificatore 30 qui descritto presenta numerosi vantaggi, fra i quali:

- Notevole semplificazione del progetto della rete di distribuzione del segnale RF ai terminali di porta dei transistori 40, 41. I parametri parassiti di resistenza, induttanza e capacità possono essere tenuti sotto controllo durante la fase di progetto in modo da non introdurre alcuna limitazione alle frequenze di lavoro e pertanto alle potenziali applicazioni

dell'amplificatore 30.

- Notevole semplificazione del progetto della rete di polarizzazione in continua (DC) dei terminali di porta e di pozzo dei transistori 40, 41, grazie alle strutture di polarizzazione 50, 51, come evidenziato in fig. 4, sfruttando la "massa virtuale" per il segnale in alternata nelle prese intermedie dei secondari di ingresso 36 e dei primari di uscita 46.

- Struttura differenziale pura di ingresso e di uscita dell'amplificatore, con conseguente immunità ai disturbi, raddoppio del guadagno, presenza di masse virtuali, e adattamento al circuito di preamplificazione che pilota in ingresso l'amplificatore DDDAT e che generalmente ha uscita differenziale.

- Il parametro elettrico dominante visto dai terminali di ingresso 37 è l'induttanza del primario di ingresso 35, che pertanto è facilmente compensata tramite l'inserimento di una capacità in parallelo (non mostrata). Per la stessa ragione è notevolmente semplificato l'eventuale progetto di una rete d'adattamento di ingresso a larga banda.

- Le piste metalliche di connessione agli ingressi dei transistori 40, 41 dei secondari di ingresso 36 non si estendono all'interno del trasformatore di uscita

32, riducendo di conseguenza l'accoppiamento magnetico di ritorno fra uscita e ingresso e quindi riducendo il rischio di oscillazioni.

- Possibilità di controllo, durante la fase di progetto, dei parametri di stabilità dell'amplificatore 30 eliminando il rischio di oscillazioni. In particolare la distanza fra i secondari di ingresso 36 ed i primari di uscita 46 può essere facilmente scelta in modo tale da realizzare un buon compromesso tra la stabilità dell'amplificatore 30 ed il suo massimo guadagno.

- Compattezza nelle dimensioni complessive del trasformatore DAT di ingresso 31 e quindi dell'intero amplificatore 30, in quanto il trasformatore DAT di ingresso 31 racchiude i transistori 40, 41, i condensatori di adattamento (non mostrati) e il trasformatore DAT di uscita 32.

- Possibilità di ottenere fattori di forma diversi dalla forma quadrata mostrata, ovvero di realizzare strutture ad esagono, ottagono e così via, sempre con coppie di transistori 40, 41 in configurazione "push-pull" connesse ai vertici della figura geometrica. In questo modo si ottiene il triplice effetto di combinare maggiore potenza RF in uscita, di ridurre la massima tensione ai capi dei transistori 40, 41, aumentandone

l'affidabilità, e di mantenere efficienza e semplicità nelle connessioni.

- Mantenimento di tutti i vantaggi della struttura DAT nota.

- Semplicità di progetto e di fabbricazione, che non richiede fasi implementative complesse o critiche.

La Fig. 5 mostra, ad esempio, la simulazione delle prestazioni in termini di potenza RF di un amplificatore di potenza RF con struttura DDDAT realizzato nel modo illustrato nelle figure 3 e 4 con un processo CMOS standard a 65nm della richiedente ad una frequenza di lavoro di 64GHz. In particolare, la linea continua indica la potenza di uscita P_o , la linea tratteggiata indica il guadagno G e la linea a tratto e punto indica l'efficienza PAE in funzione della potenza di ingresso. Come si nota, l'amplificatore 30 presenta prestazioni elevate anche ad elevatissima frequenza (da confrontare con la frequenza di 2.4 GHz raggiunta con la soluzione nota sopra descritta).

La presente invenzione consente il progetto e la realizzazione fisica di amplificatori di potenza a radiofrequenza in tecnologia CMOS in silicio, rendendoli competitivi in termini di prestazioni ed

affidabilità rispetto a tecnologie più costose o soluzioni che richiedono l'incremento del numero di maschere per implementare strutture complesse o l'utilizzo di sofisticati substrati in GaAs (Arseniuro di Gallio). Viceversa, con il presente amplificatore, non ci sono limitazioni alle massime frequenze di utilizzo e quindi alle potenziali applicazioni.

Risulta infine chiaro che all'amplificatore qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

In particolare, come sopra indicato, si sottolinea il fatto che la forma quadrata rappresentata non è limitativa ed è possibile utilizzare una varietà di forme geometriche. Inoltre, i secondari di ingresso 36 e i primari di uscita 46 potrebbero essere realizzati su un livello di metallizzazione diverso, inferiore o superiore, rispetto al primario di ingresso 35, rispettivamente al secondario di uscita 45. Essi potrebbero essere realizzati anche su livelli di metallizzazione diversi fra loro.

RIVENDICAZIONI

1. Amplificatore di potenza (30) comprendente una pluralità di coppie (39) di transistori (40, 41), ciascuna coppia comprendendo un primo e un secondo transistor aventi ciascuno un rispettivo terminale di ingresso e un rispettivo terminale di uscita; i terminali di uscita del primo e del secondo transistor di ciascuna coppia essendo collegati ad un trasformatore attivo distribuito di uscita (32) collegato ad un'uscita differenziale (48) dell'amplificatore di potenza, caratterizzato dal fatto che i terminali di ingresso del primo e del secondo transistor di ciascuna coppia sono collegati ad un trasformatore attivo distribuito di ingresso (31) collegato ad un ingresso (37) dell'amplificatore di potenza.

2. Amplificatore di potenza secondo la rivendicazione 1, in cui detto trasformatore attivo distribuito di ingresso (31) comprende un primario di ingresso (35) ed una pluralità di secondari di ingresso (36) includente almeno un primo ed un secondo secondario di ingresso, fra loro adiacenti, e il terminale di ingresso del primo transistor (40) di una coppia (39) è collegato ad una estremità del primo secondario di ingresso (36) e il terminale di ingresso del secondo transistor (40) di detta coppia è collegato ad una estremità del secondo secondario di ingresso e il primario di ingresso (35) è affacciato a

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

detta pluralità di secondari di ingresso (36).

3. Amplificatore di potenza secondo la rivendicazione 2, in cui detto trasformatore attivo distribuito di uscita (32) comprende una pluralità di primari di uscita (46) includente almeno un primo ed un secondo primario di uscita ed e il terminale di uscita del primo transistor (40) di una coppia (39) è collegato ad una estremità del primo primario di uscita (46) e il terminale di uscita del secondo transistor (41) di detta coppia è collegato ad una estremità del secondo primario di uscita (46) e il secondario di uscita (45) è affacciato a detta pluralità di primari di uscita (46).

4. Amplificatore di potenza secondo la rivendicazione 3, in cui il primario di ingresso (35) circonda detta pluralità di secondari di ingresso (36) e la pluralità di primari di uscita (46) circonda il secondario di uscita (45).

5. Amplificatore di potenza secondo una qualsiasi delle rivendicazioni 1-4, in cui detti trasformatore attivo distribuito di ingresso e di uscita (31, 32) si estendono lungo lati di una prima ed una seconda figura geometrica piana fra loro concentriche, e dette coppie (39) di transistori (40, 41) sono collegate in prossimità di spigoli di dette figure geometriche.

6. Amplificatore di potenza secondo la rivendicazione

4, in cui detto primario di ingresso (35) è formato da una singola regione metallica estendentesi lungo il perimetro di una prima figura geometrica piana avente un lato interrotto in corrispondenza dell'ingresso (37) dell'amplificatore di potenza (30), detti secondari di ingresso (46) sono formati da regioni metalliche distinte estendentisi parallelamente e affacciate ciascuna ad un rispettivo lato della prima figura geometria piana.

7. Amplificatore di potenza secondo la rivendicazione 5, in cui detto primario di ingresso (35) e detto secondario di uscita (45) sono formati da regioni metalliche estendentisi in un livello metallico, l'amplificatore di potenza (30) comprendendo inoltre una prima struttura di distribuzione alimentazioni (50) estendentesi in un ulteriore livello metallico e collegata al trasformatore attivo distribuito di uscita (32) ed una seconda struttura di distribuzione alimentazioni (51) estendentesi in un successivo livello metallico, diverso dall'ulteriore livello metallico, e collegata al trasformatore attivo distribuito di ingresso (31).

8. Amplificatore di potenza secondo la rivendicazione 7, in cui la prima struttura di distribuzione alimentazioni (50) è collegata al trasformatore attivo distribuito di uscita (32) attraverso prime vie metalliche (55) e la seconda struttura di distribuzione alimentazioni (51) è

collegata al trasformatore attivo distribuito di ingresso (31) attraverso seconde vie metalliche (55, 60).

9. Amplificatore di potenza secondo la rivendicazione 8, in cui detta seconda struttura di distribuzione alimentazioni (51) si estende al di sotto della prima struttura di distribuzione alimentazioni (50).

10. Amplificatore di potenza secondo la rivendicazione 9, in cui almeno alcune vie metalliche (60) di dette seconde vie metalliche si estendono attraverso detta prima struttura di distribuzione alimentazioni (50), regioni isolanti (61) essendo interposte fra dette alcune seconde vie metalliche (60) e detta prima struttura di distribuzione alimentazioni (50).

11. Amplificatore di potenza secondo una qualsiasi delle rivendicazioni 8-10, in cui detta prima e seconda struttura di distribuzione alimentazioni (50, 51) presentano una pluralità di bracci (50a, 50b, 51a, 51b) estendentisi trasversalmente ai lati di dette prima e seconda figura geometrica.

12. Amplificatore di potenza secondo una qualsiasi delle rivendicazioni 7-11, in cui i trasformatori attivi distribuiti di ingresso e uscita (31, 32) sono formati in un singolo livello metallico.

p.i.: STMICROELECTRONICS S.R.L.

Elena CERBARO

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

CLAIMS

1. A power amplifier (30) comprising a plurality of pairs (39) of transistors (40, 41), each pair comprising a first and a second transistors having each a respective input terminal and a respective output terminals; the output terminals of the first and second transistors of each pair being connected to an output distributed active transformer (32) coupled to a differential output (48) of the power amplifier, characterized in that the input terminals of the first and second transistors of each pair are connected to an input distributed active transformer (31) coupled to an input (37) of the power amplifier.

2. A power amplifier according to claim 1, wherein said input distributed active transformer (31) comprises an input primary element (35) and a plurality of input secondary elements (36) including at least one first and one second input secondary element, adjacent to each other, and the input terminal of the first transistor (40) of a pair (39) is coupled to an end of the first input secondary element (36) and the input terminal of the second transistor (40) of said pair is coupled to an end of the second input secondary element and the input primary element (35) faces said plurality of input secondary elements (36).

3. A power amplifier according to claim 2, wherein

Elena CERBARO
(Iscrizione Albo nr. 426/BM)

said output distributed active transformer (32) comprises a plurality of output primaries (46) including at least one first and one second output primary elements and the output terminal of the first transistor (40) of a pair (39) is coupled to an end of the first output primary element (46) and the output terminal of the second transistor (41) of said pair is coupled to an end of the second output primary element (46) and the output secondary element (45) faces said plurality of output primary elements (46).

4. A power amplifier according to claim 3, wherein the input primary element (35) surrounds said plurality of input secondary elements (36) and the plurality of output primary elements (46) surrounds the output secondary element (45).

5. A power amplifier according to any of claims 1-4, wherein said input and output distributed active transformers (31, 32) extend along sides of a first and a second planar geometrical figure, coaxially to each other, and said pairs (39) of transistors (40, 41) are coupled near edges of said geometrical figures.

6. A power amplifier according to claim 4, wherein said input primary (35) is formed by a single metal region extending along the perimeter of a first planar geometrical figure having a side broken at the input (37) of the power amplifier (30), said input secondary elements (46) are

formed by distinct metal regions extending parallel and facing each a respective side of the first planar geometrical figure.

7. A power amplifier according to claim 5, wherein said input primary element (35) and said output secondary element (45) are formed by metal regions extending in a metal level, the power amplifier (30) further comprising a first power distribution structure (50) extending in a further metal level and coupled to the output distributed active transformer (32) and a second power distribution structure (51) extending in an additional metal level, different from the further metal level, and coupled to the input distributed active transformer (31).

8. A power amplifier according to claim 7, wherein the first power distribution structure (50) is coupled to the output distributed active transformer (32) through first metal vias (55) and the second power distribution structure (51) is coupled to the input distributed active transformer (31) through second metal vias (55, 60).

9. A power amplifier according to claim 8, wherein said second power distribution structure (51) extends below the first power distribution structure (50).

10. A power amplifier according to claim 9, wherein at least some metal vias (60) of said second metal vias extend through said first power distribution structure (50),

insulating regions (61) being interposed between said some second metal vias (60) and said first power distribution structure (50).

11. A power amplifier according to any of claims 8-10, wherein said first and second power distribution structures (50, 51) have a plurality of arms (50a, 50b, 51a, 51b) extending transversely to the sides of said first and second geometric figures.

12. A power amplifier according to any of claims 7-11, wherein the input and output distributed active transformers (31, 32) are formed in a single metal level.

FIG. 1

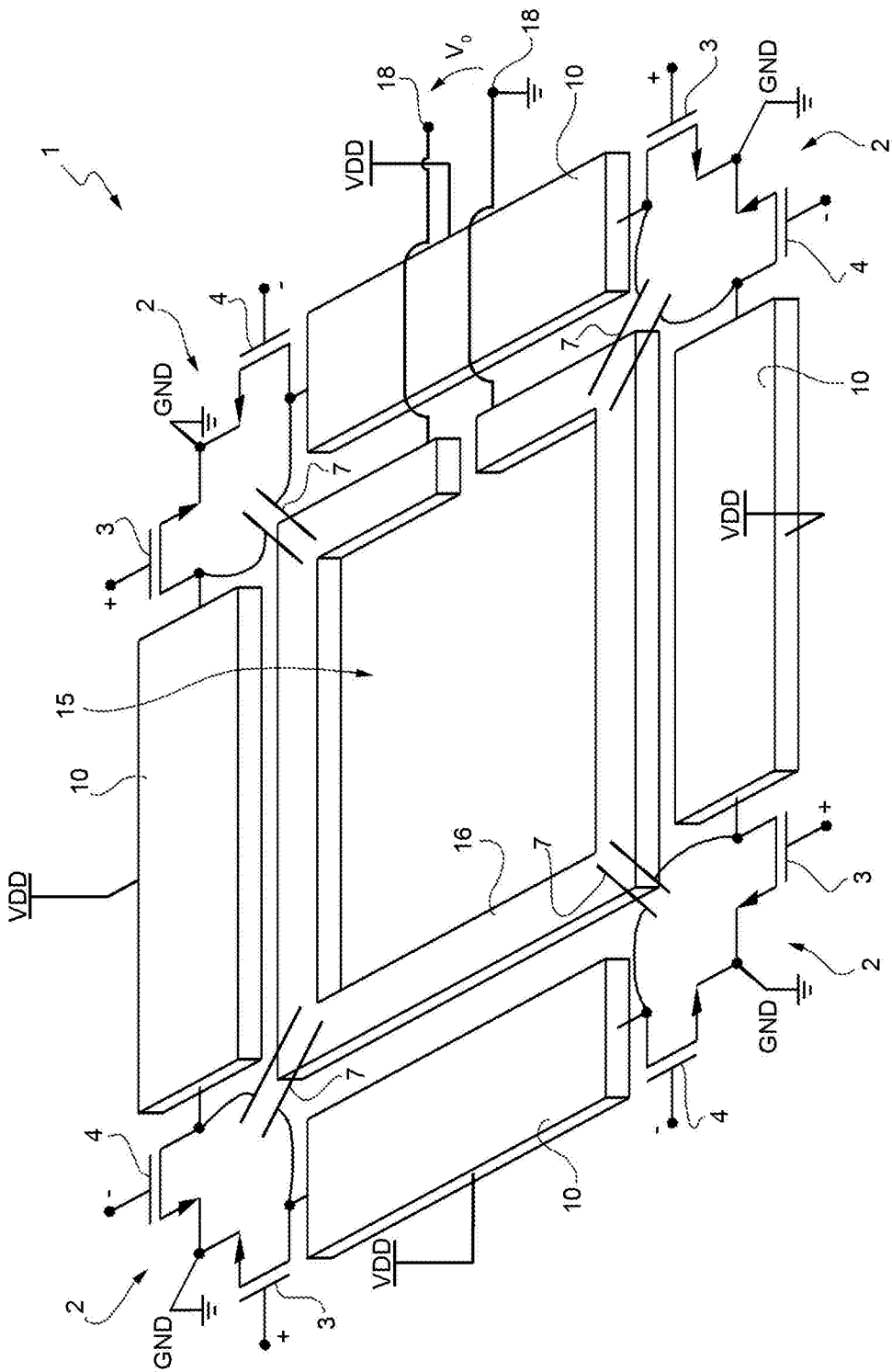


FIG. 2

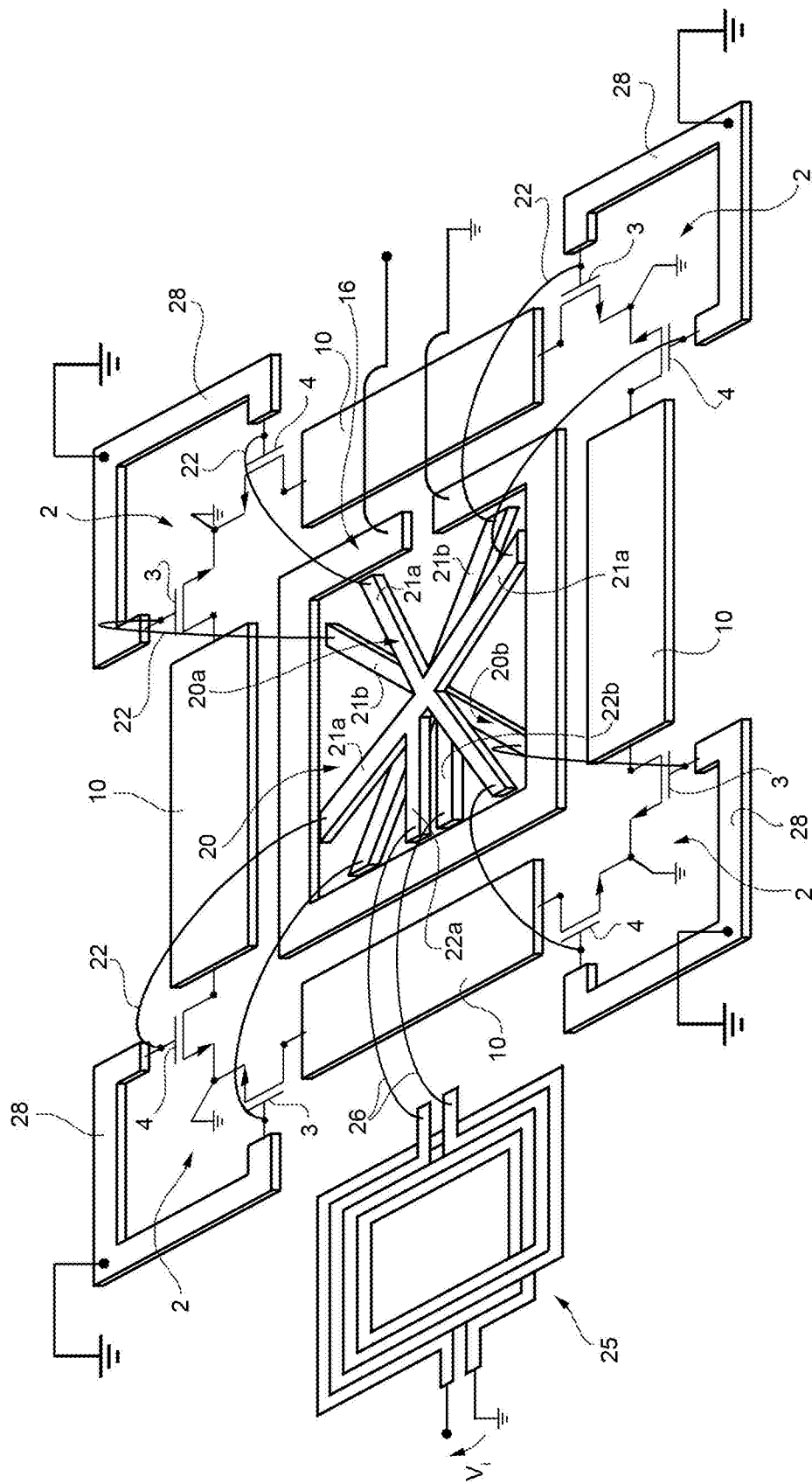


FIG. 3

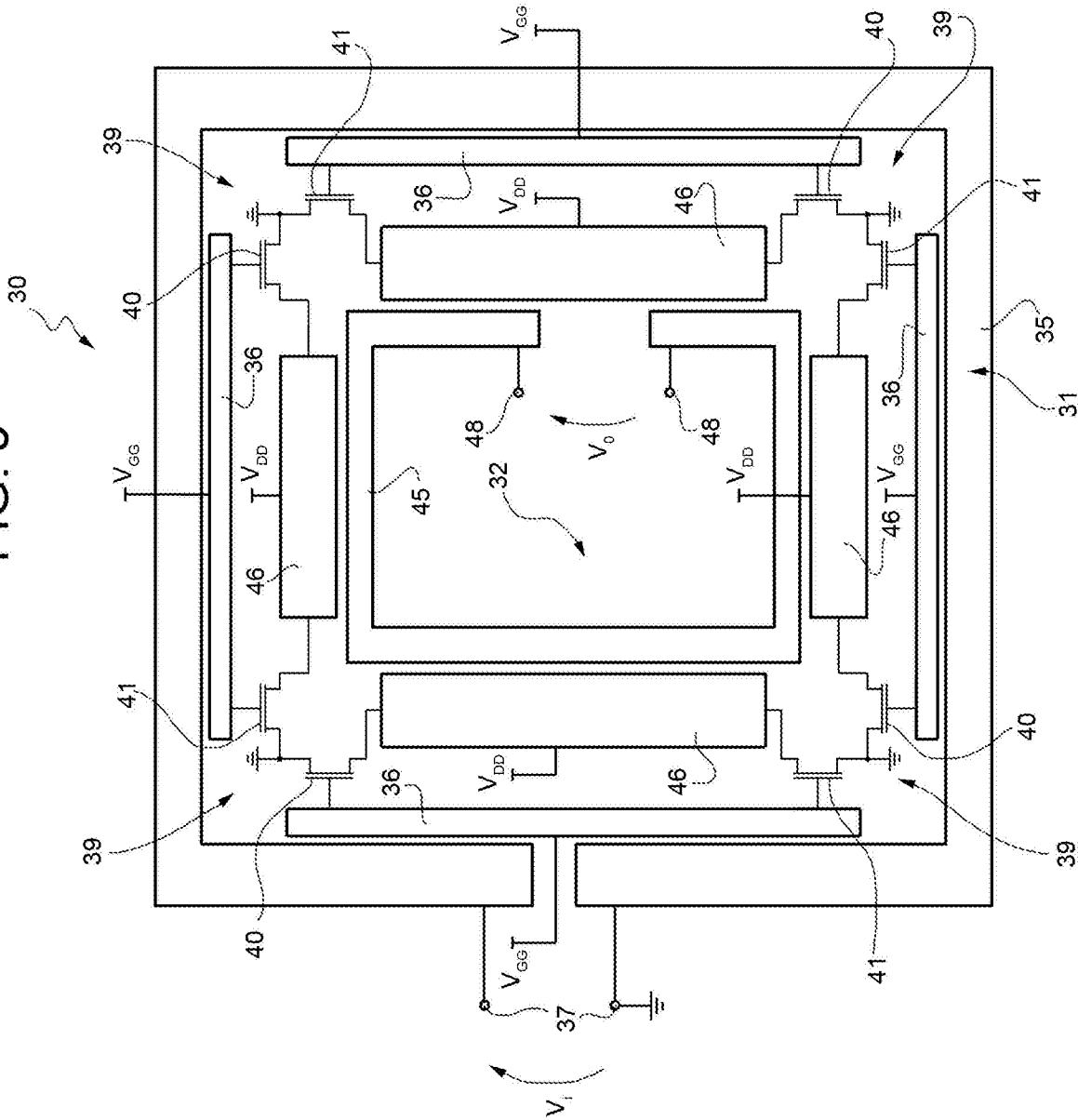


FIG. 4

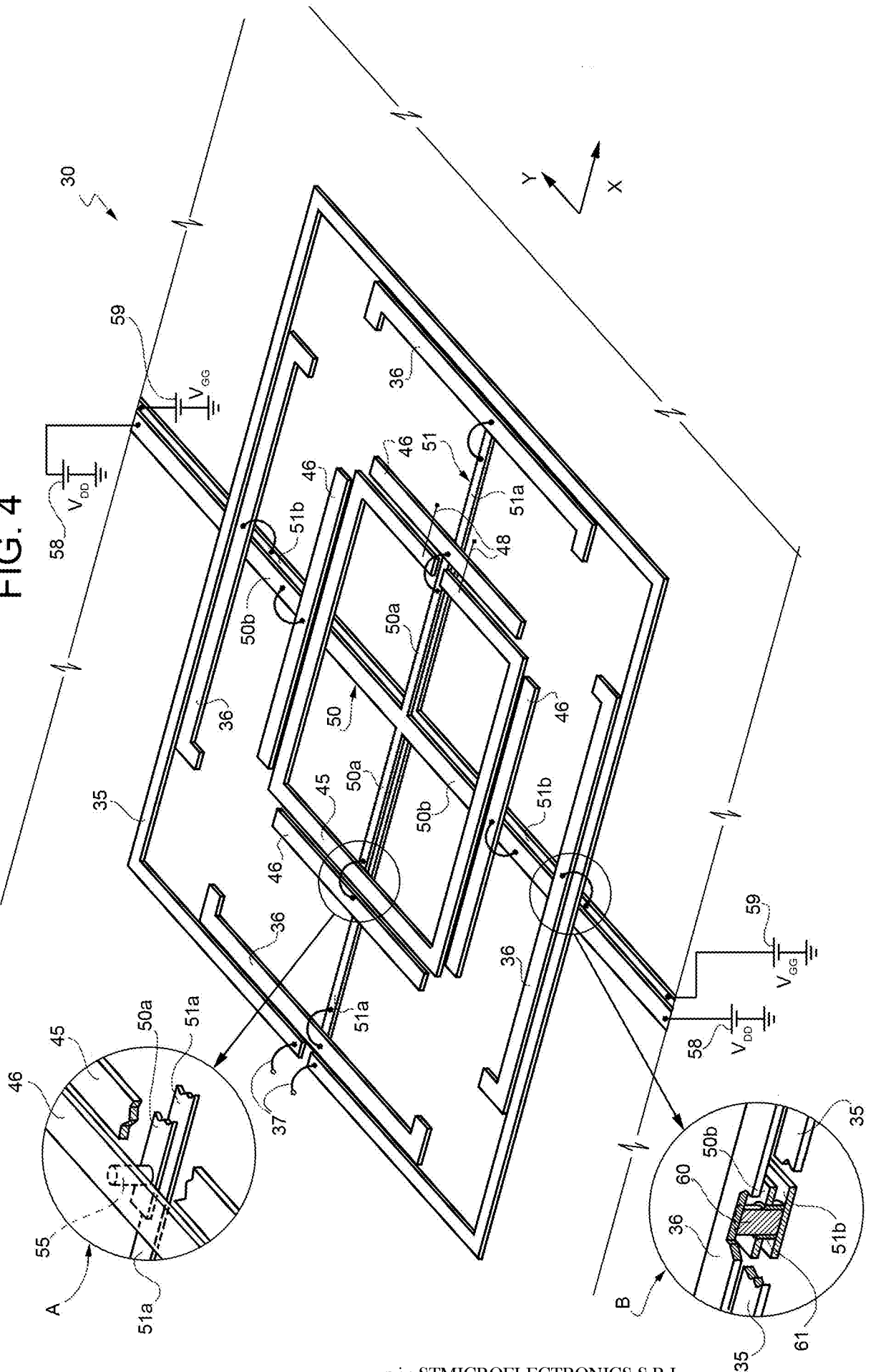


FIG. 5

