(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116686396 A
(43)申请公布日 2023.09.01

(21)申请号 202180085747.X

(22)申请日 2021.12.10

(30)优先权数据
17/148,257 2021.01.13 US

(85)PCT国际申请进入国家阶段日
2023.06.19

(86)PCT国际申请的申请数据
PCT/US2021/062859 2021.12.10

(87)PCT国际申请的公布数据
WO2022/154914 EN 2022.07.21

(71)申请人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 A·帕蒂尔 J·R·V·鲍特 卫洪博

(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 姚宗妮

(51)Int.Cl.
H05K 1/02(2006.01)

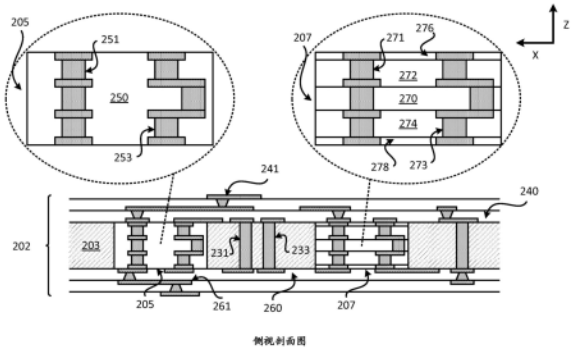
权利要求书3页 说明书15页 附图22页

(54)发明名称

包括在芯层中的被配置用于偏斜匹配的互连件的基板

(57)摘要

一种封装件包括集成器件和基板。集成器件耦合到基板。基板包括芯层、耦合到芯层的第一表面的至少一个第一电介质层以及耦合到芯层的第二表面的至少一个第二电介质层。基板包括位于芯层中的匹配结构。匹配结构包括在匹配结构中竖直和水平延伸的至少一个第一匹配互连件。匹配结构还包括在匹配结构中竖直延伸的至少一个第二匹配互连件。至少一个第一匹配互连件和至少一个第二匹配互连件被配置用于偏斜匹配。



CN 116686396 A

1.一种基板,包括:

芯层;

匹配结构,位于所述芯层中,所述匹配结构包括:

至少一个第一匹配互连件,在所述匹配结构中竖直和水平延伸;以及

至少一个第二匹配互连件,在所述匹配结构中竖直延伸,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配;

至少一个第一电介质层,耦合到所述芯层的第一表面;以及

至少一个第二电介质层,耦合到所述芯层的第二表面。

2.根据权利要求1所述的基板,其中所述匹配结构还包括至少一个结构电介质层。

3.根据权利要求1所述的基板,其中所述匹配结构还包括:

结构芯层;以及

至少一个结构电介质层。

4.根据权利要求1所述的基板,

其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径;并且

其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

5.根据权利要求4所述的基板,其中所述正信号和所述负信号被配置为差分信号对。

6.根据权利要求1所述的基板,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为匹配互连件差分对。

7.根据权利要求1所述的基板,其中所述至少一个第二匹配互连件包括至少一匝互连件。

8.根据权利要求1所述的基板,其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

9.根据权利要求1所述的基板,

其中所述至少一个第一匹配互连件在所述匹配结构的结构电介质层中竖直和水平延伸;并且

其中所述至少一个第二匹配互连件在所述匹配结构的所述结构电介质层中竖直延伸。

10.根据权利要求1所述的基板,其中所述基板被并入选自以下项的设备中:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能手机、个人数字助理、固定位置终端、平板电脑、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动交通工具中的设备。

11.一种封装件,包括:

集成器件;以及

基板,耦合到所述集成器件,所述基板包括:

芯层;

匹配结构,位于所述芯层中,所述匹配结构包括:

至少一个第一匹配互连件,在所述匹配结构中竖直和水平延伸;以及

至少一个第二匹配互连件,在所述匹配结构中竖直延伸,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配;

至少一个第一电介质层，耦合到所述芯层的第一表面；以及

至少一个第二电介质层，耦合到所述芯层的第二表面。

12.根据权利要求11所述的封装件，其中所述匹配结构还包括至少一个结构电介质层。

13.根据权利要求11所述的封装件，其中所述匹配结构还包括：

结构芯层；以及

至少一个结构电介质层。

14.根据权利要求11所述的封装件，

其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径；并且

其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

15.根据权利要求14所述的封装件，其中所述正信号和所述负信号被配置为差分信号对。

16.根据权利要求11所述的封装件，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为互连件差分对。

17.根据权利要求11所述的封装件，其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

18.一种装置，包括：

芯层；

用于偏斜匹配的部件，位于所述芯层中，所述用于偏斜匹配的部件包括：

至少一个第一匹配互连件，在所述用于偏斜匹配的部件中竖直和水平延伸；以及

至少一个第二匹配互连件，在所述用于偏斜匹配的部件中竖直延伸，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为提供用于第一信号和第二信号的时间信号匹配；

至少一个第一电介质层，耦合到所述芯层的第一表面；以及

至少一个第二电介质层，耦合到所述芯层的第二表面。

19.根据权利要求18所述的装置，

其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径；并且

其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

20.根据权利要求18所述的装置，其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

21.一种用于制造基板的方法，包括：

提供具有至少一个腔体的芯层；

在所述芯层的所述至少一个腔体中放置匹配结构，所述匹配结构包括：

在所述匹配结构中竖直和水平延伸的至少一个第一匹配互连件；以及

在所述匹配结构中竖直延伸的至少一个第二匹配互连件，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配；

向所述芯层的第一表面之上形成至少一个第一电介质层；以及

向所述芯层的第二表面之上形成至少一个第二电介质层。

22.根据权利要求21所述的方法,其中所述匹配结构还包括:

结构芯层;以及

至少一个结构电介质层。

23.根据权利要求21所述的方法,

其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径;并且

其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

24.根据权利要求21所述的方法,其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

包括在芯层中的被配置用于偏斜匹配的互连件的基板

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年1月13日向美国专利商标局提交的第17/148,257号非临时申请的优先权和权益,该申请的全部内容通过引用并入本文,以如下文所述的其全部内容并用于所有适用目的。

技术领域

[0003] 各种特征涉及封装件和基板,但更具体地涉及包括互连件的基板。

背景技术

[0004] 图1示出了包括基板102、集成器件106和集成器件108的封装件100。集成器件106耦合到基板102的表面。集成器件108耦合到基板102的表面。基板102包括至少一个电介质层120和多个互连件122。多个焊料互连件130耦合到基板102。基板102中的互连件可能占用大量空间,并且一直需要改进和优化基板102中的互连件的设计。

发明内容

[0005] 各种特征涉及封装件和基板,但更具体地涉及包括互连件的基板。

[0006] 一个示例提供了一种基板,该基板包括芯层、耦合到芯层的第一表面的至少一个第一电介质层以及耦合到芯层的第二表面的至少一个第二电介质层。基板包括位于芯层中的匹配结构。匹配结构包括在芯层中竖直和水平延伸的至少一个第一匹配互连件。匹配结构还包括在匹配结构中竖直延伸的至少一个第二匹配互连件。至少一个第一匹配互连件和至少一个第二匹配互连件被配置为提供偏斜匹配(skew matching)。

[0007] 另一示例提供了一种封装件,该封装件包括基板和耦合到基板的集成器件。基板包括芯层、耦合到芯层的第一表面的至少一个第一电介质层以及耦合到芯层的第二表面的至少一个第二电介质层。基板包括位于芯层中的匹配结构。匹配结构包括在匹配结构中竖直和水平延伸的至少一个第一匹配互连件。匹配结构还包括在匹配结构中竖直延伸的至少一个第二匹配互连件。至少一个第一匹配互连件和至少一个第二匹配互连件被配置为提供偏斜匹配。

[0008] 另一示例提供了一种装置,该装置包括芯层、用于偏斜匹配的部件、耦合到芯层的第一表面的至少一个第一电介质层以及耦合到芯层的第二表面的至少一个第二电介质层。用于偏斜匹配的部件位于芯层中。用于偏斜匹配的部件包括在用于偏斜匹配的部件中竖直和水平延伸的至少一个第一匹配互连件以及在用于偏斜匹配的部件中竖直延伸的至少一个第二匹配互连件。至少一个第一匹配互连件和至少一个第二匹配互连件被配置为提供用于第一信号和第二信号的时间信号匹配。

[0009] 另一示例提供了一种制造基板的方法。该方法提供具有至少一个腔体的芯层。该方法在芯层的至少一个腔体中放置匹配结构。匹配结构包括在匹配结构中竖直和水平延伸的至少一个第一匹配互连件以及在匹配结构中竖直延伸的至少一个第二匹配互连件。至少

一个第一匹配互连件和至少一个第二匹配互连件被配置为提供偏斜匹配。该方法向芯层的第一表面之上形成至少一个第一电介质层。该方法向芯层的第二表面之上形成至少一个第二电介质层。

附图说明

[0010] 当结合附图进行详细描述时，各种特征、性质和优点可以从下面的详细描述中变得很清楚，在附图中，类似的附图标记始终相应地标识。

[0011] 图1示出了包括基板和集成器件的封装件。

[0012] 图2示出了示例性基板的剖面图，该示例性基板包括在芯层中的、被配置用于偏斜匹配的互连件。

[0013] 图3示出了被配置用于偏斜匹配的互连件对的视图。

[0014] 图4示出了互连件对如何被配置用于偏斜匹配的视图。

[0015] 图5示出了示例性基板的剖面图，该示例性基板包括在芯层中的、被配置用于偏斜匹配的互连件。

[0016] 图6示出了包括基板的示例性封装件的剖面图，该基板包括在芯层中的被配置用于偏斜匹配的互连件。

[0017] 图7A-图7D示出了用于制造基板的示例性序列，该基板包括在芯层中的被配置用于偏斜匹配的互连件。

[0018] 图8示出了用于制造基板的方法的示例性流程图，该基板包括在芯层中的、被配置用于偏斜匹配的互连件。

[0019] 图9A-图9D示出了用于制造匹配结构的示例性序列，该匹配结构包括被配置用于偏斜匹配的互连件对。

[0020] 图10A-图10F示出了用于制造匹配结构的示例性序列，该匹配结构包括被配置用于偏斜匹配的互连件对。

[0021] 图11示出了可以集成本文中描述的管芯、集成器件、集成无源器件(IPD)、器件封装件、封装件、集成电路和/或PCB的各种电子设备。

具体实施方式

[0022] 在以下描述中，给出了具体细节，以提供对本公开的各个方面的全面理解。然而，本领域普通技术人员将理解，可以在没有这些具体细节的情况下实践这些方面。例如，电路可以以框图示出，以避免由于不必要的细节而混淆这些方面。在其他情况下，为了不混淆本公开的各方面，公知的电路、结构和技术可以不详细示出。

[0023] 本公开描述了一种封装件，该封装件包括基板和耦合到基板的至少一个集成器件。基板包括芯层、耦合到芯层的第一表面的至少一个第一电介质层以及耦合到芯层的第二表面的至少一个第二电介质层。基板包括位于芯层中的匹配结构。匹配结构包括在匹配结构中竖直和水平延伸的至少一个第一匹配互连件。匹配结构还包括在匹配结构中竖直延伸的至少一个第二匹配互连件。至少一个第一匹配互连件和至少一个第二匹配互连件被配置为提供偏斜匹配(例如，用于差分信号对(pair of differential signals)的偏斜匹配)。匹配结构可以包括至少一个电介质层。匹配结构可以包括结构芯层和至少一个电介质

层。至少一个第一匹配互连件可以被配置为提供用于第一信号(例如,正信号)的电路径。至少一个第二匹配互连件可以被配置为提供用于第二信号(例如,负信号)的电路径。正信号和负信号可以被配置为差分信号对。第二信号可以是第一信号的反相信号,反之亦然。

[0024] 包括在基板的芯层中的匹配结构的示例性封装件

[0025] 图2示出了包括至少一个匹配结构的基板202,该至少一个匹配结构具有被配置为提供偏斜匹配和/或信号时间匹配的互连件。基板202可以在具有至少一个集成器件的封装件中实现。基板202包括芯层203、至少一个第一电介质层240、第一多个互连件241、至少一个第二电介质层260、第二多个互连件261、匹配结构205、匹配结构207、第一芯互连件231和第二芯互连件233。

[0026] 匹配结构205位于芯层203中。匹配结构207位于芯层203中。第一芯互连件231和第二芯互连件233位于芯层203中并且延伸穿过芯层203。第一芯互连件231和第二芯互连件233可以是为差分信号对而配置的电路径对的一部分。至少一个第一电介质层240和第一多个互连件241耦合到芯层203的第一表面(例如,顶表面)。至少一个第二电介质层260和第二多个互连件261耦合到芯层203的第二表面(例如,底表面)。

[0027] 第一多个互连件241耦合(例如,电耦合)到匹配结构205、匹配结构207、第一芯互连件231和/或第二芯互连件233。第二多个互连件261耦合(例如,电耦合)到匹配结构205、匹配结构207、第一芯互连件231和/或第二芯互连件233。

[0028] 匹配结构205和/或匹配结构207可以帮助差分信令中的偏斜匹配和/或信号时间匹配。匹配结构205和/或匹配结构207可以是用于偏斜匹配的部件。差分信令(signaling)(例如,差分信号对(signal))的使用提供了若干优点。例如,差分信号更能抵抗电磁干扰(EMI)和/或串扰。差分信令还可以减少传出EMI和串扰。差分信令可以以比单端信号低的电压操作。然而,差分信令要求每个相应信号行进经过的长度尽可能地彼此匹配(或尽可能地彼此接近)。因此,如果第一信号行进距离X,则作为该对差分信号的一部分的第二信号理想地应当行进距离X或者尽可能接近距离X。例如,如果用于第一信号的两个端子之间的电路径具有有效距离/长度X,则用于第二信号的另外两个端子之间的另一电路径具有有效距离/长度X(或尽可能接近X)(例如,两个有效距离/长度之间的差在有效距离/长度X的2%以内)。在差分信令对中,为了确保第一信号和第二信号行进相同距离,反之亦然,可以使用至少一个匹配结构(例如,205、207)。不同实现方式可以不同地定义端子。端子可以是集成器件的一部分。两个端子之间的电路径可以是两个集成器件之间的电路径。对于差分信号对,每个相应信号可以耦合到同一对集成器件的一对不同端子。例如,(i)第一集成器件与第二集成器件之间的第一信号可以行进经过被配置为耦合(例如,电耦合)到第一集成器件的第一端子和第二集成器件的第一端子的第一电路径,以及(ii)第一集成器件与第二集成器件之间的第二信号可以行进经过被配置为耦合(例如,电耦合)到第一集成器件的第二端子和第二集成器件的第二端子的第二电路径,其中第一信号和第二信号是差分信号对的一部分。

[0029] 匹配结构205包括至少一个电介质层250(例如,结构电介质层)、第一多个匹配互连件251和第二多个匹配互连件253。第一多个匹配互连件251延伸(例如,竖直延伸)穿过匹配结构205的至少一个电介质层250。第二多个匹配互连件253延伸(例如,竖直和/或水平延伸)穿过匹配结构205的至少一个电介质层250。

[0030] 第一多个匹配互连件251和第二多个匹配互连件253是互连件差分对(differential pair of interconnects)。第一多个匹配互连件251被配置为提供用于第一信号的电路径。第二多个匹配互连件253被配置为提供用于第二信号的电路径。第一信号和第二信号可以是高速信号。第一信号和第二信号可以是差分信号对。第一信号可以是正信号,并且第二信号可以是负信号。第二信号可以是正信号,并且第一信号可以是负信号。第二信号可以是与第一信号相反(opposite)的信号,反之亦然。第二信号可以是第一信号的反相(inverted)信号,反之亦然。

[0031] 第一多个匹配互连件251具有第一电路径长度(例如,第一有效电路径长度)。第二多个匹配互连件253具有第二电路径长度(例如,第二有效电路径长度)。第一多个匹配互连件251的电路径长小于第二多个匹配互连件253的电路径长度。第一多个匹配互连件251是两个第一端子(例如,第一集成器件的第一端子和第二集成器件的第一端子)之间的第一电路径的一部分。第二多个匹配互连件253是两个第二端子(例如,第一集成器件的第二端子和第二集成器件的第二端子)之间的第二电路径的一部分。第二多个匹配互连件253可以具有蛇形设计(serpentine design),该蛇形设计在匹配结构205中具有各种匝数(turn)。匹配结构205有助于确保两个第一端子之间的第一电路径长度与两个第二端子之间的第二电路径长度相同或近似相同。两个第一端子可以是两个集成器件之间的端子对。两个第二端子可以是上述两个集成器件之间的端子对。这两个集成器件可以耦合到基板202、其他基板和/或板(例如,印刷电路板)。

[0032] 匹配结构207包括结构芯层270、电介质层272(例如,结构电介质层)、电介质层274(例如,结构电介质层)、电介质层276(例如,结构电介质层)、电介质层278(例如,结构电介质层)、第一多个匹配互连件271和第二多个匹配互连件273。第一多个匹配互连件271延伸(例如,竖直延伸)穿过匹配结构207的电介质层。第二多个匹配互连件273延伸(例如,竖直和/或水平延伸)穿过匹配结构207的电介质层。

[0033] 第一多个匹配互连件271和第二多个匹配互连件273是互连件差分对。第一多个匹配互连件271被配置为提供用于第三信号的电路径。第二多个匹配互连件273被配置为提供用于第四信号的电路径。第三信号和第四信号可以是高速信号。第三信号和第四信号可以是差分信号对。第三信号可以是正信号,并且第四信号可以是负信号。第四信号可以是正信号,并且第三信号可以是负信号。第四信号可以是与第三信号相反的信号,反之亦然。第四信号可以是第三信号的反相信号,反之亦然。

[0034] 第一多个匹配互连件271具有第三电路径长度(例如,第三有效电路径长度)。第二多个匹配互连件273具有第四电路径长度(例如,第四有效电路径长度)。第三多个匹配互连件271的电路径长小于第二多个匹配互连件273的电路径长度。第一多个匹配互连件271是两个第一端子之间的第三电路径的一部分。第二多个匹配互连件273是两个第二端子之间的第四电路径的一部分。第二多个匹配互连件273可以具有蛇形设计,该蛇形设计在匹配结构207中具有各种匝数。匹配结构207有助于确保两个第一端子之间的第三电路径长度与两个第二端子之间的第四电路径长度相同或近似相同。两个第一端子可以是两个集成器件之间的端子对。两个第二端子可以是上述两个集成器件之间的端子对。这两个集成器件可以耦合到基板202、其他基板和/或板(例如,印刷电路板)。

[0035] 图3示出了作为差分信令对的一部分的示例性的互连件对。图3示出了第一多个互

连件301和第二多个互连件303。第一多个互连件301可以是第一多个匹配互连件251和/或第一多个匹配互连件271的表示。多个第一互连件303可以是第二多个匹配互连件253和/或第二多个匹配互连件273的表示。

[0036] 第一多个互连件301包括互连件310(例如,焊盘)、互连件311(例如,过孔(via))、互连件312(例如,焊盘)、互连件313(例如,过孔)、互连件314(例如,焊盘)、互连件315(例如,过孔)和互连件316(例如,焊盘)。多个互连件301竖直延伸。在一些实现方式中,第一多个互连件301是两个第一端子(例如,第一集成器件的第一端子和第二集成器件的第一端子)之间的第一电路径的一部分。

[0037] 第二多个互连件303包括互连件330(例如,焊盘)、互连件331(例如,过孔)、互连件332(例如,迹线、焊盘)、互连件333(例如,过孔)、互连件334(例如,迹线、焊盘)、互连件335(例如,过孔)和互连件336(例如,焊盘)。多个互连件303竖直和水平延伸。在一些实现方式中,第二多个互连件303是两个第二端子(例如,第一集成器件的第二端子和第二集成器件的第二端子)之间的第二电路径的一部分。

[0038] 图4示出了实现匹配结构如何能够帮助改进封装件和/或基板。图4示出了基板402的第一设计400和基板402的第二设计401。基板402的设计400包括至少一个互连件410、至少一个互连件412、多个互连件414、至少一个互连件420、至少一个互连件422、多个互连件424和焊料阻挡层430。至少一个互连件410和至少一个互连件412可以包括在各种金属层上的焊盘。至少一个互连件410、至少一个互连件412和多个互连件414是用于差分信号对中的第一信号的第一电路径的一部分。至少一个互连件420和至少一个互连件422可以包括在各种金属层上的焊盘。至少一个互连件420、至少一个互连件422和多个互连件424是用于差分信号对中的第二信号的第二电路径的一部分。多个互连件424被形成在基板402的电介质层上,以确保第二电路径的总长度(例如,有效长度)与第一电路径的总长度(例如,有效长度)匹配。

[0039] 基板402的设计401包括至少一个互连件410、至少一个互连件412、多个互连件414、至少一个互连件420、至少一个互连件422、多个互连件426和焊料阻挡层430。设计401可以类似于设计400。然而,设计400的多个互连件424已经被实现为多个互连件426。多个互连件426可以在基板402的芯层中实现。多个互连件426可以被实现为多个互连件303、多个匹配互连件253和/或多个匹配互连件273。

[0040] 至少一个互连件420、至少一个互连件422和多个互连件426是用于差分信号对中的第二信号的第二电路径的一部分。多个互连件426被形成在基板402的芯层中,以确保第二电路径的总长度(例如,有效长度)与第一电路径的总长度(例如,有效长度)匹配。设计401在基板402中创建空间450,空间450可以用于其他互连件的布线(routing)。图4示出了芯层中的蛇形设计如何能够通过为电路的任何附加互连件创建附加空间而引起基板中的互连件的改进的整体布线。

[0041] 不同的匹配结构可以具有不同的设计和/或形状。图5示出了包括至少一个匹配结构的基板502,该至少一个匹配结构具有被配置为提供偏斜匹配和/或信号时间匹配的互连件。基板502可以在具有至少一个集成器件的封装件中实现。基板502类似于图2中描述的基板202。基板502可以包括与基板202相同或相似的组件。基板502包括与针对基板202而描述的匹配结构不同的匹配结构。

[0042] 如图5所示，基板502包括匹配结构505和匹配结构507。匹配结构505和/或匹配结构507可以是用于偏斜匹配的部件。匹配结构505和507包括的互连件具有与匹配结构205和/或207的互连件不同的设计。例如，匹配结构205和/或207包括具有不同匝数的互连件。匹配结构505和507位于芯层203中。匹配结构505和/或507耦合到第一多个互连件241和/或第二多个互连件261。

[0043] 匹配结构505包括至少一个电介质层250、第一多个匹配互连件551和第二多个匹配互连件553。第一多个匹配互连件551延伸(例如，竖直延伸)穿过匹配结构505的至少一个电介质层250。第二多个匹配互连件553延伸(例如，竖直和/或水平延伸)穿过匹配结构505的至少一个电介质层250。

[0044] 第一多个匹配互连件551和第二多个匹配互连件553是互连件差分对。第一多个匹配互连件551被配置为提供用于第一信号的电路径。第二多个匹配互连件553被配置为提供用于第二信号的电路径。第一信号和第二信号可以是高速信号。第一信号和第二信号可以是差分信号对。第一信号可以是正信号，并且第二信号可以是负信号。第二信号可以是正信号，并且第一信号可以是负信号。第二信号可以是与第一信号相反的信号，反之亦然。第二信号可以是第一信号的反相信号，反之亦然。

[0045] 第一多个匹配互连件551具有第一电路径长度。第二多个匹配互连件553具有第二电路径长度。第一多个匹配互连件551的电路径长小于第二多个匹配互连件553的电路径长度。第一多个匹配互连件551是两个第一端子之间的第一电路径的一部分。第二多个匹配互连件553是两个第二端子之间的第二电路径的一部分。第二多个匹配互连件553可以具有蛇形设计，该蛇形设计具有各种匝数。匹配结构505有助于确保两个第一端子之间的第一电路径长度与两个第二端子之间的第二电路径长度相同或近似相同。两个第一端子可以是两个集成器件之间的端子对。两个第二端子可以是上述两个集成器件之间的端子对。这两个集成器件可以耦合到基板502、其他基板和/或板(例如，印刷电路板)。

[0046] 匹配结构507包括结构芯层270、电介质层272、电介质层274、电介质层276、电介质层278、电介质层572(例如，结构电介质层)、电介质层574(例如，结构电介质层)、第一多个匹配互连件571和第二多个匹配互连件573。第一多个匹配互连件571延伸(例如，竖直延伸)穿过匹配结构507的至少一个电介质层。第二多个匹配互连件573延伸(例如，竖直和/或水平延伸)穿过匹配结构507的电介质层。

[0047] 第一多个匹配互连件571和第二多个匹配互连件573是互连件差分对。第一多个匹配互连件571被配置为提供用于第三信号的电路径。第二多个匹配互连件573被配置为提供用于第四信号的电路径。第三信号和第四信号可以是高速信号。第三信号和第四信号可以是差分信号对。第三信号可以是正信号，并且第四信号可以是负信号。第四信号可以是正信号，并且第三信号可以是负信号。第四信号可以是与第三信号相反的信号，反之亦然。第四信号可以是第三信号的反相信号，反之亦然。

[0048] 第一多个匹配互连件571具有第三电路径长度。第二多个匹配互连件573具有第四电路径长度。第三多个匹配互连件571的电路径长小于第二多个匹配互连件573的电路径长度。第一多个匹配互连件571是两个第一端子之间的第三电路径的一部分。第二多个匹配互连件573是两个第二端子之间的第四电路径的一部分。第二多个匹配互连件573可以具有蛇形设计，该蛇形设计具有各种匝数。匹配结构507有助于确保两个第一端子之间的第三电路

径长度与两个第二端子之间的第四电路径长度相同或近似相同。两个第一端子可以是两个集成器件之间的端子对。两个第二端子可以是上述两个集成器件之间的端子对。这两个集成器件可以耦合到基板502、其他基板和/或板(例如,印刷电路板)。

[0049] 图6示出了包括基板202、集成器件304和集成器件308的封装件600。集成器件304通过多个焊料互连件340耦合到基板202。集成器件308通过多个焊料互连件380耦合到基板202。

[0050] 在一些实现方式中,集成器件304可以被配置为通过差分信令对穿过匹配结构205而电耦合到另一集成器件。例如,集成器件304可以被配置为电耦合到多个焊料互连件340、第一多个互连件241、匹配结构205的互连件和第二多个互连件261。匹配结构205可以被配置为:为向和/或从集成器件304行进的信号对提供偏斜匹配和/或信号时间匹配。例如,匹配结构205有助于确保向集成器件304行进的第一信号与向集成器件304行进的第二信号同时到达,其中第一信号和第二信号是差分信号对。在另一示例中,匹配结构205有助于确保从集成器件304行进的第一信号与从集成器件304行进的第二信号同时到达另一集成器件,其中第一信号和第二信号是差分信号对。被配置为通过匹配结构205从集成器件304接收和/或向集成器件304发射第一信号和第二信号的另一集成器件可以耦合到基板302、另一基板或板(例如,印刷电路板)。

[0051] 在一些实现方式中,集成器件308可以被配置为通过差分信令对穿过匹配结构207而电耦合到另一集成器件。例如,集成器件308可以被配置为电耦合到多个焊料互连件380、第二多个互连件241、匹配结构207的互连件和第二多个互连件261。匹配结构207可以被配置为:为向和/或从集成器件308行进的信号对提供偏斜匹配和/或信号时间匹配。例如,匹配结构207有助于确保向集成器件308行进的第一信号与向集成器件308行进的第二信号同时到达,其中第一信号和第二信号是差分信号对。在另一示例中,匹配结构207有助于确保从集成器件308行进的第一信号与从集成器件308行进的第二信号同时到达另一集成器件,其中第一信号和第二信号是差分信号对。被配置为通过匹配结构207从集成器件308接收和/或向集成器件308发射第一信号和第二信号的另一集成器件可以耦合到基板302、另一基板或板(例如,印刷电路板)。

[0052] 注意,本公开中描述的任何基板(例如,502)都可以用封装件来实现。还应当注意,任何匹配结构(例如,205、207、505、507)都可以在基板中实现。还应当注意,基板可以包括任何数目的匹配结构和/或不同匹配结构的不同组合。已经描述了具有各种匹配结构的各种基板,现在将在下面描述用于制造基板的过程。

[0053] 用于制造包括匹配结构的基板的示例性序列

[0054] 在一些实现方式中,制造包括匹配结构的基板包括若干过程。图7A-图7D示出了用于提供或制造包括至少一个匹配结构的基板的示例性序列。在一些实现方式中,图7A-图7D的序列可以用于提供或制造图2的基板202。然而,图7A-图7D的过程可以用于制造本公开中描述的任何基板。

[0055] 应当注意,图7A-图7D的序列可以组合一个或多个阶段,以简化和/或阐明用于提供或制造基板的序列。在一些实现方式中,过程的顺序可以被改变或修改。在一些实现方式中,在不脱离本公开的精神的情况下,可以替换或替代一个或多个过程。

[0056] 如图7A所示,阶段1示出了在提供芯层203之后的状态。芯层203可以包括金属层

(例如,箔)。

[0057] 阶段2示出了在芯层203中形成多个腔体701之后的状态。多个腔体701可以延伸穿过芯层203。激光工艺(例如,激光烧蚀)可以用于形成多个腔体701。

[0058] 阶段3示出了在芯层203耦合到带(tape)710之后的状态,或者反之亦然。带710可以包括粘附带。

[0059] 阶段4示出了在腔体701中放置至少一个匹配结构205并且在另一腔体701中放置至少一个匹配结构207之后的状态。不同实现方式可以在腔体701中放置不同匹配结构(例如,505、507)。不同实现方式可以在腔体中放置不同数目的匹配结构和/或匹配结构的不同组合。拾取和放置工艺可以用于在芯层203的腔体701中放置匹配结构。如何制造匹配结构的示例在图9A-图9D和/或图10A-图10F中示出和描述。

[0060] 如图7B所示,阶段5示出了在芯层203、匹配结构205和匹配结构207的第一表面(例如,顶表面)之上形成电介质层720之后的状态。沉积工艺可以用于形成电介质层720。

[0061] 阶段6示出了在带710与芯层203解除耦合(decouple)并且在芯层203、匹配结构205和匹配结构207的第二表面(例如,底表面)之上形成电介质层730之后的状态。沉积工艺可以用于形成电介质层730。

[0062] 阶段7示出了在形成穿过电介质层720的多个腔体721、形成穿过芯层203的多个腔体723,以及形成穿过电介质层730的多个腔体733之后的状态。激光工艺(例如,激光烧蚀)可以用于形成腔体。

[0063] 阶段8示出了在形成多个互连件722、多个互连件732和多个互连件724之后的状态。多个互连件724被形成在腔体723中。镀覆(plating)工艺或粘贴(pasting)工艺可以用于形成互连件722、724和/或732。

[0064] 如图7C所示,阶段9示出了在形成电介质层740和形成电介质层750之后的状态。沉积工艺可以用于形成电介质层740。电介质层740可以包括电介质层720。沉积工艺可以用于形成电介质层750。电介质层750可以包括电介质层730。

[0065] 阶段10示出了在电介质层740中形成多个腔体741并且在电介质层750中形成多个腔体751之后的状态。激光工艺(例如,激光烧蚀)、光刻工艺(例如,曝光和显影)和/或蚀刻工艺可以用于形成腔体741和751。

[0066] 阶段11示出了在(i)在电介质层740中和/或之上形成多个互连件742以及(ii)在电介质层750中和/或之上形成多个互连件752之后的状态。图案化工艺和镀覆工艺可以用于形成互连件742和752。互连件742中的一些互连件可以被形成在腔体741中。互连件752中的一些互连件可以被形成在腔体751中。多个互连件742和752可以包括过孔、焊盘和/或迹线。

[0067] 如图7D所示,阶段12示出了在形成电介质层760和形成电介质层770之后的状态。电介质层760被形成在电介质层740之上。电介质层770被形成在电介质层750之上。沉积工艺可以用于形成电介质层760。沉积工艺可以用于形成电介质层770。

[0068] 阶段13示出了在电介质层760中形成多个腔体761并且在电介质层770中形成多个腔体771之后的状态。激光工艺(例如,激光烧蚀)、光刻工艺(例如,曝光和显影)和/或蚀刻工艺可以用于形成腔体761和771。

[0069] 阶段14示出了在(i)在电介质层760中和/或之上形成多个互连件762以及(ii)在

电介质层770中和/或之上形成多个互连件772之后的状态。图案化工艺和镀覆工艺可以用于形成互连件762和772。互连件762中的一些互连件可以被形成在腔体761中。互连件772中的一些互连件可以被形成在腔体771中。互连件762和772可以包括过孔、焊盘和/或迹线。

[0070] 阶段14可以示出包括匹配结构205和匹配结构207的基板202。电介质层740和760可以由至少一个第一电介质层240表示。多个互连件742和762可以由第一多个互连件241表示。电介质层750和770可以由至少一个第二电介质层260表示。多个互连件752和772可以由第二多个互连件261表示。

[0071] 用于制造包括匹配结构的基板的方法的示例性流程图

[0072] 在一些实现方式中,制造包括至少一个匹配结构的基板包括若干过程。图8示出了用于提供或制造包括至少一个匹配结构的基板的方法800的示例性流程图。在一些实现方式中,图8的方法800可以用于提供或制造图2的基板202。然而,方法800可以用于制造本公开中描述的任何基板。

[0073] 应当注意,图8的序列可以组合一个或多个过程,以简化和/或阐明用于提供或制造基板的方法。在一些实现方式中,过程的顺序可以被改变或修改。

[0074] 该方法提供(在805)芯层(例如,203)。芯层可以包括至少一个金属层。芯层可以是芯基板。图7A的阶段1示出并且描述了提供芯层的示例。

[0075] 该方法在芯层203中形成(在810)多个腔体701。多个腔体701可以延伸穿过芯层203。激光工艺可以用于形成多个腔体701。图7A的阶段2示出并且描述了在芯层中形成腔体的示例。

[0076] 该方法将芯层203耦合(在815)到带710。图7A的阶段3示出并且描述了将芯层耦合到带的示例。该方法还在芯层203的腔体(例如,701)中放置(在815)至少一个匹配结构(例如,205、207、505、507)。拾取和放置工艺可以用于放置至少一个匹配结构。图7A的阶段4示出并且描述了在芯层的腔体中放置匹配结构的示例。

[0077] 该方法在芯层和匹配结构之上形成(在820)(一个或多个)电介质层。沉积工艺可以用于形成(一个或多个)电介质层(例如,720、730)。电介质层可以被形成在芯层203的第一表面和至少一个匹配结构的第一表面之上。另一电介质层可以形成在芯层203的第二表面和至少一个匹配结构的第二表面之上。在一些实现方式中,在将电介质层形成在芯层的表面之上之前,带(例如,710)可以与芯层203解除耦合。图7B的阶段5-6示出并且描述了形成电介质层和带解除耦合的示例。

[0078] 该方法(在825)在芯层(例如,203)和电介质层(例如,720、730)中形成腔体。激光工艺(例如,激光烧蚀)、光刻工艺(例如,曝光和显影)和/或蚀刻工艺可以用于形成腔体(例如,721、723、731)。图7B的阶段7示出并且描述了形成腔体的示例。

[0079] 该方法在芯层(例如,203)和电介质层(例如,720、730)中形成(在830)互连件。图案化工艺和镀覆工艺可以用于形成互连件(例如,722、724、732)。图7B的阶段8示出并且描述了形成互连件的示例。

[0080] 该方法在电介质层(例如,720、730)之上形成(在835)附加电介质层(例如,740、750、760、770)和互连件(例如,742、752、762、772)。形成附加电介质层和互连件可以包括沉积电介质层、在电介质层中形成腔体,以及用于形成互连件的镀覆工艺。图7C-图7D的阶段9-14示出并且描述了形成附加电介质层和互连件。用于制造匹配结构的示例性序列

[0081] 在一些实现方式中，制造匹配结构包括若干过程。图9A-图9D示出了用于提供或制造匹配结构的示例性序列。在一些实现方式中，图9A-图9D的序列可以用于提供或制造图2的匹配结构207。然而，图9A-图9D的过程可以用于制造本公开中描述的任何匹配结构。

[0082] 应当注意，图9A-图9D的序列可以组合一个或多个阶段，以简化和/或阐明用于提供或制造匹配结构的序列。在一些实现方式中，过程的顺序可以被改变或修改。在一些实现方式中，在不脱离本公开的精神的情况下，可以替换或替代一个或多个过程。

[0083] 如图9A所示，阶段1示出了在提供芯层270之后的状态。芯层270可以包括金属层(例如，910、920)

[0084] 阶段2示出了在形成穿过金属层910、芯层270和金属层920的多个腔体901之后的状态。激光工艺(例如，激光烧蚀)可以用于形成腔体901。

[0085] 阶段3示出了在芯层270和/或金属层910的第一表面之上形成第一干膜930之后的状态。阶段3还示出了在芯层270和/或金属层920的第二表面之上形成第二干膜940之后的状态。沉积工艺可以用于形成干膜(例如，930、940)。

[0086] 阶段4示出了在形成穿过干膜930、金属层910、芯层270、金属层920和干膜940的多个腔体901之后的状态。阶段4还示出了在形成穿过干膜930的多个腔体931和形成穿过干膜940的多个腔体941之后的状态。激光工艺(例如，激光烧蚀)可以用于形成腔体。形成腔体可以包括干膜曝光和显影。

[0087] 如图9B所示，阶段5示出了在芯层270中和之上形成多个互连件912之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件912。阶段5示出了在去除干膜(例如，930、940)之后的状态。

[0088] 阶段6示出了在形成电介质层272和形成电介质层274之后的状态。沉积工艺可以用于形成电介质层272和电介质层274。阶段6还示出了形成在电介质层272之上的金属层972和形成在电介质层274之上的金属层974。金属层972和974可以包括箔。

[0089] 阶段7示出了在形成穿过金属层972和电介质层272的多个腔体973之后的状态。阶段7还示出了形成穿过金属层974和电介质层274的多个腔体975。激光工艺(例如，激光烧蚀)、光刻工艺(例如，曝光和显影)和/或蚀刻工艺可以用于形成腔体973和975。

[0090] 如图9C所示，阶段8示出了在电介质层272和金属层972之上形成第一干膜950以及在电介质层274和金属层974之上形成第二干膜960之后的状态。沉积工艺可以用于形成干膜(例如，950、960)。

[0091] 阶段9示出了在形成穿过干膜950的多个腔体951和形成穿过干膜960的多个腔体961之后的状态。激光工艺(例如，激光烧蚀)可以用于形成腔体。形成腔体可以包括干膜曝光和显影。

[0092] 如图9D所示，阶段10示出了在电介质层272中和之上形成多个互连件952以及在电介质层274中和之上形成多个互连件962之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件952和962。阶段10示出了在去除干膜(例如，950、960)之后的状态。

[0093] 阶段11示出了在电介质层272之上形成电介质层276和在电介质层274之上形成电介质层278之后的状态。沉积工艺可以用于形成电介质层276和电介质层278。电介质层272、274、276和/或278可以包括预浸料(prepreg)。电介质层272和/或274中的过孔可以具有在25微米至80微米范围内的厚度。芯层270中的过孔可以具有在40微米至250微米范围内的厚

度。

[0094] 阶段12示出了在单个化(singulation)之后的状态,该单个化形成若干匹配结构,诸如匹配结构207a和匹配结构207b。匹配结构207a包括第一多个匹配互连件271和第二多个匹配互连件273。匹配结构207b包括第一多个匹配互连件271和第二多个匹配互连件273。

[0095] 用于制造匹配结构的示例性序列

[0096] 在一些实现方式中,制造匹配结构包括若干过程。图10A-图10F示出了用于提供或制造匹配结构的示例性序列。在一些实现方式中,图10A-图10F的序列可以用于提供或制造图2的匹配结构205。然而,图10A-图10F的过程可以用于制造本公开中描述的任何匹配结构。

[0097] 应当注意,图10A-图10F的序列可以组合一个或多个阶段,以便简化和/或阐明用于提供或制造匹配结构的序列。在一些实现方式中,过程的顺序可以被改变或修改。在一些实现方式中,在不脱离本公开的精神的情况下,可以替换或替代一个或多个过程。

[0098] 如图10A所示,阶段1示出了在提供电介质层1000之后的状态。电介质层1000可以包括金属层(例如,1002、1004)。电介质层1000可以包括预浸料。金属层(例如,1002、1004)可以包括铜箔。

[0099] 阶段2示出了在形成穿过金属层1002和电介质层1000的多个腔体1003之后的状态。激光工艺(例如,激光烧蚀)可以用于形成腔体1003。

[0100] 阶段3示出了在金属层1002和电介质层1000之上形成干膜1006之后的状态。沉积工艺可以用于形成干膜1006。阶段3还示出了在形成穿过干膜1006的多个腔体1005之后的状态。形成腔体可以包括干膜曝光和显影。

[0101] 阶段4示出了在电介质层1000中和之上形成多个互连件1007之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件1007。阶段4示出了在去除干膜1006之后的状态。

[0102] 如图10B所示,阶段5示出了在电介质层1000和多个互连件1007之上形成电介质层1010之后的状态。沉积工艺可以用于形成电介质层1010。

[0103] 阶段6示出了在形成穿过电介质层1010的多个腔体1013之后的状态。激光工艺(例如,激光烧蚀)、光刻工艺(例如,曝光和显影)或蚀刻工艺可以用于形成腔体1013。

[0104] 阶段7示出了在电介质层1010之上形成干膜1016之后的状态。沉积工艺可以用于形成干膜1016。

[0105] 如图10C所示,阶段8示出了在形成穿过干膜1016的多个腔体1015之后的状态。形成腔体1015可以包括干膜曝光和显影。

[0106] 阶段9示出了在电介质层1010中和之上形成多个互连件1017之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件1017。阶段9示出了在去除干膜1016之后的状态。

[0107] 阶段10示出在电介质层1010和多个互连件1017之上形成电介质层1020之后的状态。沉积工艺可以用于形成电介质层1020。

[0108] 如图10D所示,阶段11示出了在形成穿过电介质层1020的多个腔体1023之后的状态。激光工艺(例如,激光烧蚀)、光刻工艺(例如,曝光和显影)或蚀刻工艺可以用于形成腔体1023。

[0109] 阶段12示出了在电介质层1020之上形成干膜1026之后的状态。沉积工艺可以用于形成干膜1026。

[0110] 阶段13示出了在形成穿过干膜1026的多个腔体1025之后的状态。形成腔体可以包括干膜曝光和显影。

[0111] 如图10E所示，阶段14示出了在电介质层1020中和之上形成多个互连件1027之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件1027。阶段14示出了在去除干膜1026之后的状态。

[0112] 阶段15示出了在电介质层1000之上形成多个互连件1029之后的状态。镀覆工艺或粘贴工艺可以用于形成互连件1029。互连件1029可以包括金属层1004。在一些实现方式中，金属层1004可以在形成互连件1029之前被去除。

[0113] 如图10F所示，阶段16示出了在电介质层1020之上形成电介质层1030和在电介质层1000之上形成电介质层1040之后的状态。沉积工艺可以用于形成电介质层1030和1040。

[0114] 阶段17示出了在单个化之后的状态，该单个化形成若干匹配结构，诸如匹配结构205a和匹配结构205b。匹配结构205a包括至少一个电介质层250、第一多个匹配互连件251和第二多个匹配互连件253。至少一个电介质层250可以表示电介质层1000、1010、1020、1030和/或1040。电介质层1000、1010、1020、1030和/或1040可以包括预浸料。电介质层1000、1010和/或1020中的过孔可以具有在25微米至80微米范围内的厚度。第一多个匹配互连件251可以包括多个互连件1007、1017、1027和/或1029中的第一互连件。第二多个匹配互连件253可以包括多个互连件1007、1017、1027和/或1029中的第二互连件。

[0115] 示例性电子设备

[0116] 图11示出了可以与上述器件、集成器件、集成电路(IC)封装件、集成电路(IC)器件、半导体器件、集成电路、管芯、插入器(interposer)、封装件、封装上封装(PoP)、封装中系统(SiP)或片上系统(SoC)中的任何一个集成的各种电子设备。例如，移动电话设备1102、膝上型计算机设备1104、固定位置终端设备1106、可穿戴设备1108或机动交通工具1110可以包括本文中描述的器件1100。器件1100可以是例如本文中描述的任何器件和/或集成电路(IC)封装件。图11所示的设备1102、1104、1106和1108以及交通工具1110仅仅是示例性的。其他电子设备也可以以器件1100为特征，包括但不限于一组设备(例如，电子设备)，其包括移动设备、手持个人通信系统(PCS)单元、诸如个人数字助理等便携式数据单元、启用全球定位系统(GPS)的设备、导航设备、机顶盒、音乐播放器、视频播放器，娱乐单元、诸如抄表设备等固定位置数据单元、通信设备、智能手机、平板电脑、计算机、可穿戴设备(例如，手表、眼镜)、物联网(IoT)设备、服务器、路由器、在机动交通工具(例如，自动驾驶交通工具)中实现的电子设备，或者存储或检索数据或计算机指令的任何其他设备，或其任何组合。

[0117] 图2-图6、图7A-图7D、图8、图9A-图9D、图10A-图10F和/或图11所示的组件、过程、特征和/或功能中的一个或多个可以重新布置和/或组合为单个组件、过程，特征或功能，或者被体现在若干组件、过程或功能中。在不偏离本公开的情况下，还可以添加附加的元件、组件、过程和/或功能。还应当注意，图2-图6、图7A-图7D、图8、图9A-图9D、图10A-图10F和/或图11及其在本公开中的对应描述不限于管芯和/或IC。在一些实现方式中，图2-图6、图7A-图7D、图8、图9A-图9D、图10A-图10F和/或图11及其对应描述可以用于制造、创建、提供和/或生产器件和/或集成器件。在一些实现方式中，器件可以包括管芯、集成器件、集成无源器件(IPD)、管芯封装件、集成电路(IC)器件、器件封装件、集成线路(IC)封装件、晶圆、半导体器件、封装上封装(PoP)器件、散热器件和/或插入器。

[0118] 注意，本公开中的附图可以表示各种部件、组件、对象、器件、封装件、集成器件、集成电路和/或晶体管的实际表示和/或概念表示。在某些情况下，这些附图可以不是按比例绘制的。在某些情况下，为了清楚起见，并非所有组件和/或部件都可以被示出。在一些情况下，图中各种部件和/或组件的位置、定位、尺寸和/或形状可以是示例性的。在一些实现方式中，图中的各种组件和/或部件可以是可选的。

[0119] “示例性”一词在本文中用于表示“用作示例、实例或说明”。本文中描述为“示例性”的任何实现方式或方面不一定被解释为优于本公开的其他方面。同样，术语“方面”并不要求本公开的所有方面包括所讨论的特征、优点或操作模式。术语“耦合”在本文中用于指代两个物体之间的直接或间接耦合(例如，机械耦合)。例如，如果对象A物理地接触对象B，并且对象B接触对象C，则即使对象A和C不直接物理地彼此接触，对象A和对象C仍然可以被认为彼此耦合。术语“电耦合”可以是指两个物体直接或间接耦合在一起，使得电流(例如，信号、电源、接地)可以在两个物体之间行进。电耦合的两个物体可以具有或者可以不具有在两个物体之间行进的电流。术语“第一”、“第二”、“第三”和“第四”(和/或第四以上的任何词)的使用是任意的。所描述的任何组件可以是第一组件、第二组件、第三组件或第四组件。例如，称为第二组件的组件可以是第一组件、第二组件、第三组件或第四组件。术语“包封(encapsulate)”是指对象可以部分地包封或完全地包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的组件可以位于位于底部的组件之上。顶部组件可以被视为底部组件，反之亦然。如本公开中描述的，位于第二组件“之上”的第一组件可以表示第一组件位于第二组件上方或下方，这取决于底部或顶部是如何任意定义的。在另一示例中，第一组件可以位于第二组件的第一表面之上(例如，上方)，并且第三组件可以位于第二组件的第二表面之上(例如，下方)，其中第二表面与第一表面相对。还应当注意，在本申请中，在位于另一组件之上的一个组件的上下文中使用的术语“在……之上”可以用于表示位于另一组件上和/或另一组件中(例如，位于组件的表面上或嵌入组件中)的组件。因此，例如，位于第二组件之上的第一组件可以表示(1)第一组件在第二组件之上，但不直接接触第二组件，(2)第一组件在第二组件上(例如，在其表面上)，和/或(3)第一组件在第二组件中(例如，嵌入其中)。位于第二组件“中”的第一组件可以部分地位于第二组件中或完全位于第二组件中。本公开中使用的术语“大约值X”或“近似值X”是指在“值X”的10％以内。例如，大约为1或近似为1的值表示0.9-1.1范围内的值。

[0120] 在一些实现方式中，互连件是设备或封装件的元件或组件，其允许或促进两个点、元件和/或组件之间的电连接。在一些实现方式中，互连件可以包括迹线、过孔、焊盘、柱、金属化层、再分配层和/或凸块下金属化(UBM)层/互连件。在一些实现方式中，互连件可以包括导电材料，该导电材料可以被配置为提供用于信号(例如，数据信号)、接地和/或电源的电路径。互连件可以包括多于一个元件或组件。互连件可以由一个或多个互连件来定义。互连件可以包括一个或多个金属层。互连件可以是电路的一部分。不同实现方式可以使用不同工艺和/或序列来形成互连件。在一些实现方式中，化学气相沉积(CVD)工艺、物理气相淀积(PVD)工艺、溅射工艺、喷涂和/或镀覆工艺可以用于形成互连件。

[0121] 此外，注意，本文中包含的各种公开内容可以被描述为流程图表、流程图、结构图或框图所示的过程。尽管流程图可以将操作描述为顺序过程，但很多操作可以并行或并发执行。此外，操作的顺序可以重新布置。过程在其操作完成时终止。

[0122] 在下文中，描述了另外的示例，以便于理解本发明。

[0123] 方面1：一种基板，包括芯层、位于所述芯层中的匹配结构、耦合到所述芯层的第一表面的至少一个第一电介质层以及耦合到所述芯层的第二表面的至少一个第二电介质层。所述匹配结构包括：在所述匹配结构中竖直和水平延伸的至少一个第一匹配互连件；以及在所述匹配结构中竖直延伸的至少一个第二匹配互连件，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配。

[0124] 方面2：根据方面1所述的基板，其中所述匹配结构还包括至少一个结构电介质层。

[0125] 方面3：根据方面1所述的基板，其中所述匹配结构还包括结构芯层；以及至少一个结构电介质层。

[0126] 方面4：根据方面1至3所述的基板，其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径；并且其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

[0127] 方面5：根据方面4所述的基板，其中所述正信号和所述负信号被配置为差分信号对。

[0128] 方面6：根据方面1至5所述的基板，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为差分匹配互连件对。

[0129] 方面7：根据方面1至6所述的基板，其中所述至少一个第二匹配互连件包括至少一匝互连件。

[0130] 方面8：根据方面1至7所述的基板，其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

[0131] 方面9：根据方面1至8所述的基板，其中所述至少一个第一匹配互连件在所述匹配结构的结构电介质层中竖直和水平延伸；并且其中所述至少一个第二匹配互连件在所述匹配结构的所述结构电介质层中竖直延伸。

[0132] 方面10：根据方面1至9所述的基板，其中所述基板被并入选自以下项的设备中：音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能手机、个人数字助理、固定位置终端、平板电脑、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备和机动交通工具中的设备。

[0133] 方面11：一种封装件，包括集成器件和耦合到所述集成器件的基板。所述基板包括芯层、位于所述芯层中的匹配结构、耦合到所述芯层的第一表面的至少一个第一电介质层以及耦合到所述芯层的第二表面的至少一个第二电介质层。所述匹配结构包括在所述匹配结构中竖直和水平延伸的至少一个第一匹配互连件，以及在所述匹配结构中竖直延伸的至少一个第二匹配互连件，其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配。

[0134] 方面12：根据方面11所述的封装件，其中所述匹配结构还包括至少一个结构电介质层。

[0135] 方面13：根据方面11所述的封装件，其中所述匹配结构还包括结构芯层；以及至少一个结构电介质层。

[0136] 方面14：根据方面11至13所述的封装件，其中所述至少一个第一匹配互连件被配

置为提供用于正信号的电路径;并且其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

[0137] 方面15:根据方面14所述的封装件,其中所述正信号和所述负信号被配置为差分信号对。

[0138] 方面16:根据方面11至15所述的封装件,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为互连件差分对。

[0139] 方面17:根据方面11至16所述的封装件,其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

[0140] 方面18:一种装置,包括芯层、位于所述芯层中的用于偏斜匹配的部件、耦合到所述芯层的第一表面的至少一个第一电介质层以及耦合到所述芯层的第二表面的至少一个第二电介质层。所述用于偏斜匹配的部件包括在所述用于偏斜匹配的部件中竖直和水平延伸的至少一个第一匹配互连件,以及在所述用于偏斜匹配的部件中竖直延伸的至少一个第二匹配互连件,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置为提供用于第一信号和第二信号的时间信号匹配。

[0141] 方面19:根据方面18所述的装置,其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径;并且其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

[0142] 方面20:根据方面18至19所述的装置,其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

[0143] 方面21:一种用于制造基板的方法。所述方法提供具有至少一个腔体的芯层。所述方法在所述芯层的所述至少一个腔体中放置匹配结构。所述匹配结构包括在所述匹配结构中竖直和水平延伸的至少一个第一匹配互连件,以及在所述匹配结构中竖直延伸的至少一个第二匹配互连件,其中所述至少一个第一匹配互连件和所述至少一个第二匹配互连件被配置用于偏斜匹配。所述方法向所述芯层的第一表面之上形成至少一个第一电介质层。所述方法向所述芯层的第二表面之上形成至少一个第二电介质层。

[0144] 方面22:根据方面21所述的方法,其中所述匹配结构还包括结构芯层;以及至少一个结构电介质层。

[0145] 方面23:根据方面21至22所述的方法,其中所述至少一个第一匹配互连件被配置为提供用于正信号的电路径;并且其中所述至少一个第二匹配互连件被配置为提供用于负信号的电路径。

[0146] 方面24:根据方面21至23所述的方法,其中包括所述至少一个第一匹配互连件的两个第一端子之间的第一电路径距离与包括所述至少一个第二匹配互连件的两个第二端子之间的第二电路径距离近似相同。

[0147] 本文中描述的本公开的各种特征可以在不同系统中实现,而不偏离本公开。应当注意,本公开的前述方面仅仅是示例,而不应当被解释为限制本公开。本公开的各方面的描述旨在说明,而不是限制权利要求的范围。因此,本教导可以容易地应用于其他类型的器件,并且很多替代方案、修改和变化对于本领域技术人员来说将是很清楚的。

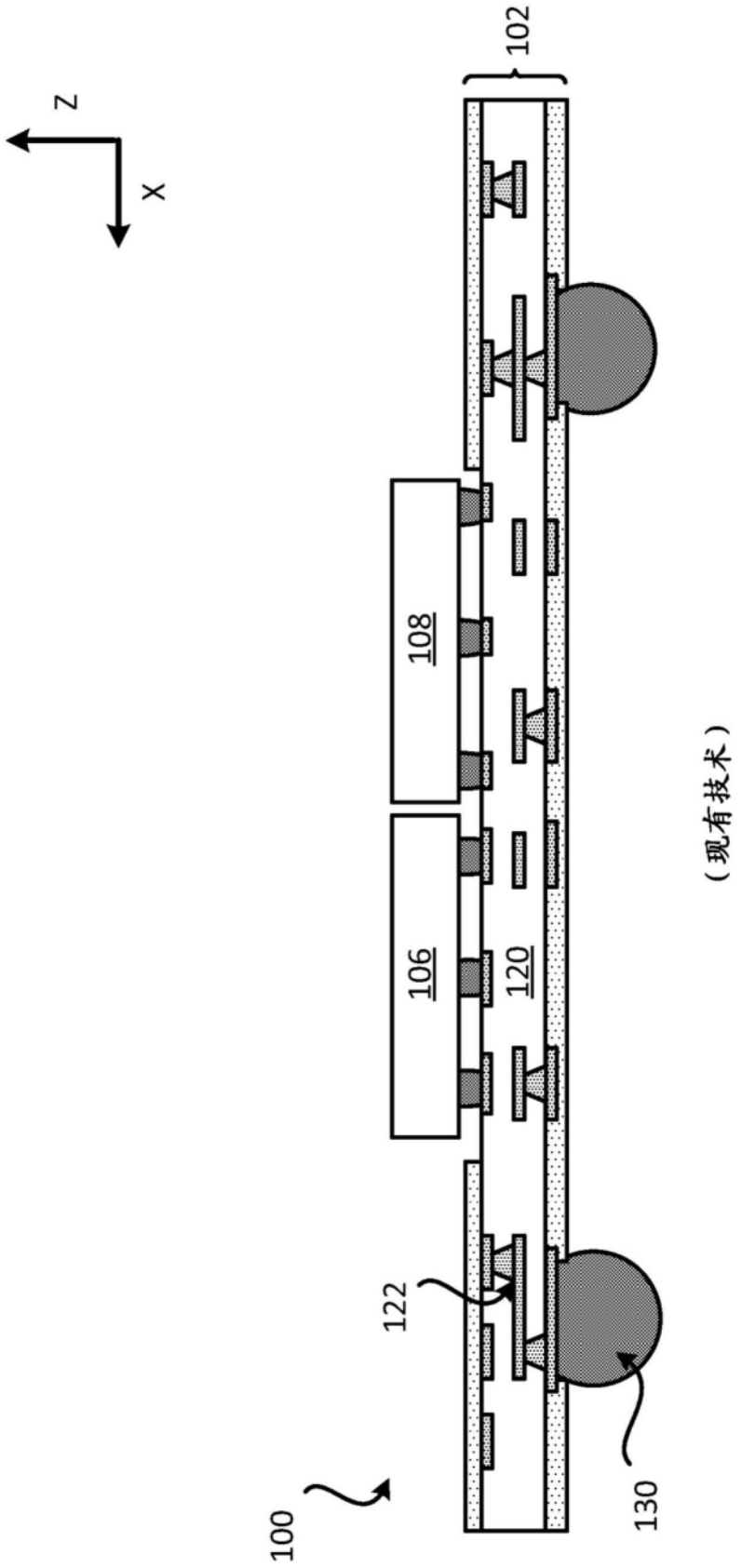


图1

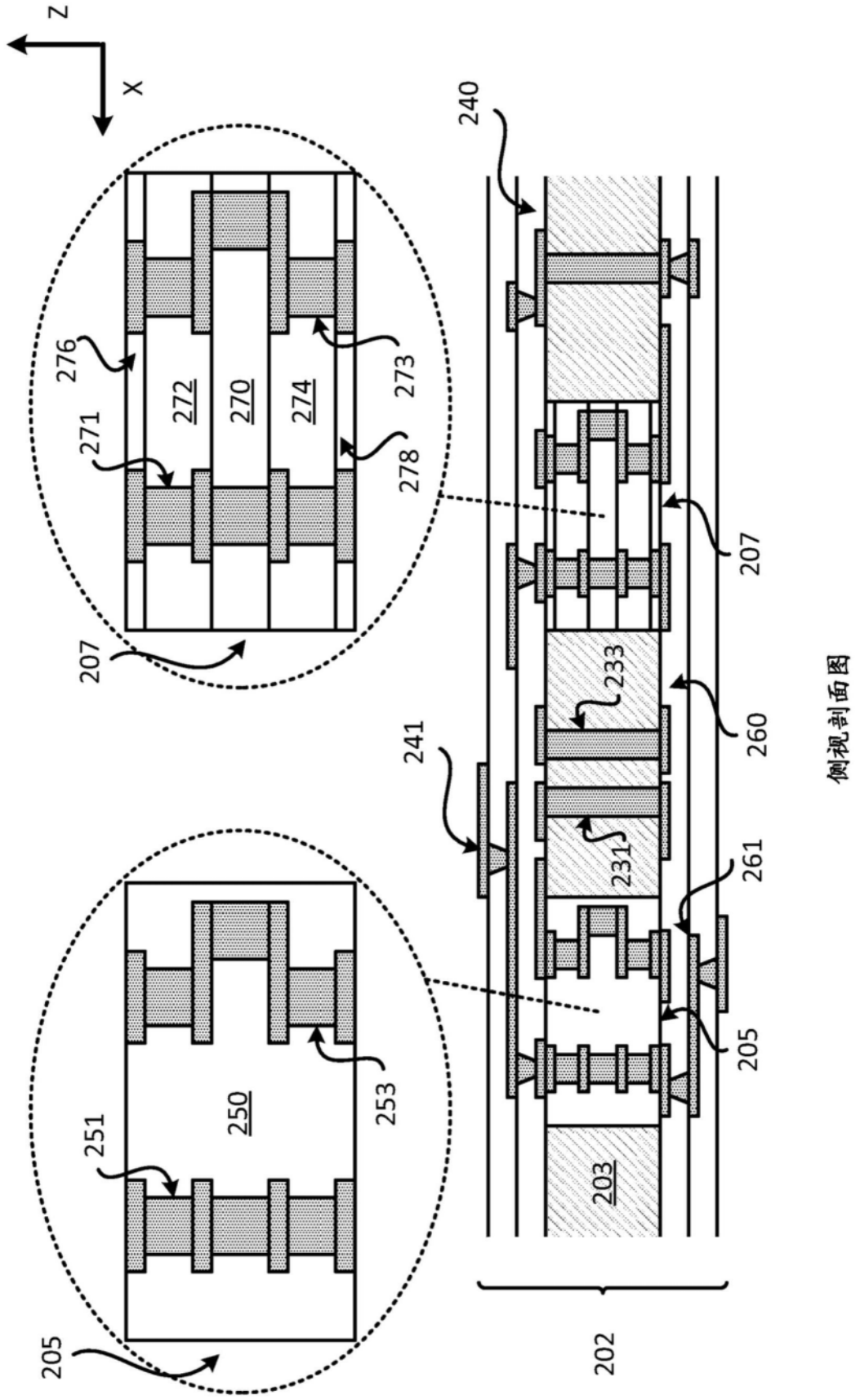

Z
X
240
276
271
272
270
274
273
278
207
233
241
260
231
261
205
250
251
253
203
202
侧视剖面图

图2

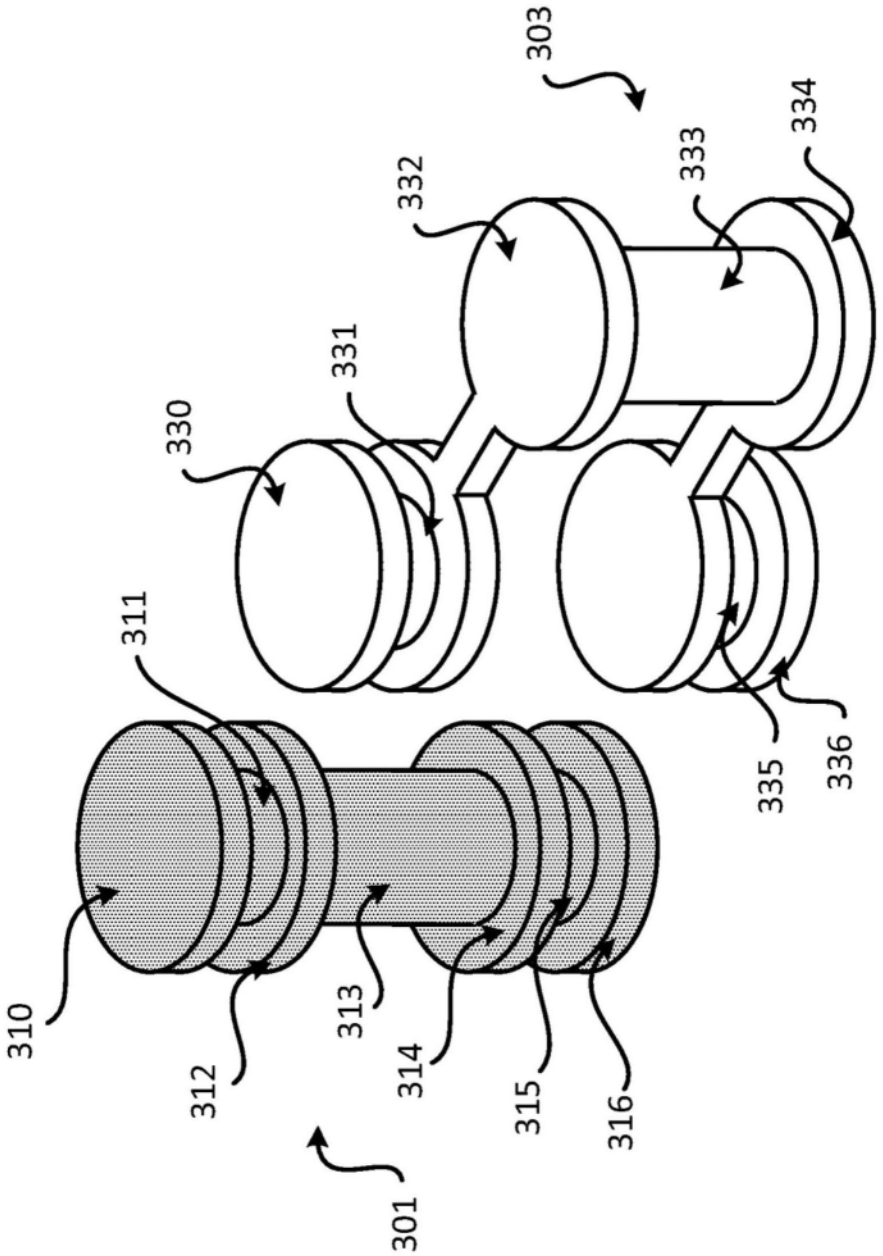


图3

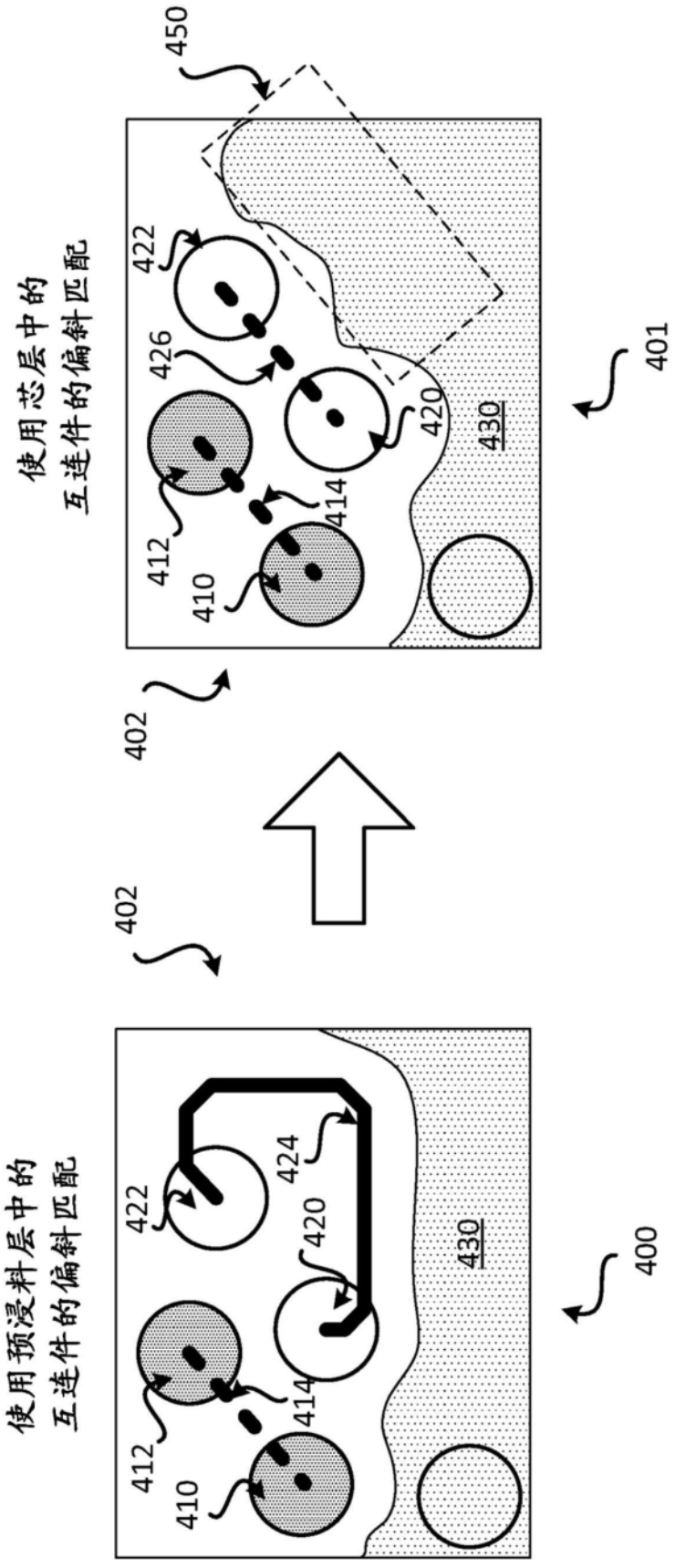

使用预浸料层中的
互连件的偏斜匹配
使用芯层中的
互连件的偏斜匹配
400
401
402
402
410
412
414
420
422
424
426
430
450

图4

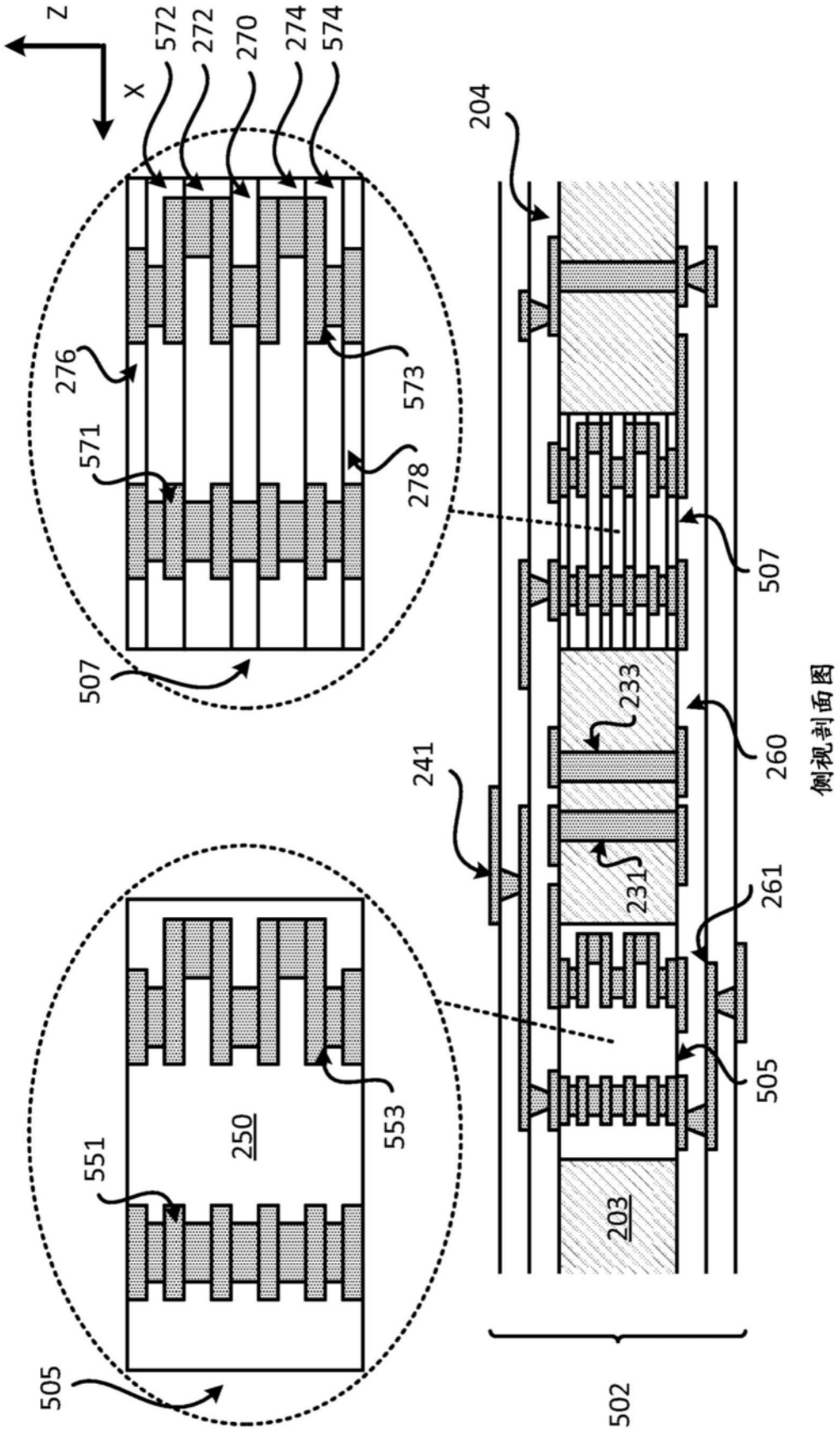

Z
X
572
272
270
274
574
276
573
571
278
507
204
241
233
231
260
261
505
203
502
侧视剖面图
250
551
553

图5

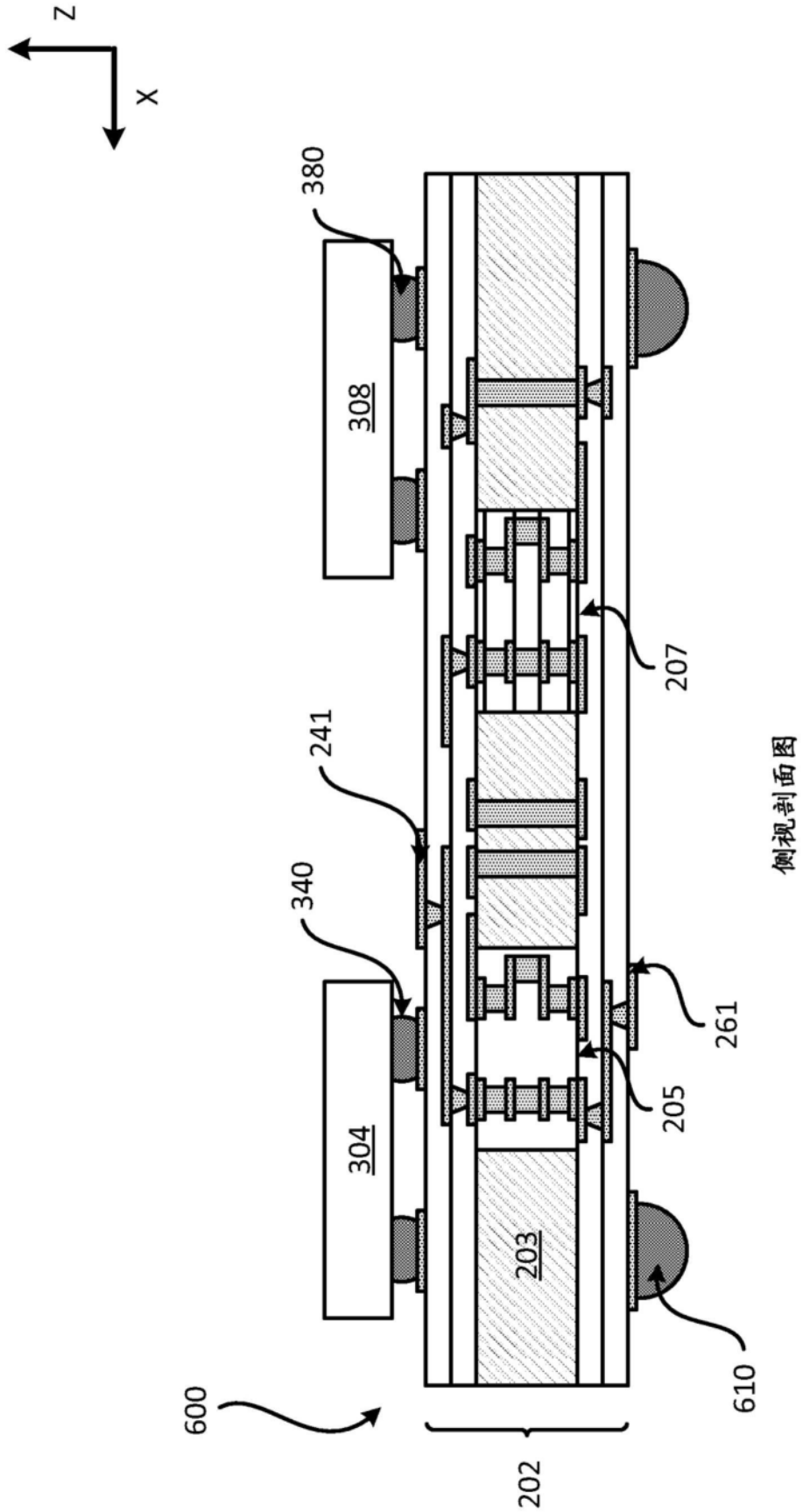


图6

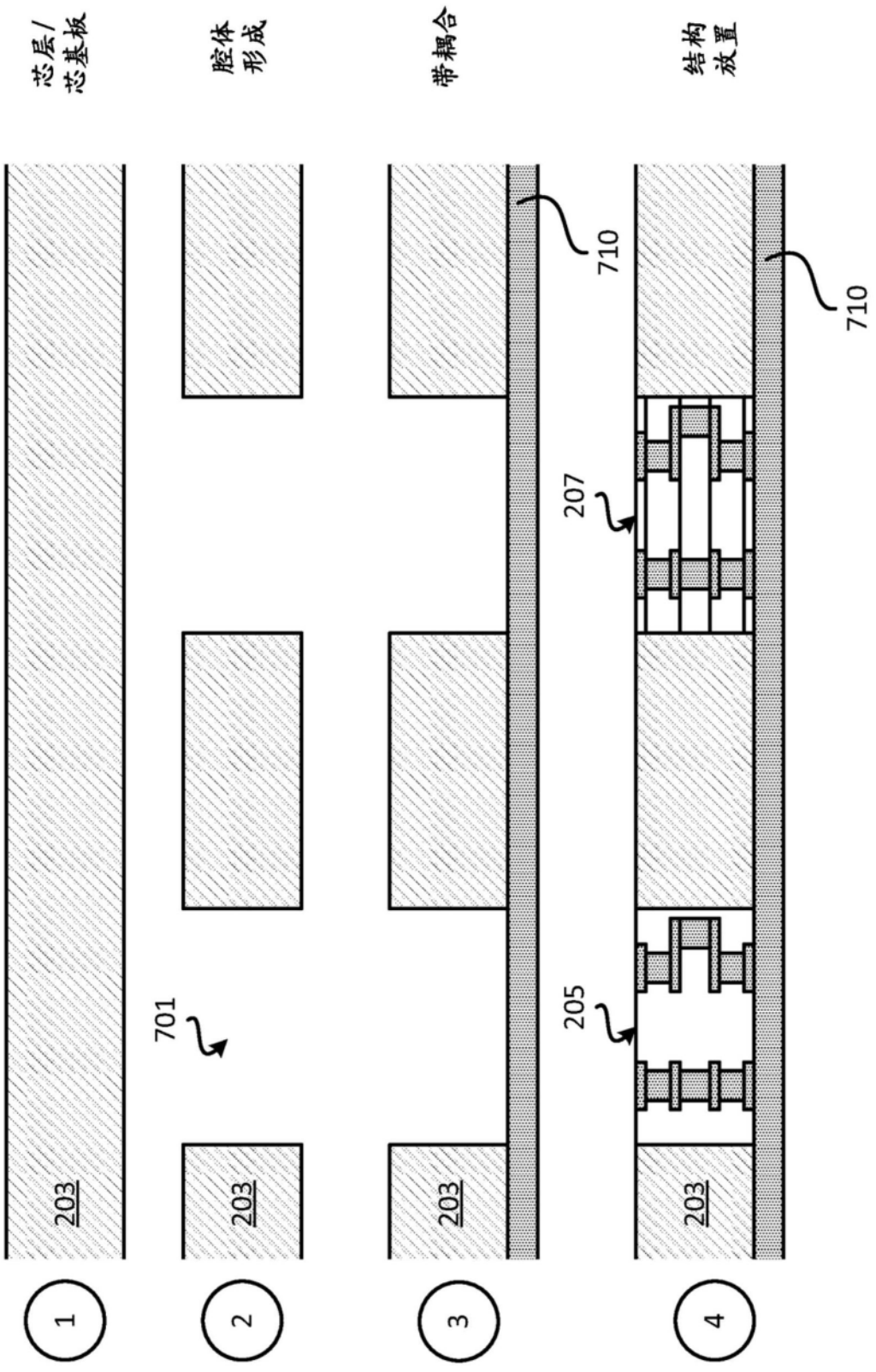


图7A

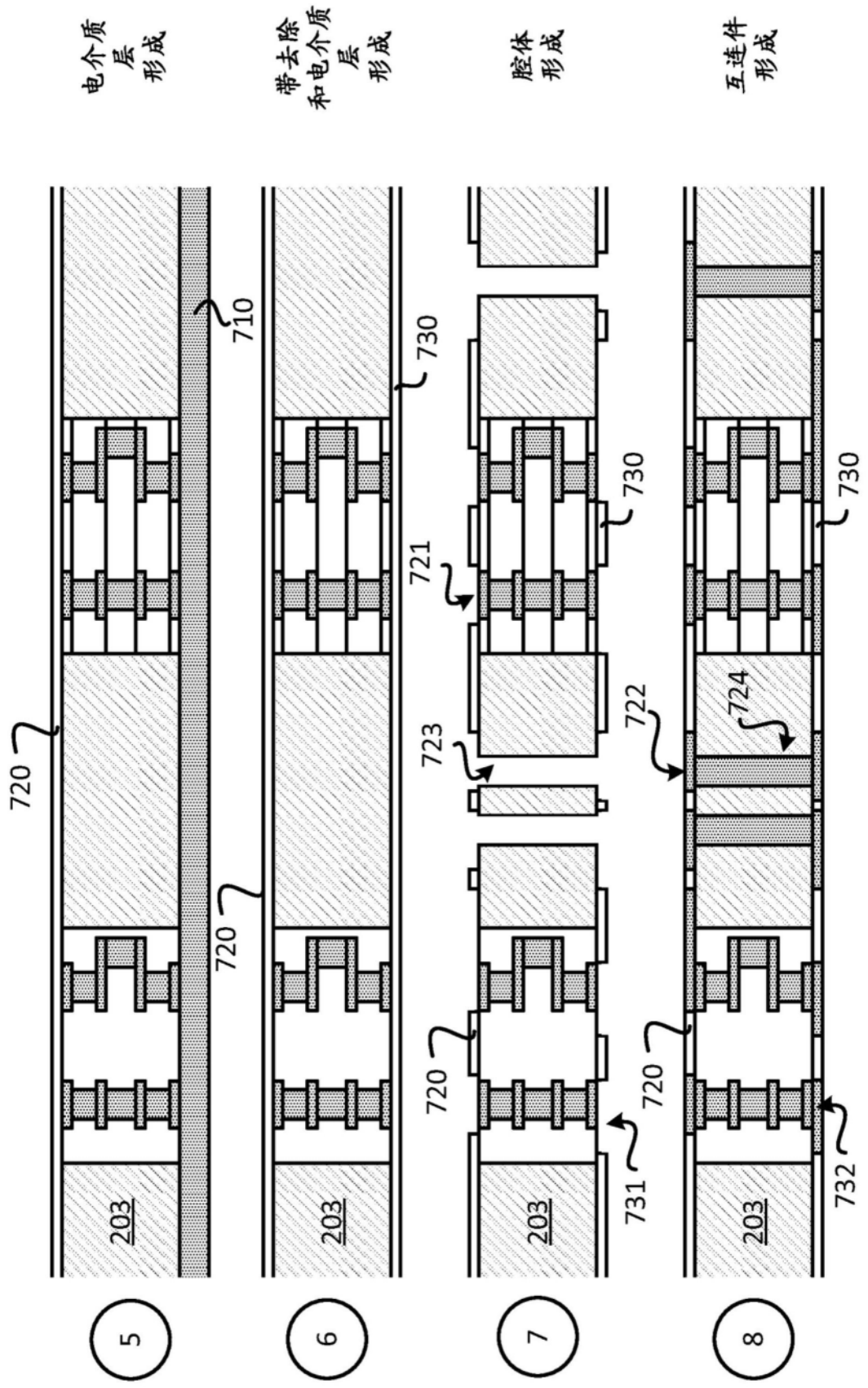

电介质层形成
带去除和电介质层形成
腔体形成
互连件形成
720
710
730
721
723
722
724
731
732
203
5
6
7
8

图7B

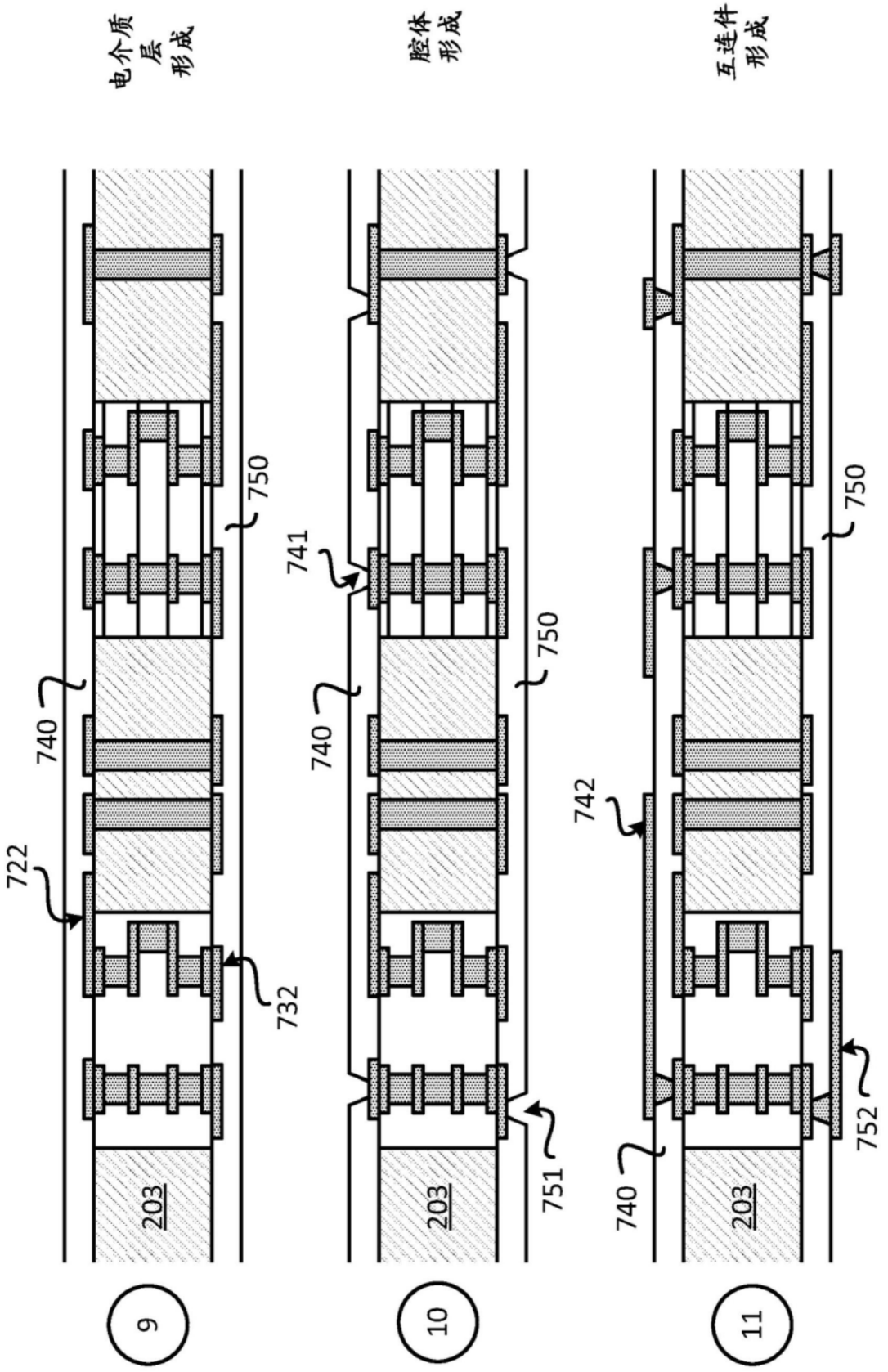


图7C

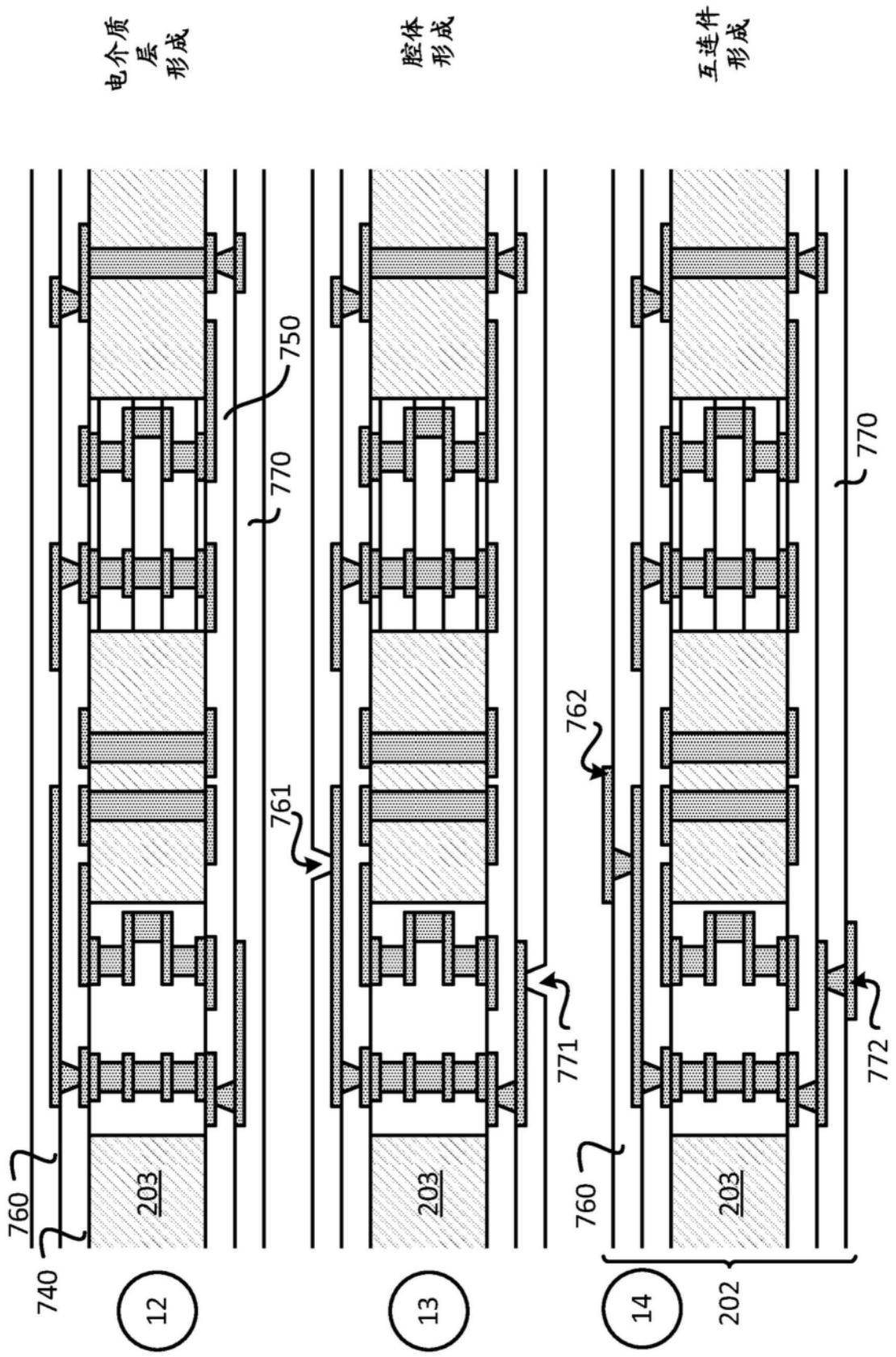

电介质层形成
腔体形成
互连件形成
760
740
750
770
761
762
771
772
203
12
13
14
202

图7D

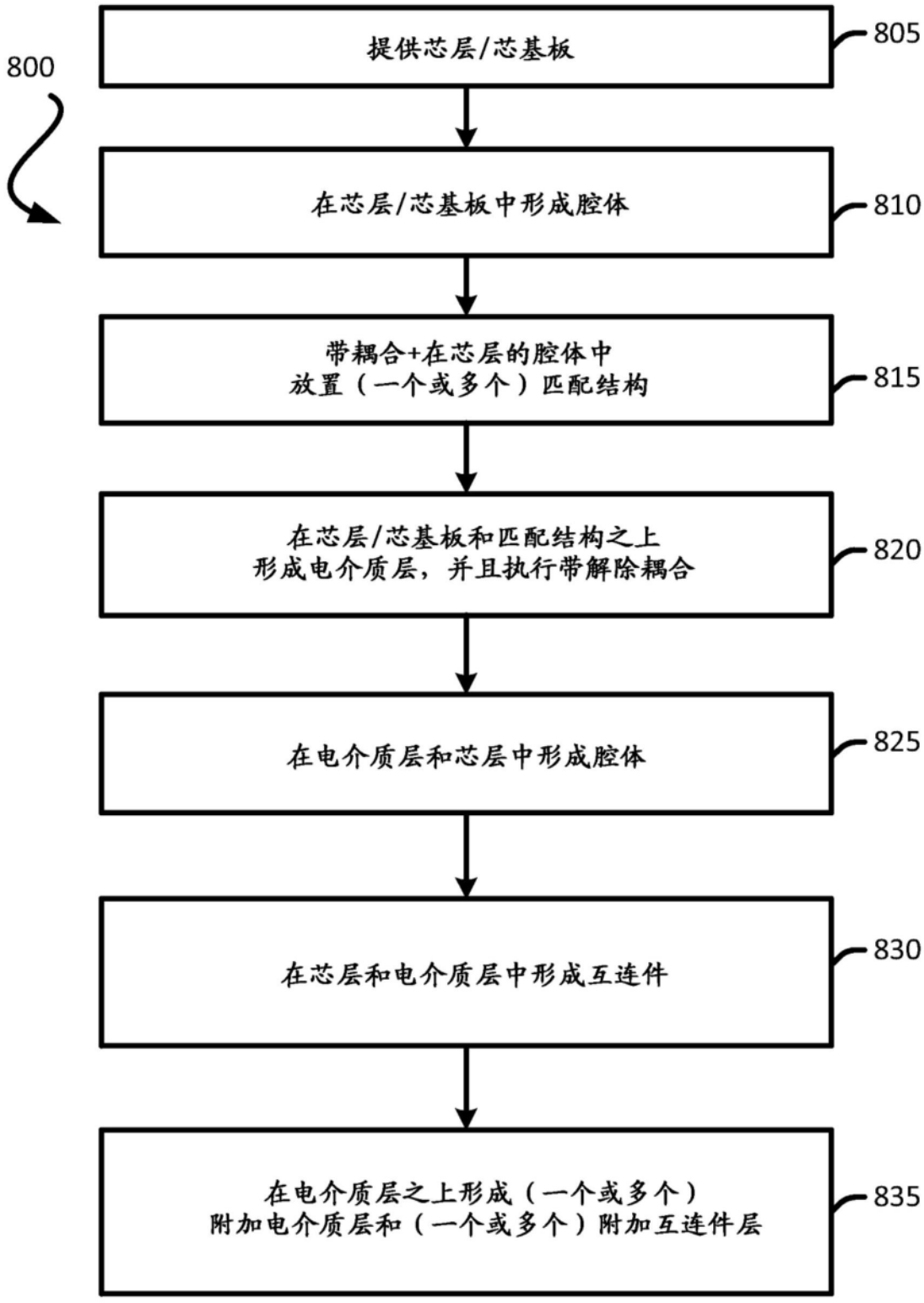

800
提供芯层/芯基板
805
在芯层/芯基板中形成腔体
810
带耦合+在芯层的腔体中
放置（一个或多个）匹配结构
815
在芯层/芯基板和匹配结构之上
形成电介质层，并且执行带解除耦合
820
在电介质层和芯层中形成腔体
825
在芯层和电介质层中形成互连件
830
在电介质层之上形成（一个或多个）
附加电介质层和（一个或多个）附加互连件层
835

图8

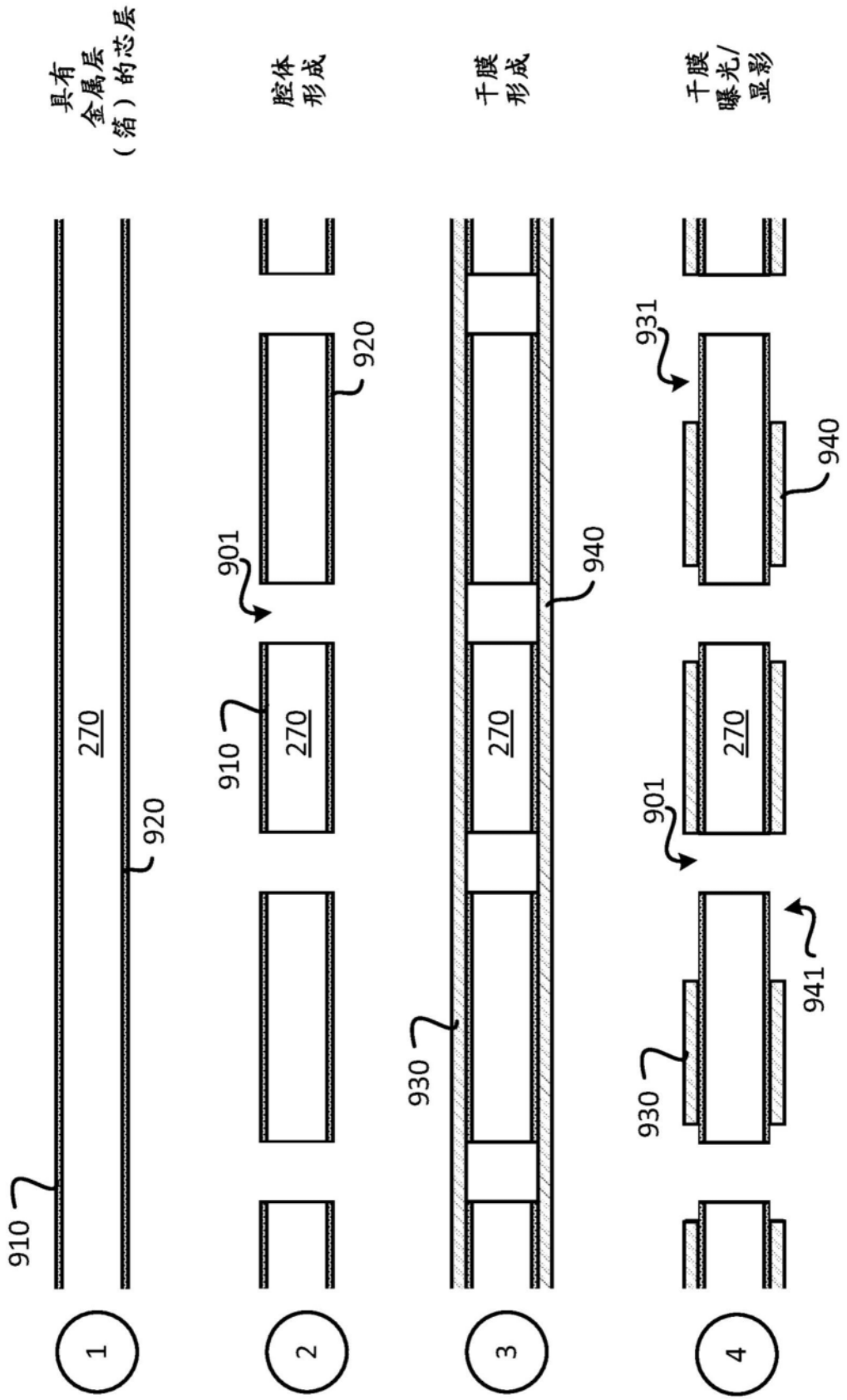

具有金属层（箔）的芯层
腔体形成
干膜形成
干膜曝光/显影
910
270
920
901
940
930
931
941
1
2
3
4

图9A

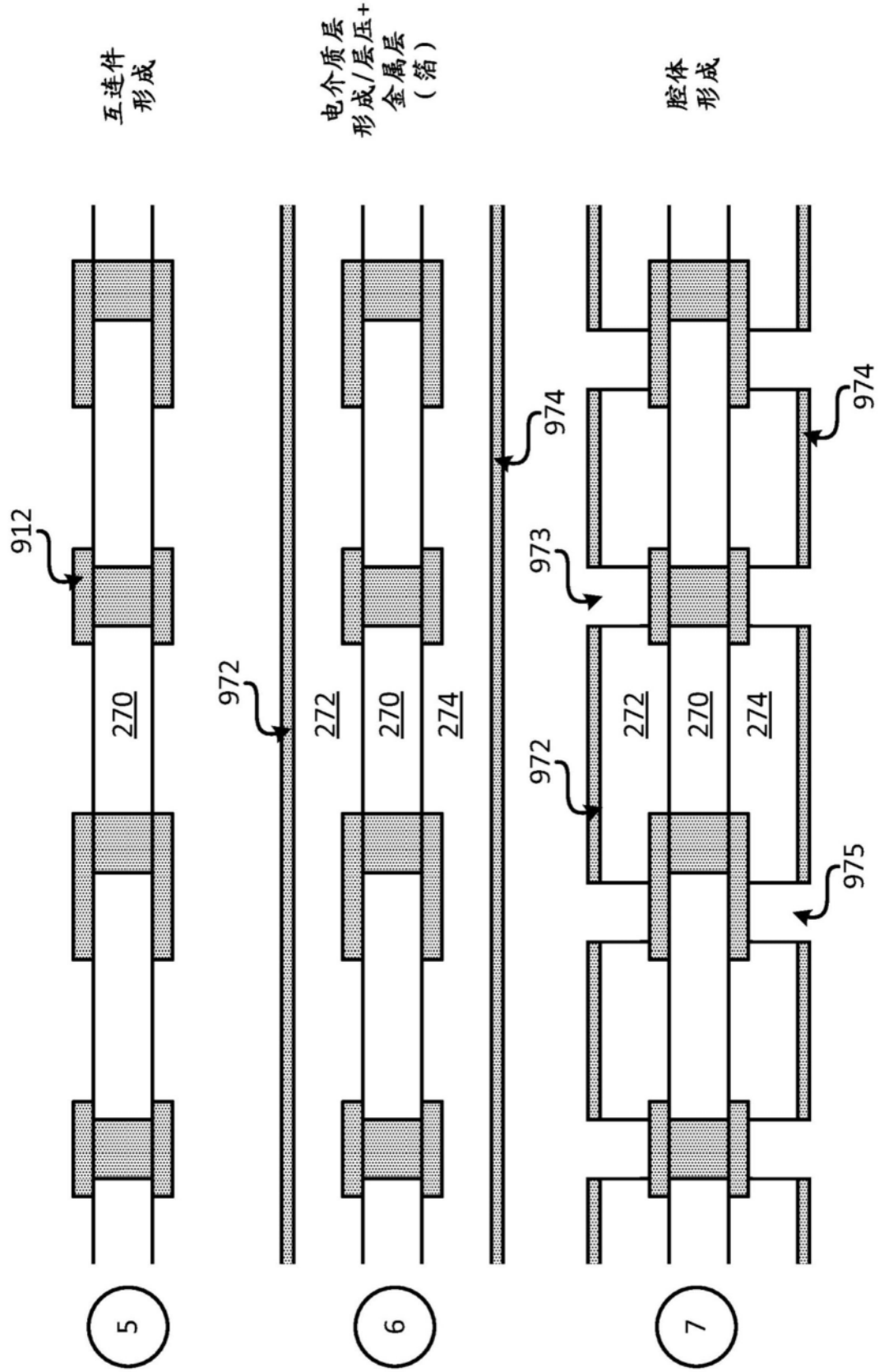

互连件形成
电介质层形成/层压+金属层（箔）
腔体形成
912
270
972
272
270
274
974
973
972
272
270
274
974
975
5
6
7

图9B

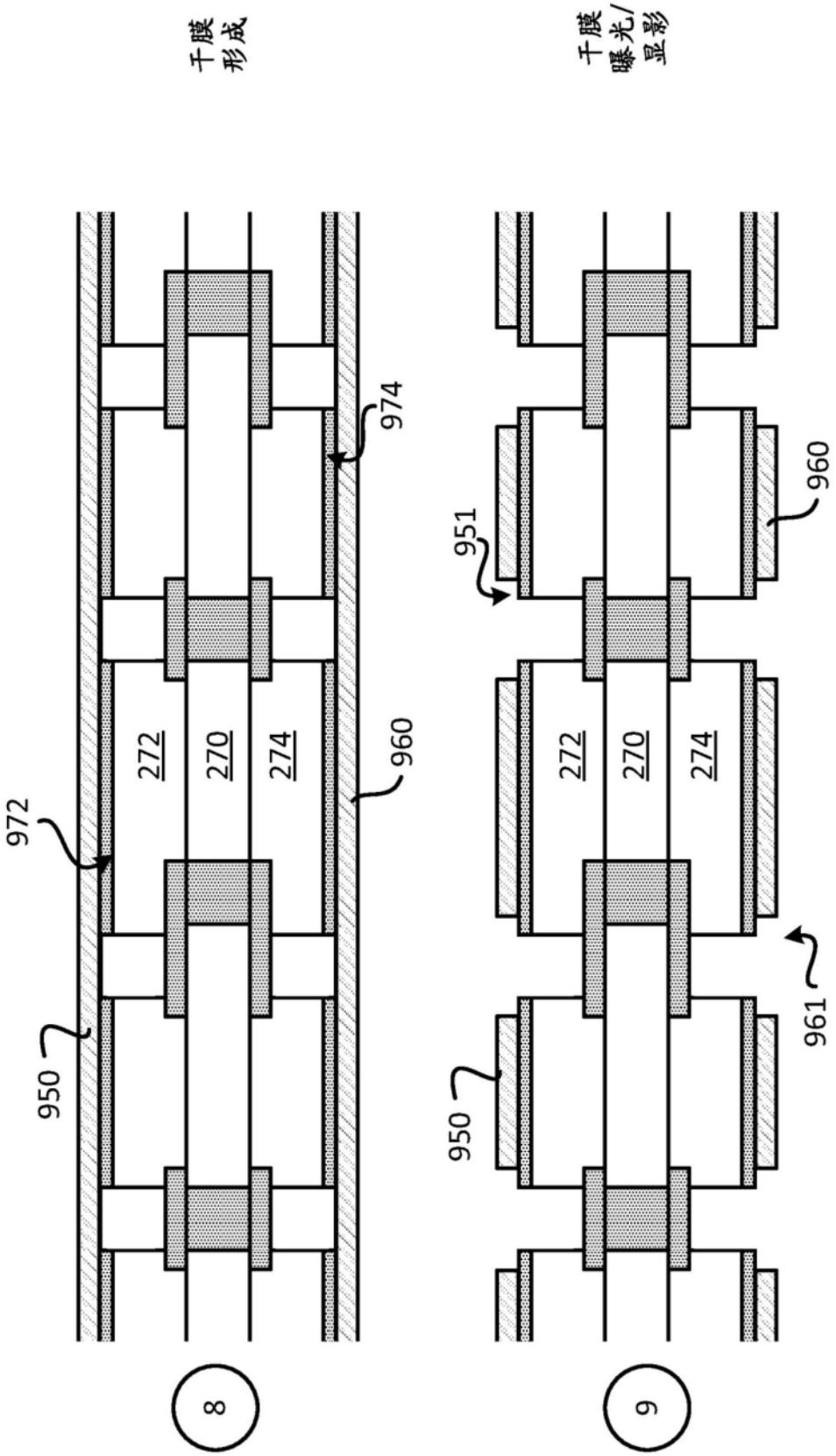


图9C

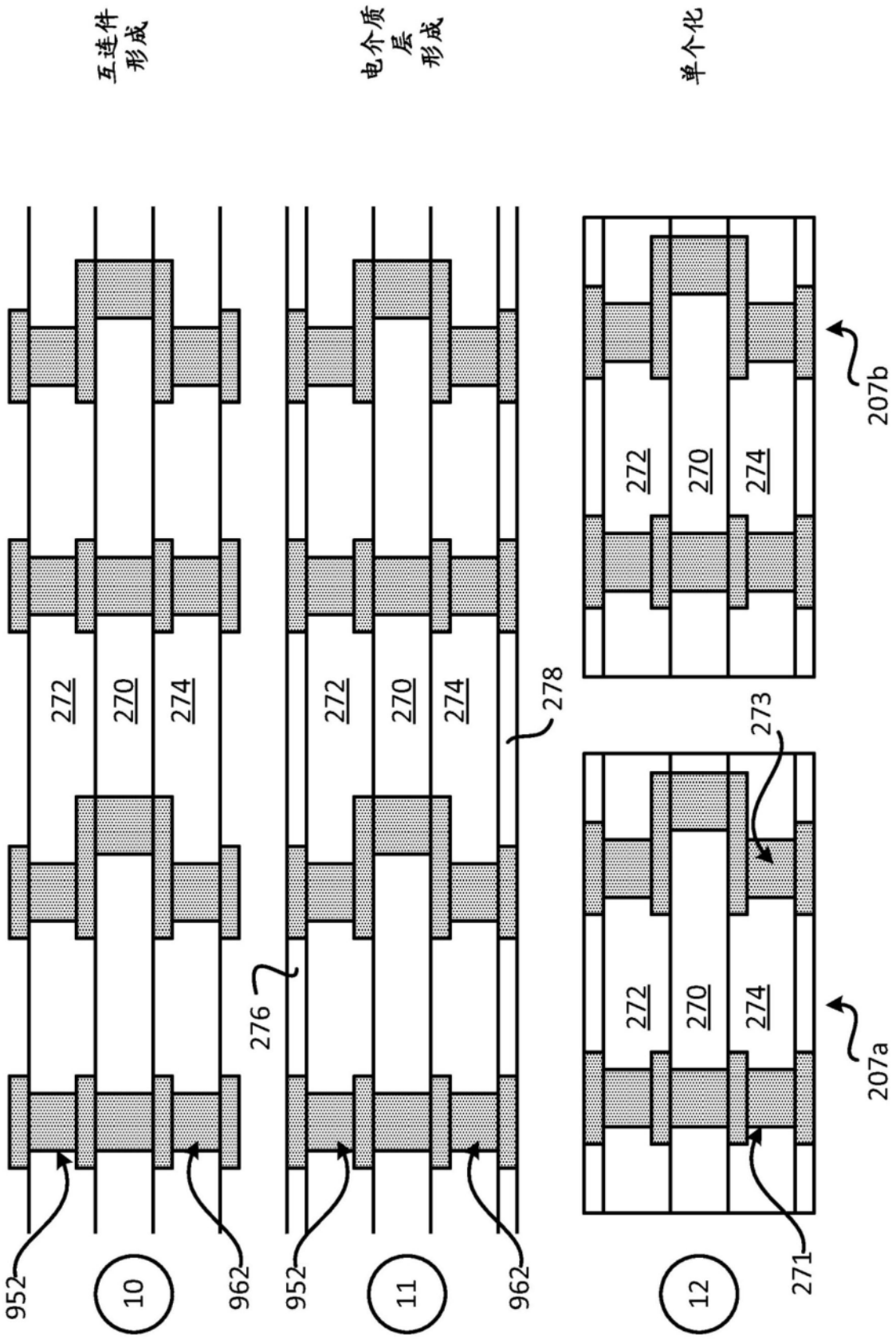

互连件形成
电介质层形成
单个化
272
270
274
278
276
273
207b
207a
952
962
271
10
11
12

图9D

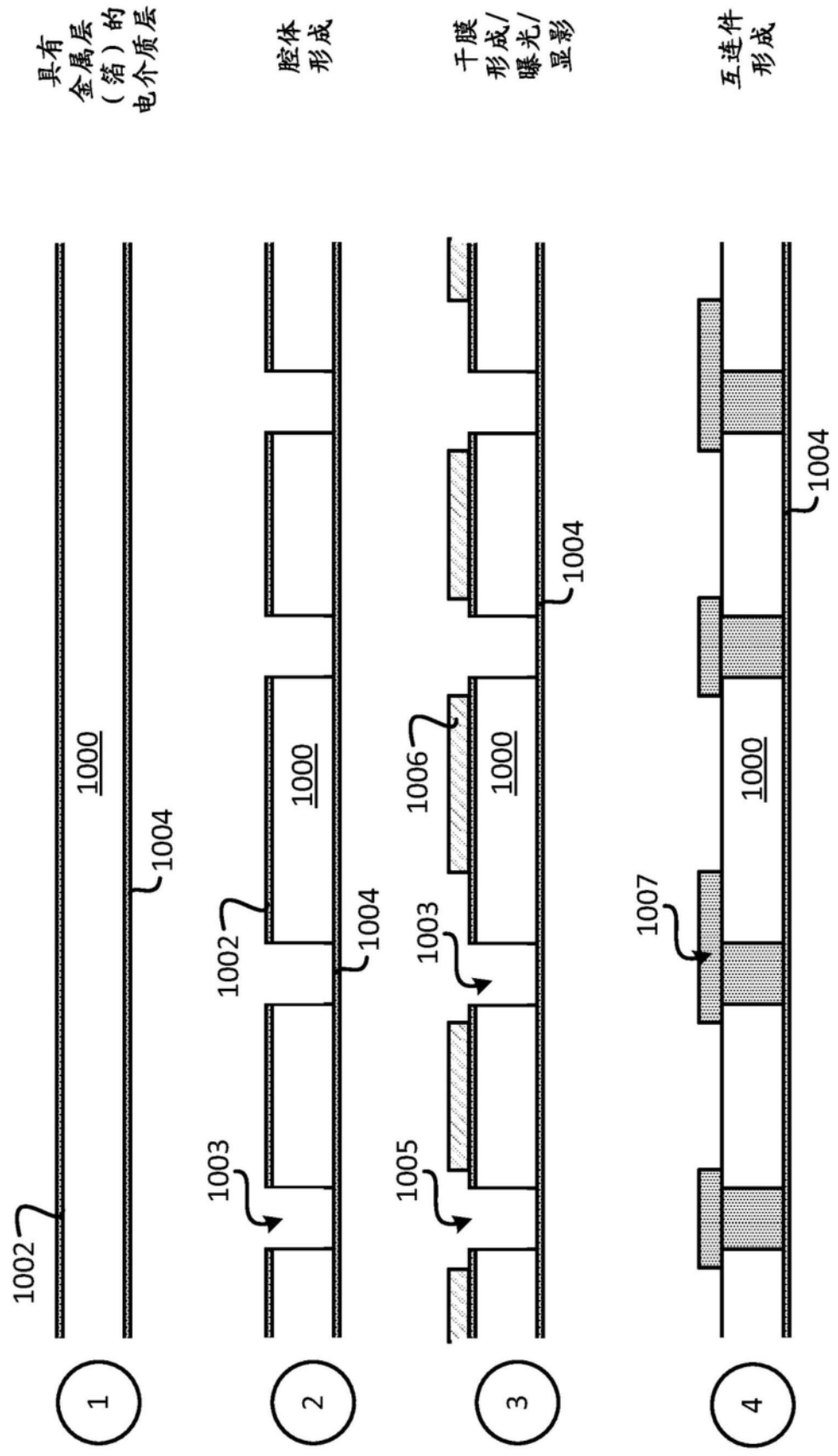

具有金属层（箔）的电介质层
腔体形成
干膜形成/曝光/显影
互连件形成
1
2
3
4
1000
1002
1003
1004
1005
1006
1007

图10A

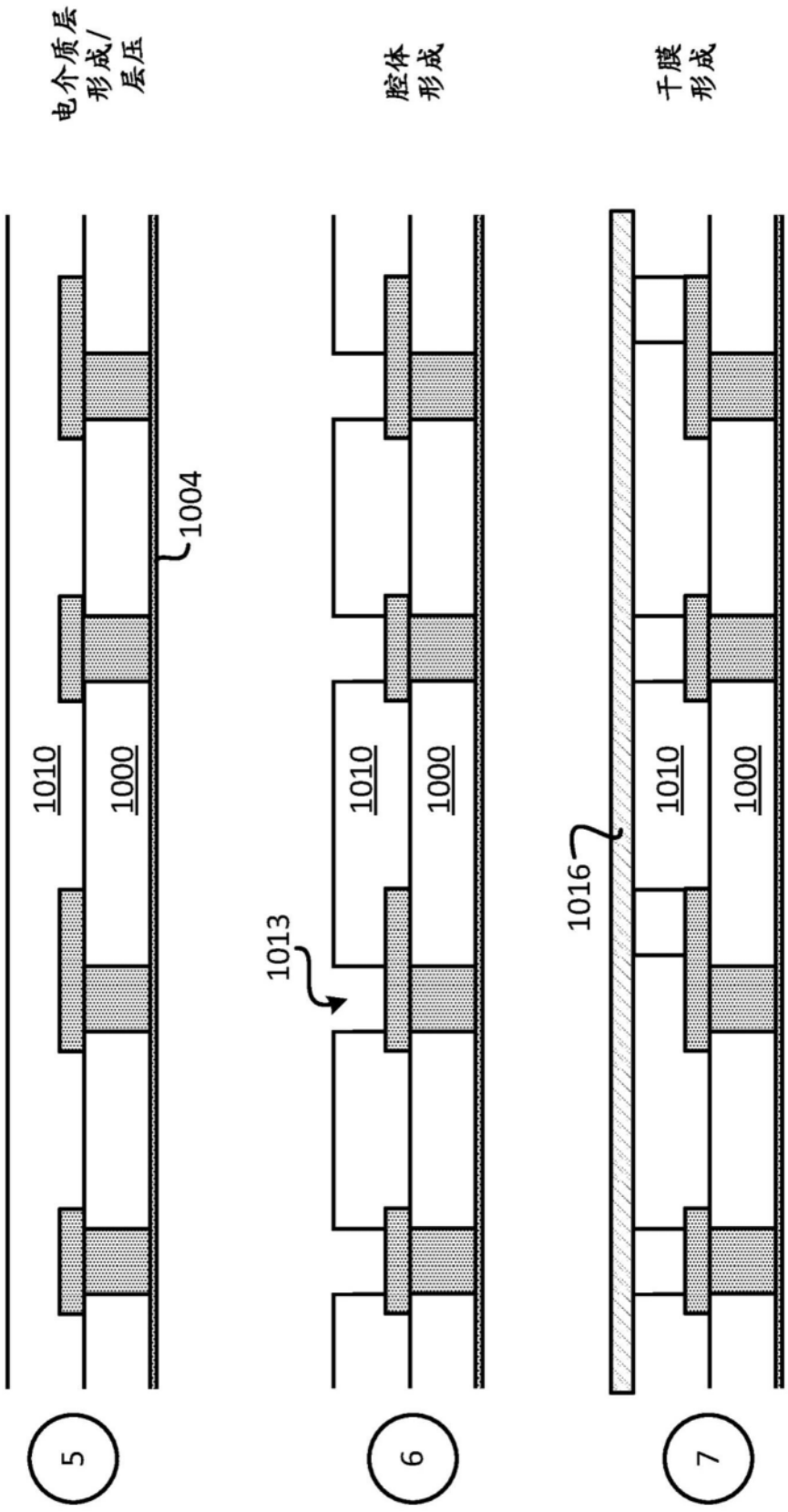


图10B

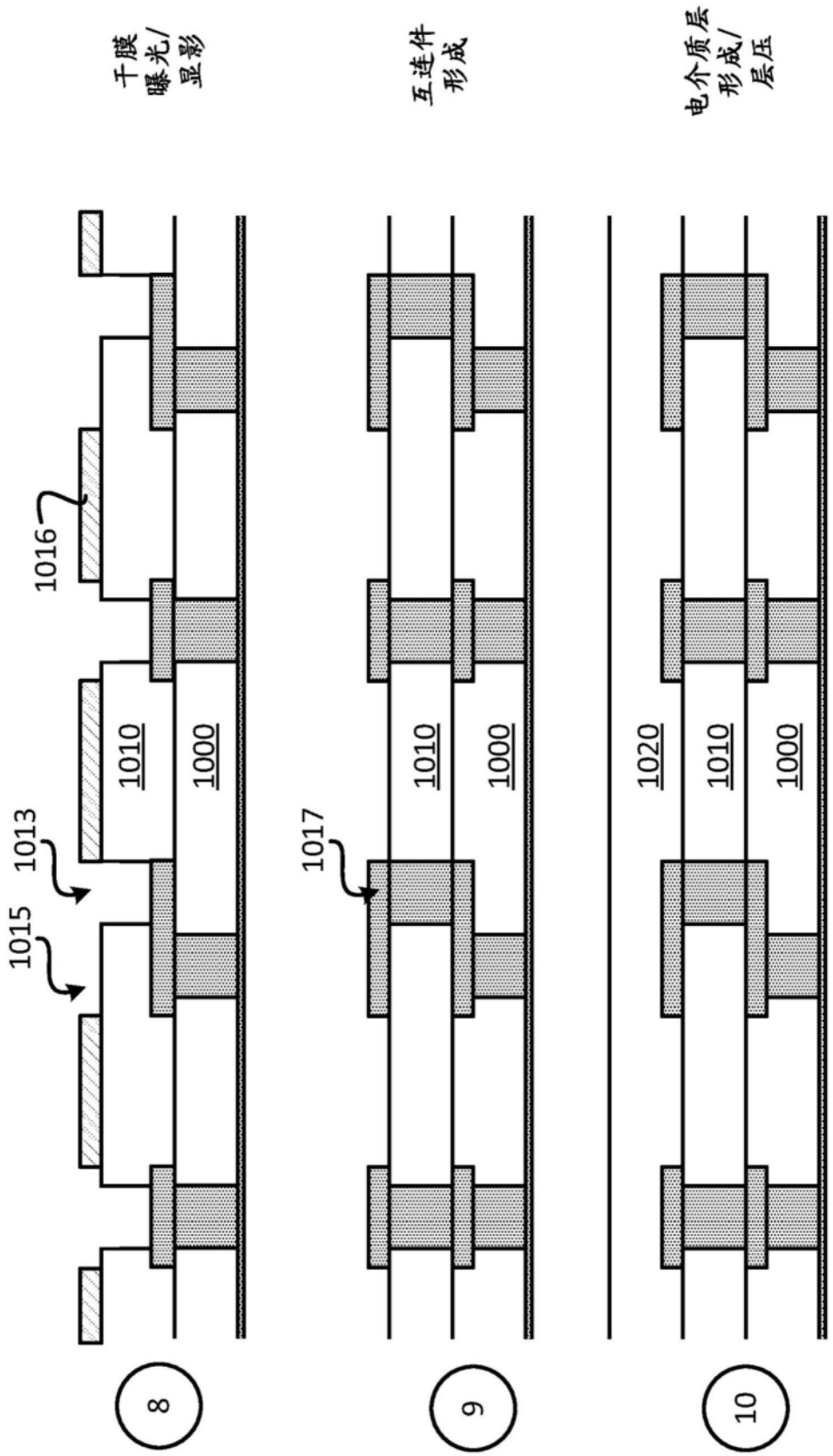

干膜曝光/显影
互连件形成
电介质层形成/层压
1016
1013
1015
1017
1010
1000
1020
8
9
10

图10C

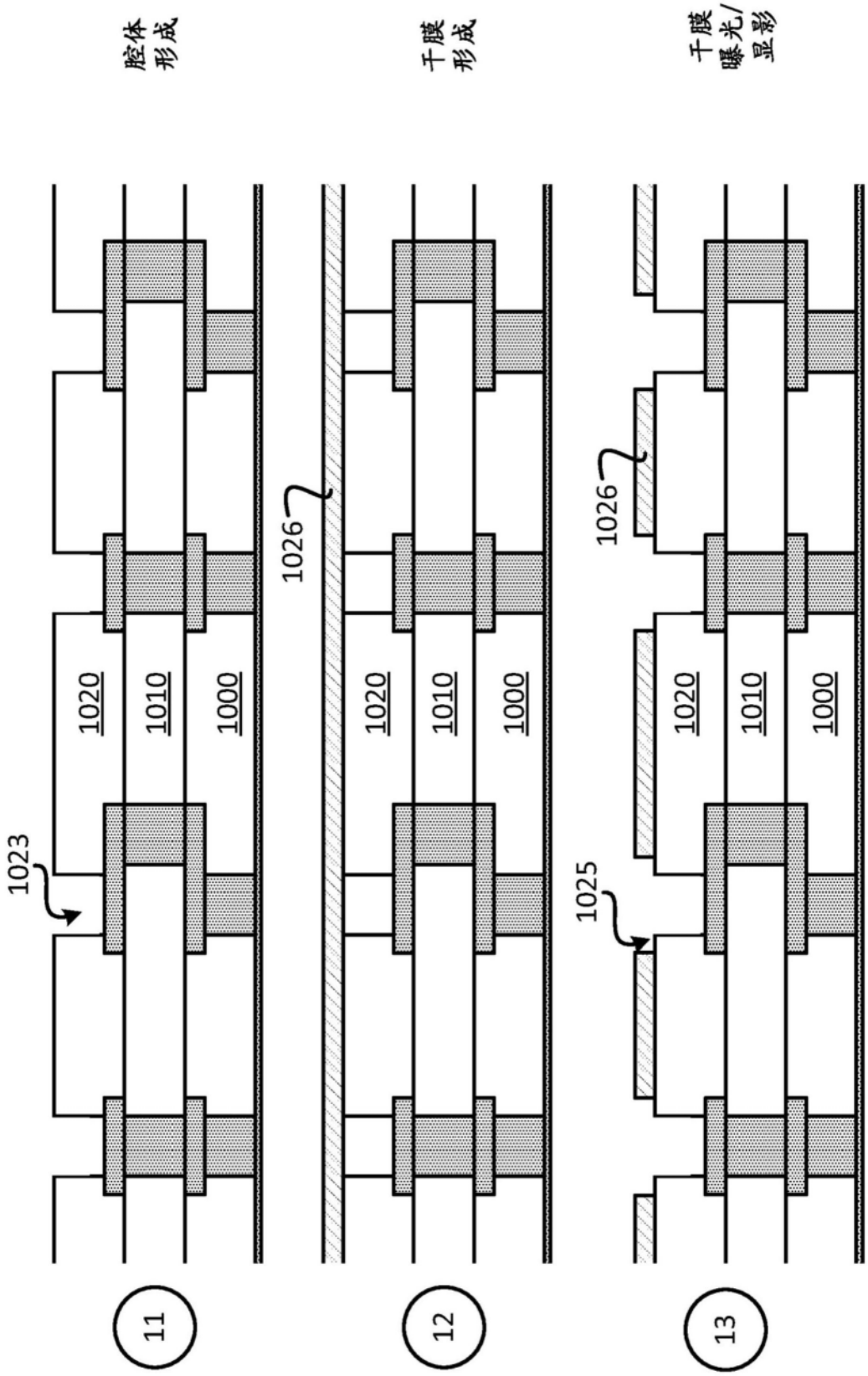


图10D

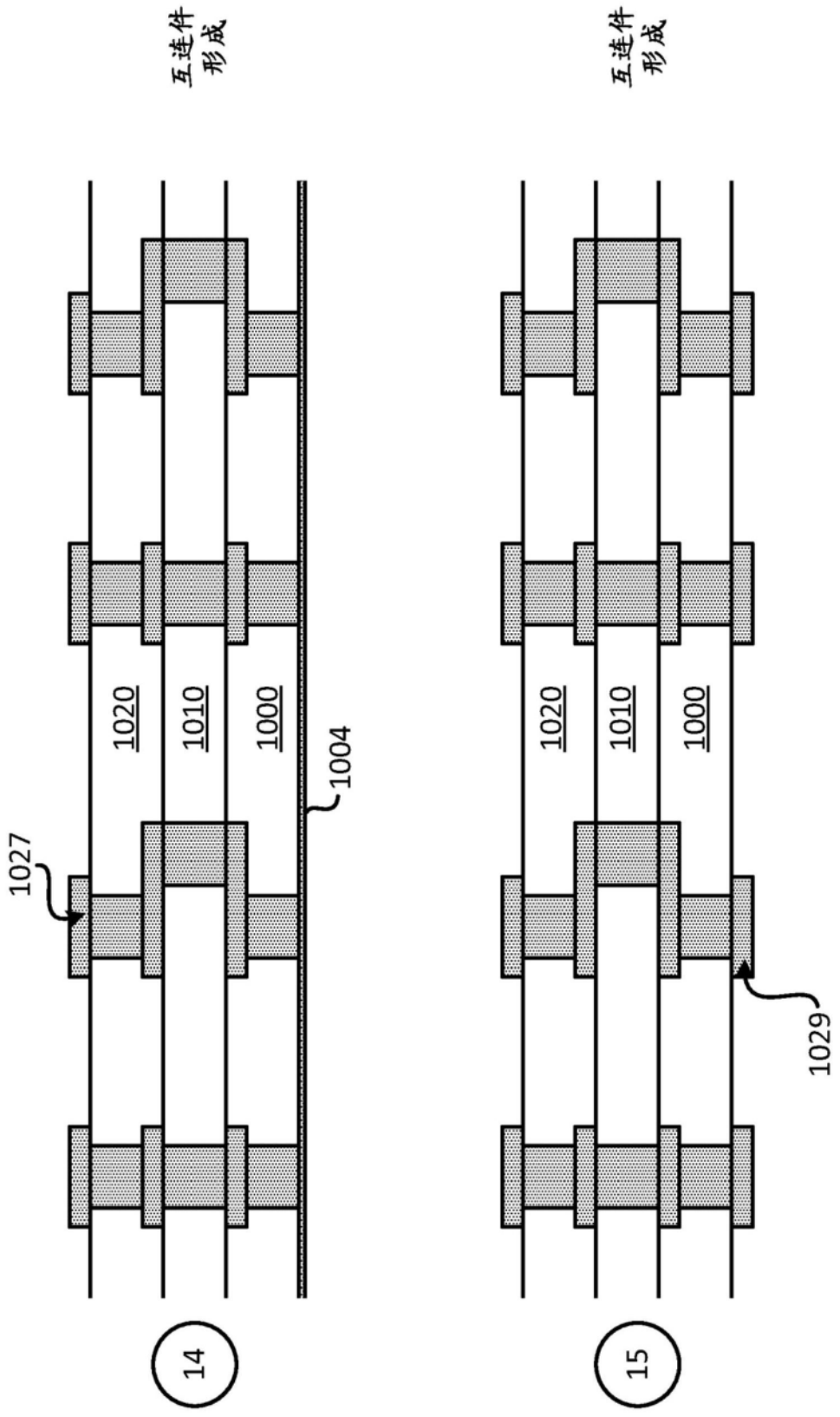

互连件形成
1020
1010
1000
1004
1027
14
互连件形成
1020
1010
1000
1029
15

图10E

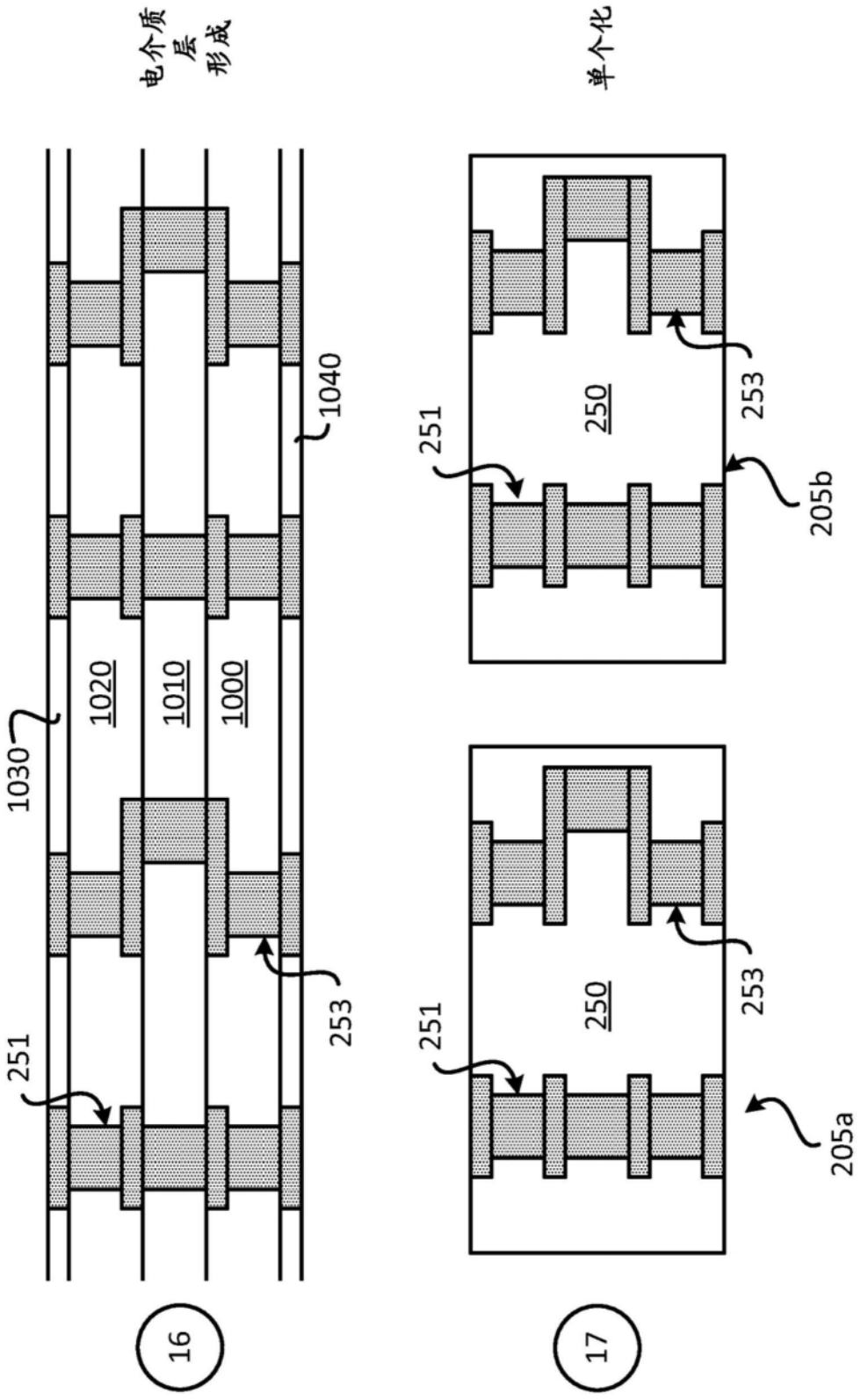

电介质层形成
单个化
1040
1020
1010
1000
1030
253
251
16
250
253
251
205b
250
253
251
205a
17

图10F

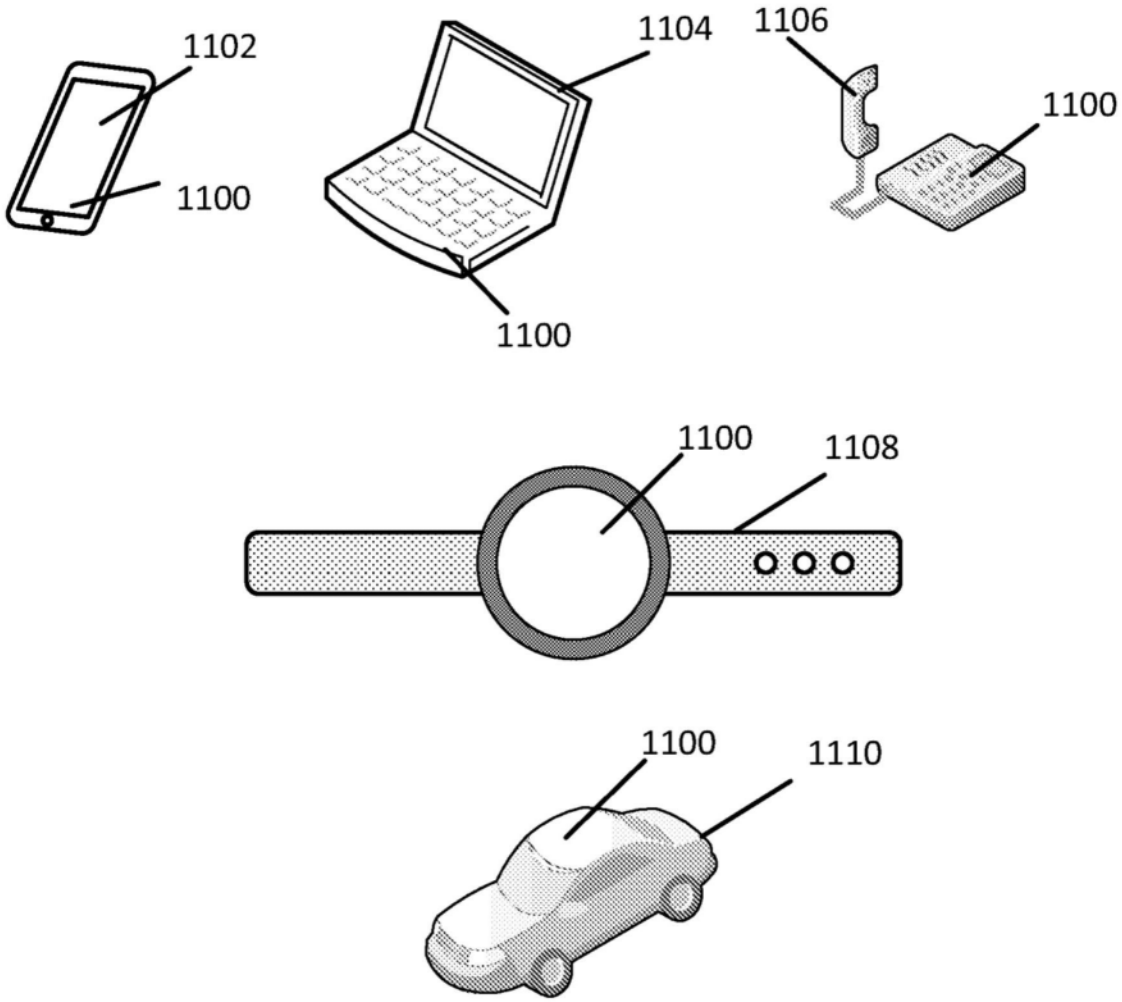


图11