

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】令和 1 年 8 月 29 日 (2019.8.29)

【公開番号】特開 2017-45457 (P2017-45457A)

【公開日】平成 29 年 3 月 2 日 (2017.3.2)

【年通号数】公開・登録公報 2017-009

【出願番号】特願 2016-162674 (P2016-162674)

【国際特許分類】

G 0 6 F 12/08 (2016.01)

G 0 6 F 12/0868 (2016.01)

G 0 6 F 3/08 (2006.01)

G 0 6 F 3/06 (2006.01)

【F I】

G 0 6 F 12/08 5 5 7

G 0 6 F 12/08 5 1 5 Z

G 0 6 F 12/08 5 0 1 F

G 0 6 F 3/08 H

G 0 6 F 3/06 3 0 2 A

【手続補正書】

【提出日】令和 1 年 7 月 18 日 (2019.7.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 つ以上の D R A M 装置と D R A M コントローラとを含むダイナミックランダムアクセスメモリ (D R A M) キャッシュと、

1 つ以上のフラッシュ装置とフラッシュコントローラとを含むフラッシュストレージと

、
前記 D R A M コントローラ及び前記フラッシュコントローラとインターフェイシングするメインコントローラと、

前記メインコントローラとホストメモリコントローラとを連結するように構成されたトランザクション基盤のメモリインターフェイスと、を含み、

前記メインコントローラは、キャッシュタグを含むメモリトランザクション要請を前記トランザクション基盤のメモリインターフェイスを経由して前記ホストメモリコントローラから受信し、キャッシュヒットと決定すると D R A M キャッシュにアクセスするために前記 D R A M コントローラに前記メモリトランザクション要請を配信するか、キャッシュタグに基づいてキャッシュミスと決定すると、1 つ以上のフラッシュメモリにアクセスするために前記メモリトランザクション要請を前記フラッシュコントローラに配信することを特徴とするトランザクション基盤ハイブリッドメモリモジュール。

【請求項 2】

前記メインコントローラは、臨時キャッシュデータを格納するように構成されたバッファと、キャッシュタグを含むことを特徴とする請求項 1 に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項 3】

前記メインコントローラは、前記ホストメモリコントローラから受信されたメモリトラ

ンザクション要請がリードヒット (read hit)、リードミス、ライトヒット (write hit)、又はライトミスであるかを前記キャッシュタグに基づいて決定することを特徴とする請求項1に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項4】

前記メインコントローラは、前記フラッシュストレージのフラッシュページを前記DRAMキャッシュの1つ以上のDRAMページに対してマッピングすることを特徴とする請求項1に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項5】

前記トランザクション基盤のメモリインターフェイスは、前記ハイブリッドメモリモジュールのメモリアクセスレイテンシが決定されない場合に、前記ホストメモリコントローラが前記ハイブリッドメモリモジュールをアクセスするようにすることを特徴とする請求項1に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項6】

前記メインコントローラは、前記ホストメモリコントローラから受信されたメモリトランザクション要請が前記DRAMキャッシュからのリード要請であるか、或いはDRAMキャッシュへのライト要請であるかをキャッシュタグに基づいて決定し、前記DRAMコントローラは、前記メモリトランザクション要請に応答して前記DRAMキャッシュに対するメモリトランザクション及びコマンドスケジューリングを管理することを特徴とする請求項1に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項7】

前記メインコントローラは、前記ホストメモリコントローラから受信された前記メモリトランザクション要請が前記フラッシュストレージからのリード要請であるか、或いはフラッシュストレージへのライト要請であるかをキャッシュタグに基づいて決定し、前記フラッシュコントローラは、前記メモリトランザクション要請に応答して前記フラッシュストレージに対するアドレス変換、ガーベッジコレクション (garbage collection)、ウェアレベリング (wear leveling)、及びスケジューリングを管理することを特徴とする請求項1に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項8】

DRAMキャッシュとフラッシュストレージとを含むハイブリッドメモリモジュールを動作させる方法において、

ホストメモリコントローラからキャッシュタグを含むメモリトランザクション要請を非同期的に受信し、

前記メモリトランザクション要請を前記ハイブリッドメモリモジュールのバッファ内に格納し、

キャッシュヒットと決定すると前記DRAMキャッシュに格納されたデータにアクセスするために前記メモリトランザクション要請をDRAMコントローラに配信するか、キャッシュタグに基づいてキャッシュミスと決定すると、前記メモリトランザクション要請をフラッシュコントローラに配信し、

前記キャッシュタグに基づいて前記メモリトランザクション要請を遂行することを含むことを特徴とするハイブリッドメモリモジュールを動作させる方法。

【請求項9】

前記メモリトランザクション要請が前記DRAMキャッシュからのリード要請であるか否かを前記キャッシュタグに基づいて決定し、

前記メモリトランザクション要請に対応する前記DRAMキャッシュからのDRAMデータを受信し、

前記ホストメモリコントローラへ前記DRAMデータを提供することをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項10】

前記メモリトランザクション要請と前記キャッシュタグとを前記バッファに格納することをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 1】

前記フラッシュストレージのフラッシュページを前記 D R A M キャッシュの 1 つ以上の D R A M ページに対してマッピングすることをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 2】

前記メモリトランザクション要請が前記 D R A M キャッシュからのリード要請であるか、或いは D R A M キャッシュへのライト要請であるかを前記キャッシュタグに基づいて決定し、

前記メモリトランザクション要請に応答して前記 D R A M キャッシュに対するメモリトランザクション及びコマンドスケジューリングを管理することをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 3】

前記メモリトランザクション要請が前記フラッシュストレージからのリード要請であるか、或いは前記フラッシュストレージへのライト要請であるかを前記キャッシュタグに基づいて決定し、

前記メモリトランザクション要請に応答して前記フラッシュストレージに対するアドレス変換、ガーベッジコレクション、ウェアレベリング、及びスケジューリングを管理することをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 4】

D R A M キャッシュページがダーティであるか否か決定し、

D R A M キャッシュページからダーティデータをリードし、

前記フラッシュストレージに前記ダーティデータをライトすることをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 5】

前記ホストメモリコントローラから受信されたデータを前記 D R A M キャッシュにライトし、

前記 D R A M キャッシュをダーティとしてマーキングすることをさらに含むことを特徴とする請求項1 4に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 6】

前記 D R A M キャッシュの D R A M キャッシュページのオープンを維持し、

前記オープンされた D R A M キャッシュページに対して一連のカラムアクセスを遂行することをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 7】

前記フラッシュストレージ内に格納されたデータが前記ホストメモリコントローラによって頻繁に要請されるかを決定し、

前記ホストメモリコントローラによるデータ要請の頻繁度に基づいて前記フラッシュストレージ内に格納された前記データを前記 D R A M キャッシュにマッピングすることをさらに含むことを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 8】

前記 D R A M キャッシュ及びフラッシュストレージのアクセスレイテンシは非決定的であることを特徴とする請求項8に記載のハイブリッドメモリモジュールを動作させる方法。

【請求項 1 9】

前記メインコントローラは、前記キャッシュタグを獲得するために、前記メモリトラ

ンザクション要請をデコーディングすることを特徴とする請求項 1 に記載のトランザクション基盤ハイブリッドメモリモジュール。

【請求項 20】

前記メモリトランザクション要請のデコーディングにより前記キャッシュタグを獲得することを特徴とする請求項 8 に記載のハイブリッドメモリモジュールを動作させる方法

。