

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 6 月 1 日 (2006.6.1)

【公表番号】特表 2005-531919 (P2005-531919A)

【公表日】平成 17 年 10 月 20 日 (2005.10.20)

【年通号数】公開・登録公報 2005-041

【出願番号】特願 2003-579272 (P2003-579272)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

【F I】

H 0 1 L 29/78 3 0 1 L

H 0 1 L 27/10 4 8 1

H 0 1 L 29/78 3 0 1 S

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 18 年 4 月 7 日 (2006.4.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路装置を形成する方法において、

半導体基板を提供する工程と、

第 1 の頂部と、ほぼ垂直で互いに向かい合う第 1 のサイドウォールおよび第 2 のサイドウォールとを有した第 1 のパターン層を前記半導体基板上に形成する工程と、

第 2 の頂部と、ほぼ垂直で互いに向かい合い、かつ前記第 1 のサイドウォールおよび前記第 2 のサイドウォールとそれぞれほぼ共通の平面にある第 3 のサイドウォールおよび第 4 のサイドウォールとを有した第 2 のパターン層を前記第 1 のパターン層上に形成する工程と、

前記第 2 のパターン層の上方に反射防止膜 (A R C) を形成する工程と、

前記第 1 の頂部および前記第 2 の頂部の上方、かつ前記第 1 のサイドウォール、前記第 2 のサイドウォール、前記第 3 のサイドウォールおよび前記第 4 のサイドウォールに近接して、第 1 の誘電体層を形成する工程と、

前記第 1 のサイドウォールおよび前記第 3 のサイドウォールに近接する第 1 の誘電体領域と、前記第 3 のサイドウォールおよび前記第 4 のサイドウォールに隣接する第 2 の誘電体領域とを形成するために、前記第 1 の誘電体層の、前記第 1 の頂部および前記第 2 の頂部の上方に形成される前記第 1 の誘電体層の領域を含む部分を除去する工程と、

前記第 1 の誘電体層の前記部分の除去後に前記 A R C を除去する工程と、

前記第 1 のパターン層および第 2 のパターン層の下方に、半導体基板内にチャネル領域

を形成する工程とを有する前記方法。

【請求項 2】

集積回路装置を形成する方法において、

半導体基板を提供する工程と、

前記半導体基板上に誘電体パターン層を形成する工程と、

前記誘電体パターン層の上方に導電体パターン層を形成する工程と、

前記導電体パターン層の上方に反射防止膜（ARC）を形成する工程と、

前記誘電体パターン層および前記導電体パターン層の上方に第 1 の誘電体層を形成する工程と、

前記第 1 の誘電体層の上方に第 2 の誘電体層を形成する工程と、

前記第 2 の誘電体層の上方に第 1 の層を形成する工程と、

前記第 1 の誘電体層および第 2 の誘電体層により前記誘電体パターン層から分離されている第 1 のパターン層を形成するために前記第 1 の層の部分を除去する工程と、

前記第 1 のパターン層に近接する第 1 の誘電体領域を形成するために前記第 2 の誘電体の部分を除去する工程と、

前記第 1 の誘電体領域に近接する第 2 の誘電体領域を形成するために前記第 1 の誘電体の部分を除去する工程と、

前記第 1 の誘電体層の部分の除去後に前記 ARC を除去する工程とを有する前記方法。

【請求項 3】

集積回路装置を形成する方法において、

第 1 の部分および第 2 の部分を持つ半導体基板を提供する工程と、

前記半導体基板の前記第 1 の部分上に形成されるゲート誘電体と、前記ゲート誘電体上に形成されるゲート電極とを有するゲートスタックを形成する工程と、

前記ゲートスタックの上方に第 1 のパターン反射防止膜（ARC）を形成する工程と、

前記半導体基板の前記第 2 の部分の上方に形成される電荷記憶層と、前記電荷記憶層の上方に形成される第 1 の誘電体層とを有する不揮発性メモリストックを形成する工程と、

前記不揮発性メモリストックの上方に第 2 のパターン ARC を形成する工程と、

前記ゲートスタックおよび前記不揮発性メモリストックの上方に第 2 の誘電体層を形成する工程と、

前記ゲートスタックおよび前記不揮発性メモリストックに隣接する第 1 のスペーサを形成するために前記第 2 の誘電体層の部分を除去する工程と、

前記第 2 の誘電体層の部分の除去後に前記第 1 のパターン ARC および前記第 2 のパターン ARC を除去する工程と、

前記ゲートスタックの下方に第 1 のチャンネルを形成する工程と、

前記不揮発性メモリストックの下方に第 2 のチャンネルを形成する工程とを有する方法。

【請求項 4】

集積回路装置において、

半導体基板と、

前記半導体基板上に形成される誘電体パターン層と、前記誘電体パターン層上に形成される伝導体パターン層と、第 1 のサイドウォールと、前記第 1 のサイドウォールと向かい合う第 2 のサイドウォールとを有するスタックと、

前記半導体基板内にあり前記第 1 のサイドウォールに隣接する第 1 の電極領域と、

前記半導体基板内にあり前記第 2 のサイドウォールに隣接する第 2 の電極領域と、

前記第 1 の電極領域および前記第 2 の電極領域の間にあり前記スタックの下方にあるチャンネル領域と、

前記第 1 のサイドウォールおよび前記第 2 のサイドウォールに近接する、第 1 の高さを持つ酸化物スペーサと、

前記酸化物スペーサに近接し、第 1 の電極領域及び第 2 の電極領域の上方にある絶縁層と、

前記絶縁層に隣接し、および前記第 1 の高さよりも低い第 2 の高さを持つ窒化物スペー

サとを有する前記集積回路。

【請求項 5】

集積回路装置において、

頂部表面を持つ半導体基板と、

前記半導体基板上に形成され、第 1 の層と、前記第 1 の層上に形成される第 2 の層と、第 1 のサイドウォールと、前記第 1 のサイドウォールと向かい合う第 2 のサイドウォールとを有するスタックと、

前記半導体基板の前記頂部表面の第 1 の部分はその下にあり、第 2 の部分は前記スタックの下にあり、前記第 1 の部分は前記第 2 の部分と事実上共通平面にある、前記第 1 のサイドウォールおよび前記第 2 のサイドウォールが近接するスペースと、

前記スペースに近接する絶縁層と、

前記半導体基板内で前記第 1 のサイドウォールに隣接する第 1 のドープ領域と、

前記半導体基板内で前記第 2 のサイドウォールに隣接する第 2 のドープ領域と、

前記第 1 のドープ領域および第 2 のドープ領域の間かつ前記半導体基板内にあるチャンネル領域とを有し、

前記絶縁層の下にある前記半導体基板の前記頂部表面の第 3 の部分は前記第 1 の部分及び前記第 2 の部分に比べてリセス化されている前記集積回路装置。