

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成18年6月1日(2006.6.1)

【公表番号】特表2005-531919(P2005-531919A)

【公表日】平成17年10月20日(2005.10.20)

【年通号数】公開・登録公報2005-041

【出願番号】特願2003-579272(P2003-579272)

【国際特許分類】

H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	27/10	(2006.01)
H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	29/788	(2006.01)

【F I】

H 01 L	29/78	3 0 1 L
H 01 L	27/10	4 8 1
H 01 L	29/78	3 0 1 S
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1

【手続補正書】

【提出日】平成18年4月7日(2006.4.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路装置を形成する方法において、

半導体基板を提供する工程と、

第1の頂部と、ほぼ垂直で互いに向かい合う第1のサイドウォールおよび第2のサイドウォールとを有した第1のパターン層を前記半導体基板上に形成する工程と、

第2の頂部と、ほぼ垂直で互いに向かい合い、かつ前記第1のサイドウォールおよび前記第2のサイドウォールとそれぞれほぼ共通の平面にある第3のサイドウォールおよび第4のサイドウォールとを有した第2のパターン層を前記第1のパターン層上に形成する工程と、

前記第2のパターン層の上方に反射防止膜(ARC)を形成する工程と、

前記第1の頂部および前記第2の頂部の上方、かつ前記第1のサイドウォール、前記第2のサイドウォール、前記第3のサイドウォールおよび前記第4のサイドウォールに近接して、第1の誘電体層を形成する工程と、

前記第1のサイドウォールおよび前記第3のサイドウォールに近接する第1の誘電体領域と、前記第3のサイドウォールおよび前記第4のサイドウォールに隣接する第2の誘電体領域とを形成するために、前記第1の誘電体層の、前記第1の頂部および前記第2の頂部の上方に形成される前記第1の誘電体層の領域を含む部分を除去する工程と、

前記第1の誘電体層の前記部分の除去後に前記ARCを除去する工程と、

前記第1のパターン層および第2のパターン層の下方に、半導体基板内にチャネル領域

を形成する工程とを有する前記方法。

【請求項 2】

集積回路装置を形成する方法において、

半導体基板を提供する工程と、

前記半導体基板上に誘電体パターン層を形成する工程と、

前記誘電体パターン層の上方に導電体パターン層を形成する工程と、

前記導電体パターン層の上方に反射防止膜(ARC)を形成する工程と、

前記誘電体パターン層および前記導電体パターン層の上方に第1の誘電体層を形成する工程と、

前記第1の誘電体層の上方に第2の誘電体層を形成する工程と、

前記第2の誘電体層の上方に第1の層を形成する工程と、

前記第1の誘電体層および第2の誘電体層により前記誘電体パターン層から分離されている第1のパターン層を形成するために前記第1の層の部分を除去する工程と、

前記第1のパターン層に近接する第1の誘電体領域を形成するために前記第2の誘電体の部分を除去する工程と、

前記第1の誘電体領域に近接する第2の誘電体領域を形成するために前記第1の誘電体の部分を除去する工程と、

前記第1の誘電体層の部分の除去後に前記ARCを除去する工程とを有する前記方法。

【請求項 3】

集積回路装置を形成する方法において、

第1の部分および第2の部分を持つ半導体基板を提供する工程と、

前記半導体基板の前記第1の部分上に形成されるゲート誘電体と、前記ゲート誘電体上に形成されるゲート電極とを有するゲートスタックを形成する工程と、

前記ゲートスタックの上方に第1のパターン反射防止膜(ARC)を形成する工程と、

前記半導体基板の前記第2の部分の上方に形成される電荷記憶層と、前記電荷記憶層の上方に形成される第1の誘電体層とを有する不揮発性メモリスタックを形成する工程と、

前記不揮発性メモリスタックの上方に第2のパターンARCを形成する工程と、

前記ゲートスタックおよび前記不揮発性メモリスタックの上方に第2の誘電体層を形成する工程と、

前記ゲートスタックおよび前記不揮発性メモリスタックに隣接する第1のスペーサを形成するために前記第2の誘電体層の部分を除去する工程と、

前記第2の誘電体層の部分の除去後に前記第1のパターンARCおよび前記第2のパターンARCを除去する工程と、

前記ゲートスタックの下方に第1のチャネルを形成する工程と、

前記不揮発性メモリスタックの下方に第2のチャネルを形成する工程とを有する方法。

【請求項 4】

集積回路装置において、

半導体基板と、

前記半導体基板上に形成される誘電体パターン層と、前記誘電体パターン層上に形成される伝導体パターン層と、第1のサイドウォールと、前記第1のサイドウォールと向かい合う第2のサイドウォールとを有するスタックと、

前記半導体基板内にあり前記第1のサイドウォールに隣接する第1の電極領域と、

前記半導体基板内にあり前記第2のサイドウォールに隣接する第2の電極領域と、

前記第1の電極領域および前記第2の電極領域の間にあり前記スタックの下方にあるチャネル領域と、

前記第1のサイドウォールおよび前記第2のサイドウォールに近接する、第1の高さを持つ酸化物スペーサと、

前記酸化物スペーサに近接し、第1の電極領域及び第2の電極領域の上方にある絶縁層と、

前記絶縁層に隣接し、および前記第1の高さよりも低い第2の高さを持つ窒化物スペー

サとを有する前記集積回路。

【請求項 5】

集積回路装置において、

頂部表面を持つ半導体基板と、

前記半導体基板上に形成され、第1の層と、前記第1の層上に形成される第2の層と、第1のサイドウォールと、前記第1のサイドウォールと向かい合う第2のサイドウォールとを有するスタックと、

前記半導体基板の前記頂部表面の第1の部分はその下にあり、第2の部分は前記スタックの下にあり、前記第1の部分は前記第2の部分と事実上共通平面にある、前記第1のサイドウォールおよび前記第2のサイドウォールが近接するスペーサと、

前記スペーサに近接する絶縁層と、

前記半導体基板内で前記第1のサイドウォールに隣接する第1のドープ領域と、

前記半導体基板内で前記第2のサイドウォールに隣接する第2のドープ領域と、

前記第1のドープ領域および第2のドープ領域の間かつ前記半導体基板内にあるチャネル領域とを有し、

前記絶縁層の下にある前記半導体基板の前記頂部表面の第3の部分は前記第1の部分及び前記第2の部分に比べてリセス化されている前記集積回路装置。