(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 29/768

(45) 공고일자 2004년05월24일
(11) 등록번호 10-0416583
(24) 등록일자 2004년01월15일

(21) 출원번호 10-1997-0003357
(22) 출원일자 1997년02월04일

(65) 공개번호 10-1997-0063804
(43) 공개일자 1997년09월12일

(30) 우선권주장 96-018887 1996년02월05일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 니시무라 히로시
일본국 토야마켄 토나미시 타로마루 7011 홋타아파트비101

오가와 신이찌
일본국 오사카후 네야가와시 미이미나미마치 24-4-304

(74) 대리인 하상구
하영욱

심사관 : 임동우

(54) 반도체장치및그제조방법

요약

제1층간절연막상에 제1배선을 형성한 후, 제2층간절연막을 형성하고, 평탄화를 실시하여, 접속홀을 형성한다. 이 때, 접속홀이 제1배선에서 어긋나게 형성된다. 다음에, 제1배선의 노출된 끝가장자리 및 측벽을 경사면으로 한 후, 그대로, 또는 접속홀을 매립하여, 제2배선을 형성한다.
이와 같이, 제1배선의 측벽을 경사면으로 하는 것에 의해, 제2배선의 배선재료 또는 도전막을 접속홀에 완전하게 매립하는 것이 가능하고, 제1배선의 경사면의 전면(全面)에서 전기적 도통을 유지하는 것이 가능하다. 그 결과, 하층의 제1배선과, 상층의 제2배선을 접속하기 위한 접속홀이 제1배선에 대하여 어긋난 형상으로 되어도, 접속홀에 있어서의 배선저항의 증대를 방지하는 것이 가능하다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은, 본 발명의 제1실시예에 따른 반도체장치의 제조방법을 도시하는 공정단면도이다.
도 2는, 제1실시예의 접속홀내의 배선저항과 접속홀에 대한 마스크의 부정합량 사이의 관계를 도시하는 도면이다.
도 3은, 접속홀내의 배선저항의 검사패턴의 평면도이다.
도 4는, 본 발명의 제2실시예에 따른 반도체장치의 제조방법을 도시하는 공정단면도이다.

도 5는, 제2실시예의 접속홀내의 배선저항의 증가율 및 접속홀에 대한 마스크의 부정합량 사이의 관계를 도시하는 도면이다.
도 6은, 종래의 반도체장치의 제조방법을 도시하는 공정단면도이다.
도 7은, 종래의 반도체장치의 제조방법을 도시하는 공정단면도이다.
도면의 주요부분에 대한 부호의 설명
(1),(7) ---------- 제1층간절연막,
(2),(8) ---------- 제1 Al-Si-Cu배선,
(3),(9) ---------- 제2층간절연막,
(4),(10) ---------- 접속홀,
(6),(13) ---------- 제2 Al-Si-Cu배선.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 경계가 없는 다층배선구조를 보유하는 반도체장치 및 그 제조방법에 관한 것으로, 더욱 상세하게는, 접속홀을 포함하는 반도체장치 및 그 제조방법에 관한 것이다.
반도체 집적회로의 미세화에 대하여 고신뢰성의 다층배선기술의 개발이 요구된다. 다층배선의 신뢰성을 저해하는 불량원인의 하나는, 배선내를 흐르는 전자에 의해 배선을 구성하는 금속원자가 밀려나서, 배선의 저항상승이나 단선불량을 유발하여, 소위 일렉트로마이그레이션(electromigration) 불량이 발생하는 것이다. 특히, 접속홀에 있어서는, 배선의 스텝 커버리지(step coverage)(즉, 단차피복성)는 접속홀의 미세화에 수반하여 열화하고 있기 때문에, 전류밀도가 증가하고, 일렉트로마이그레이션 내성이 열화되기 쉽다는 문제가 있었다.
여기에서, 종래의 접속홀을 포함하는 다층배선구조의 반도체장치 및 그 제조 방법을, 도면을 참조하면서 설명한다.
도 6은, 종래의 반도체장치의 제조방법을 도시하는 공정단면도이다.
첫째로, 도 6(a)에 도시하는 바와 같이, 실리콘기판(14)상에 제1층간절연막(15)을 형성한 후, 제1 Al-Si-Cu배선(16)을 형성한다. 이 경우, 제1배선의 재료로서는, Al-Cu, Al-Cu-Ti, Al-Ge-Cu, Al-Sc, Al-Pd-Cu, Al-Mg과 같은 다른 합금재료를 사용하여도 좋다. 또는 TiN, Ti, W의 도전막을 상하에 적층하는 배선구조를 사용하여도 좋다.
다음에, 도 6(b)에 도시하는 바와 같이, 전면(全面)에 제2층간절연막(17)을 형성한 후, 에치백법(etch-back mathod) 혹은 화학기계적 연마법에 의해 제2층간절연막(17)을 평탄화하여, 접속홀(18)을 개구한다. 이 경우, 접속홀(18)은 포토리소그래피법(photolithographic mathod) 및 건조에칭법(dry etching mathod)에 의해 형성된다.
다음에, 도 6(c)에 도시하는 바와 같이, Ar스퍼터에칭(sputter etching)에 의해 접속홀(18)의 저면의 배선의 자연산화막을 제거한 후, 스퍼터링법(sputtering mathod)에 의해 전면에 Ti막(19)을 형성한다.
다음에, 도 6(d)에 도시하는 바와 같이, 고온스퍼터링법에 의해 제2 Al-Si-Cu배선(20)을 형성한다. 제2 Al-Si-Cu배선(20)은, 400℃에서 500℃ 사이의 온도에서 퇴적하고, 접속홀(18)에 매립된다. 이 경우, 제2배선의 재료로서는, Al-Cu, Al-Ge-Cu, Al-Sc, Al-Pd-Cu와 같은 다른 합성재료를 사용하여도 좋다(예컨대, 아이 이 이 이, 브이 엘 에스 아이, 멀티레벨, 인터커넥션, 컨퍼런스(1991) 제 170쪽 제176쪽(IEEE VLIS Mulitilevel Interconnection Conference(1991) pp.170 176)).
이와 같이, 제2 Al-Si-Cu배선(20)을 접속홀(18)에 완전하게 매립하는 것에 의해, 접속홀(18)에 있어서의 배선의 저항상승이나, 단선불량을 방지하고, 다층배선구조의 신뢰성을 향상시키도록 하고 있다.
그러나, 상기한 바와 같은 구성에서는, 포토리소그래피공정에 있어서의 마스크 부정합에 의해, 제1 Al-Si-Cu배선(16)에 대하여 접속홀(18)이 배선을 오프(off) 방향으로 어긋나게 형성된 경우, 접속홀(18)내에 제2 Al-Si-Cu배선(20)을 완전하게 매립하는 것이 불가능하고, 접속홀(18)에 있어서의 배선저항의 상승을 유발한다는 문제가 있다. 이것을 도 7을 이용하여 설명한다.
도 7은 상기한 문제를 설명하기 위한 공정단면도이다.
도 7(a)에 도시하는 바와 같이, 실리콘기판(도면에 표시하지 않음)상에 제1 층간절연막(21)을 형성한 후, 제1 Al-Si-Cu배선(22)을 형성하고, 제2층간절연막(23)을 형성한다. 그 후, 접속홀(24)을 형성할 때에, 제1 Al-Si-Cu배선(22)에 대하여 접속홀(24)이 어긋나면, 도 7(a)에 도시하는 바와 같이, 제1 Al-Si-Cu배선(22)의 측벽면의 근접한 위치에 제2층간절연막(23)이 에칭되어 있으므로, 측벽면이 노출되어 접속홀(24)이 형성되어 있다. 다음에, 도 7(b)에 도시하는 바와 같이, 표면 처리를 실시하고, Ti막(25)을 퇴적한 후, 도 7(c)에 도시하는 바와 같이 고온스퍼터링법에 의해 제2 Al-Si-Cu배선(26)을 접속홀(24)에 매립한 경우, 제1 Al-Si-Cu배선(22)의 측벽면의 근방의 접속홀(24)의 좁고 깊은 부분은 매립되기 어렵기 때문에, 보이드(void)(27)가 발생하게 된다. 이 때문에, 접속홀(24)내에 있어서 제2 Al-Si-Cu배선(26)과 접촉하는 제1 Al-Si-Cu배선(22)의 끝가장자리의 면적이 감소한다. 나아가, 제1 Al-Si-Cu배선(22)의 측벽면에서, 제1 Al-Si-Cu배선(22)과 제2 Al-Si-Cu배선(26)과의 전기적 도통이 유지되지 않으므로, 접속홀(24)에 있어서의 배선저항의 증대를 초래한다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은, 하층의 제1배선과, 상층의 제2배선을 접속하기 위한 접속홀이 제1배선에 대하여 어긋나 형성되어 있어도, 접속홀에 있어서의 배선 저항의 증대를 방지할 수 있는 반도체장치 및 그 제조방법을 제공하는 것이다.

본 발명의 반도체장치는, 반도체기판상에 형성된 측벽이 경사면으로 된 제1 배선과, 상기 제1배선상에 형성한 층간절연막과, 제1배선의 경사면이 노출된 상태에서 층간절연막을 개구한 접속홀과, 이 접속홀내 및 층간절연막상에 형성된 제2배선을 구비하고 있다.

이 경우에 있어서, 접속홀내에는 배선재료와 다른 재료의 도전막을 매립하여도 좋다.

이 발명의 반도체장치의 제조방법은, 반도체기판상에 제1배선을 형성하는 공정과, 제1배선을 덮는 층간절연막을 형성하는 공정과, 제1배선의 끝가장자리가 노출되도록 층간절연막을 개구하여 접속홀을 형성하는 공정과, 접속홀내에 노출된 제 1배선의 끝가장자리 및 측벽을 스퍼터에칭에 의해 경사면으로 하는 공정과, 접속홀내 및 층간절연막상에 제2배선을 형성하는 공정을 포함하고 있다.

이 경우에 있어서, 접속홀내에는 배선재료와 다른 재료의 도전막을 매립하여도 좋다.

이들 발명에 의하면, 접속홀이 제1배선에 대하여 어긋나게 형성되어 제1배선의 측벽이 노출하여도, 접속홀내의 제1배선의 노출된 끝가장자리 및 측벽을 경사면으로 하는 것에 의해, 배선재료 또는 도전막을 접속홀에 완전히 매립하는 것이 가 능하고, 접속홀의 내부의 보이드의 발생을 방지하며, 제1배선의 경사면의 전면에서 전기적 도통을 하는 것이 가능하다. 따라서, 접속홀에서의 배선저항의 저감이 가능하게 된다.

발명의 구성 및 작용

본 발명의 실시예에 대하여 도면을 참조하면서 설명한다.

도 1은, 본 발명의 제1실시예에 있어서 반도체장치의 제조방법을 도시하는 공정단면도이다.

먼저, 도 1(a)에 도시하는 바와 같이, 반도체소자를 형성한 실리콘기판(도면에 표시하지 않음)상에 제1층간절연막(1)을 형성한 후, 제1 Al-Si-Cu배선(2)을 형성한다. 다음에, 전면에 제2층간절연막(3)을 형성하고 평탄화를 행한 후, 포토리소그래피법과 건조에칭법에 의해 접속홀(4)을 형성한다. 이때, 포토리소그래피공정에 있어서 마스크 부정합(misalignment)이 발생하므로, 제1 Al-Si-Cu배선(2)의 끝가장자리 및 측벽이 노출하고, 측벽면의 근방에도 크기가 작은 접속홀이 형성되어 있고, 접속홀(4)의 깊이가 증가하고 있다. 다음에, Ar스퍼터에칭에 의한 표면처리를 행한 후, 스퍼터링법에 의해 Ti막(5)을 전면에 형성한다.

다음에, 도 1(b)에 도시하는 바와 같이, Ar스퍼터에칭에 의해 제1 Al-Si-Cu배선(2)의 접속홀(4)내에 노출된 상면 끝가장자리 및 측벽을 경사면으로 한다. 스퍼터에칭에 있어서는, 에칭율(etch rate)이 이온의 입사방향과, 피에칭물질면과의 각도에 의존하는 것이 널리 알려져 있다. 이온의 입사방향과 피에칭물질면과의 각도가 40 60 ° 에 있을 때, 에칭율은 극대값으로 된다. 즉, 이온의 입사방향을 실리 콘기판에 대하여 수직으로 되도록 제어하면, 제1 Al-Si-Cu배선(2)의 측벽면과 상면 끝가장자리가 교차하는 에지부분이 우선적으로 에칭되어 가기 때문에, 제1 Al-Si-Cu배선(2)의 측벽면에 경사를 형성하는 것이 가능하다. 이 경우, 접속홀(4)의 상부의 제2층간절연막(3)에도 경사가 형성된다.

다음에, 도 1(c)에 도시하는 바와 같이, 고온스퍼터링법에 의해 제2 Al-Si-Cu배선(6)을 형성한다. 제2 Al-Si-Cu배선(6)은, 400℃ 500℃의 퇴적온도에서 접속홀(4)에 매립된다. 이 경우, 제1 Al-Si-Cu배선(2)의 측벽은 경사면으로 되어 있는 것으로, 제2 Al-Si-Cu배선(6)을 매립하기 쉽게 된다.

도 2에, 제1실시예에 있어서 접속홀에 있어서의 배선저항(즉, 비아체인(via chain) 저항:종축)과 접속홀의 마스크 부정합량(즉, 오버랩 마진(overlap margin): 횡축)과의 관계를 표시하고, 비교를 위해 종래기술을 이용한 경우의 관계도 포함하여 표시한다. 흰점이 종래기술을 표시하고, 검은점이 제1실시예를 표시한다. 여기에 있는 종래기술을 이용한 경우와는, 도 1에 있어서 제1 Al-Si-Cu배선(2)의 끝가장자리 및 측벽을 경사면으로 하는 Ar스퍼터에칭을 행한 경우가 다르고, 그 외에는 제1실시예와 동일하다. 또, 접속홀의 마스크 부정합량(오버랩 마진)과는, 도 3에 도시하는 바와 같이, 제1배선(28)의 단부의 측벽과 접속홀(29)의 사이의 거리를 표시하고, 마이너스의 경우는, 접속홀(29)이 제1배선(28)을 밀어낸 것을 표시한다.

도 2에 도시하는 바와 같이, 종래기술에 있어서는 오버랩 마진이 0㎛이하로되면, 배선저항은 급격하게 증가한다. 예컨대, 오버랩 마진이 -0.15㎛일 때, 배선 저항은 1200Ω이상으로 된다. 한편, 이 제1실시예에 있어서는, 오버랩 마진이 - 0.15㎛일 때, 배선저항은 300Ω 정도로 억제가능한 것을 알 수 있다. 이 경우의 접속홀은, 직경이 0.6㎛의 원형이다.

상기한 바와 같은 본 발명의 실시예에 의하면, 리소그래피공정에 있어서, 마스크 부정합에 의해, 접속홀(4)이 제1 Al-Si-Cu배선(2)을 밀어내어 깊게 형성되어도, 도 1에 도시하는 바와 같이, 접속홀(4)에 노출한 제1 Al-Si-Cu배선(2)의 끝가장자리 및 측벽을 경사면으로 하는 것에 의해, 제2 Al-Si-Cu배선(6)을 접속홀(4)에 완전하게 매립하는 것이 가능하고, 접속홀(4)의 내부의 보이드의 발생을 방지하며, 제1 Al-Si-Cu배선(2)의 경사면의 전면에서 전기적 도통을 도모하는 것이 가능하다. 따라서, 접속홀(4)에 있어서의 배선저항의 저감을 가능하게 한다. 도 4는 본 발명의 제2실시예에 있어서 반도체 장치의 제조방법을 도시하는 공정단면도이다.

우선, 도 4(a)에 도시하는 바와 같이, 반도체기판(도면에 도시하지 않음)상에 형성된 제1층간절연막(7)상에 제1 Al-Si-Cu배선(8)을 형성한 후, 전면에 제2층간절연막(9)을 형성한다. 다음에, 포토리소그래피법과 건조에칭법에 의해 접속홀(10)을 형성한다. 이 때, 포토리소그래피공정에 있어서 마스크 부정합이 발생하여, 제1 Al-Si-Cu배선(8)의 끝가장자리 및 측벽이 노출되어, 측벽면의 근방에도 크기가 작은 접속홀이 형성되어 있고, 접속홀(10)의 깊이가 증가되어

있다.
다음에, 도 4(b)에 도시하는 바와 같이, Ar스퍼터에칭에 의해 제1 Al-Si-Cu배선(8)의 접속홀(4)내에 노출된 끝가장자리 및 측벽을 경사면으로 한 후, Ti막과 TiN막의 2층막으로 되는 밀착층(11)을 형성한다. Ar스퍼터에칭은, 통상의 표면처리에 사용하는 조건보다도 이방성이 높은 조건을 사용하여, 제1 Al-Si-Cu배선(8)의 측벽면에 경사를 쉽게 형성한다. 이때, 접속홀(10)의 상부의 제2층간절연막(9)에도 경사가 형성된다. 다음에, 블랜킷(blanket) CVD법에 의해 텅스텐막(12)을 형성하여, 접속홀(10)에 매립된다.
다음에, 도 4(c)에 도시하는 바와 같이, 에칭법에 의해 접속홀(10)의 내부이외의 텅스텐막(12)과, 밀착층(11)을 제거한 후, 표면처리를 실시하여, 제2 Al-Si-Cu배선(13)을 형성한다.
도 5에, 제2실시예에 있어서 접속홀에 있어서의 배선저항의 증가율(종축)과 접속홀의 마스크 부정합량(횡축)과의 관계를 표시하고, 비교를 위해 종래기술을 사용한 경우의 관계도 포함하여 표시한다. 흰점은 종래기술을 표시하고, 검은점은 제 2실시예를 표시한다. 여기에서, 종래기술을 사용한 경우는, 도 4에 있어서 제1 Al-Si-Cu배선(8)의 끝가장자리 및 측벽을 경사면으로 하는 Ar스퍼터에칭을 실시하지 않는 경우이고, 그외의 구성은 제 2 실시예와 동일하다. 또, 접속홀에 있어서의 배선저항의 증가율은, 접속홀의 마스크 부정합량이 0.1㎛인 경우의 배선저항에 대한 증가율을 표시하고 있다. 종래기술에 있어서는, 접속홀의 마스크 부정합량이 감소함에 따라 배선저항이 증가하고 있지만, 상기 제2실시예에 있어서는, 배선저항은 마스크 부정합량에 의존하지 않고, 거의 일정하므로, 증가는 없다. 또, 상기 실시예에 있어서는, 접속홀의 마스크 부정합량이 0.1㎛인 경우의 배선저항이 166Ω으로, 마스크 부정합량이 변화하여도 거의 일정하다. 종래기술에 있어서는, 마스크 부정합량이 0.1㎛인 경우의 배선저항은 130Ω이지만, 마스크 부정합량이 -0.2㎛이하로 되면, 제2실시예 보다도 크게 된다. 이 경우의 접속홀은, 직경이 0.6㎛인 원 형이다.

발명의 효과

이상과 같은 본 실시예에 의하면, 리소그래피공정에 있어서, 마스크 부정합량에 의해, 접속홀(10)이 제1 Al-Si-Cu배선(8)을 밀어내어 깊게 형성되어도, 도 4에 도시하는 바와 같이, 접속홀(10)내에 노출한 제1 Al-Si-Cu배선(8)의 끝가장자리 및 측벽을 경사면으로 하는 것에 의해, 텅스텐막(12)을 접속홀(10)에 완전하게 매립하는 것이 가능하고, 접속홀(10)의 내부의 보이드의 발생을 방지하며, 제1 Al-Si-Cu배선(8)의 경사면의 전면에서 전기적 도통을 도모하는 것이 가능하다. 따라서, 접속홀(10)에 있어서의 배선저항의 저감이 가능하게 된다.
또, 본 실시예에 의하면, 텅스텐막(12)을 접속홀(10)에 매립하는 것에 의해, 텅스텐막(12)과 제1 Al-Si-Cu배선(8)과의(밀착층(11)을 통한) 접촉면적을 넓게 할 수 있기 때문에, 배선중의 전류밀도를 저감할 수 있다. 따라서, 제1실시예와 비교하여, 일렉트로마이그레이션 내성을 향상시키는 것이 가능하게 된다.
또, 본 실시형태에서는 접속홀(10)의 매립재료로서, CVD법에 의한 텅스텐막(12)을 사용했는데, 이것은, 제1실시예에 있어서의 배선(6)의 형성을 위해 사용한 고온스퍼터A1법에 의한 배선재료에 비하여 단차피복성이 우수하기 때문에, 접속홀(10)에 매립하기 쉽고, 배선저항의 저감효과가 크게 된다. 또, 접속홀(10)의 매립 재료로서는, 텅스텐막 이외의 도전막재료를 사용하여도 좋다. 또, 접속홀(10)의 매립재료로서 알루미늄막을 사용한 경우에는, 비저항이 작고, 저온에서 유동하기 쉽기 때문에 접속홀(10)에 매립하기 쉽고, 텅스텐막을 사용한 경우보다도 배선 저항의 저감효과가 크게 된다. 또, 상기 제1 및 제2실시예에서는, 배선재료로서 Al-Si-Cu막을 사용했지만, Si, Cu이외의 원소를 함유한 Al합금을 사용하여도 좋다. 또, Al-Si-Cu막의 상하에 Ti, TiN, TiW 등의 Al합금 이외의 도전막을 적층하여도 동일한 효과가 얻어진다.
또, 상기 제1 및 제2실시예에서는, 2층배선구조에 대하여 설명했지만, 3층이상의 배선구조에 있어서도 동일한 효과가 얻어진다.

(57) 청구의 범위

청구항 1.

반도체기판상에 형성되고, 측벽이 그 상면에 대하여 둔각(鈍角)인 경사면을 가지는 제1배선과,
상기 제1배선상을 포함한 상기 반도체 기판상에 형성된 층간절연막과,
상기 제1배선의 상기 경사면이 노출되고, 또한 상기 층간절연막의 상단부가 그 상면에 대하여 둔각인 경사면을 가지도록 개구된 접속홀과,
상기 접속홀내 및 상기 층간절연막상에 형성한 제2배선을 구비하고,
상기 층간절연막에 형성된 상기 접속홀의 하단부는, 상기 반도체기판에 대하여 수직면을 가지고 있는 것을 특징으로 하는 반도체 장치.

청구항 2.

반도체기판상에 형성되고, 측벽이 그 상면에 대하여 둔각인 경사면을 가지는 제1배선과,
상기 제1배선상을 포함한 상기 반도체 기판상에 형성된 층간절연막과,
상기 제1배선의 상기 경사면이 노출되고, 또한 상기 층간절연막의 상단부가 그 상면에 대하여 둔각인 경사면을 가지도록 개구된 접속홀과,
상기 접속홀에 매립된 도전막과,
상기 도전막상 및 상기 층간절연막상에 형성한 제2배선을 구비하고,
상기 층간절연막에 형성된 상기 접속홀의 하단부는, 상기 반도체기판에 대하여 수직면을 가지고 있는 것을 특징으로

하는 반도체 장치.

청구항 3.

제2항에 있어서, 상기 접속홀에 매립된 상기 도전막은 상기 접속홀내에 형성된 밀착층상에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 4.

제2항 또는 3항에 있어서, 상기 접속홀에 매립된 상기 도전막은 알루미늄막으로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 5.

제2항 또는 3항에 있어서, 상기 접속홀에 매립된 상기 도전막은 텅스텐막으로 이루어지는 것을 특징으로 하는 반도체장치.

청구항 6.

반도체기판상에 제1배선을 형성하는 공정과,
상기 제1배선을 덮도록 상기 반도체 기판상에 층간절연막을 형성하는 공정과,
상기 제1배선의 끝가장자리 및 측벽이 노출되도록 상기 층간절연막을 개구하여 접속홀을 형성하는 공정과,
상기 접속홀내에 노출된 상기 제1배선을 스퍼터에칭하여 상기 제1배선의 측벽에 경사면을 형성하는 공정과,
상기 접속홀내 및 상기 층간절연막상에 제2배선을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7.

제6항에 있어서, 상기 스퍼터에칭에 의해, 상기 접속홀 상부의 상기 층간절연막의 단부에도 동시에 경사면을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8.

반도체기판상에 제1배선을 형성하는 공정과,
상기 제1배선을 덮도록 상기 반도체 기판상에 층간절연막을 형성하는 공정과,
상기 제1배선의 끝가장자리 및 측벽이 노출되도록 상기 층간절연막을 개구하여 접속홀을 형성하는 공정과,
상기 접속홀내에 노출된 상기 제1배선을 스퍼터에칭하여 상기 제1배선의 측벽에 경사면을 형성하는 공정과,
상기 접속홀에 도전막을 매립하는 공정과,
상기 도전막상 및 상기 층간절연막상에 제2배선을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9.

제8항에 있어서, 상기 스퍼터에칭에 의해, 상기 접속홀 상부의 상기 층간절연막의 단부에도 동시에 경사면을 형성하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10.

제 8항 또는 9항에 있어서, 상기 접속홀내에 상기 도전막을 매립하기 전에, 상기 접속홀내에 밀착층을 형성하는 공정을 더 포함하고, 상기 밀착층상에 상기 도전막을 형성하여 매립하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11.

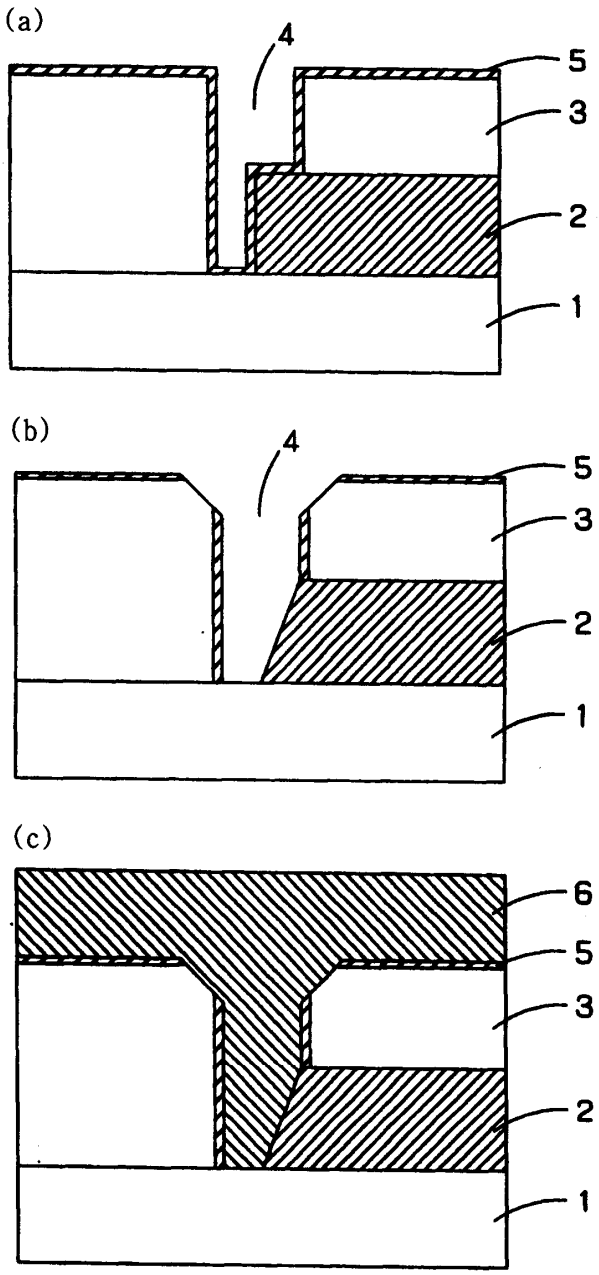
제8항 또는 9항에 있어서, 상기 접속홀에 매립되는 상기 도전막으로서 알루미늄막을 사용한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12.

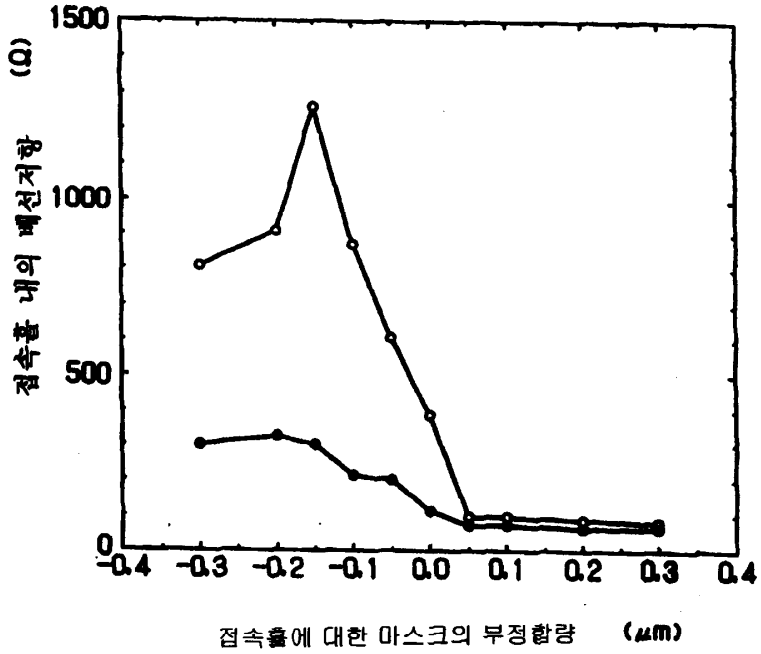
제8항 또는 9항에 있어서, 상기 접속홀에 매립되는 상기 도전막으로서 텅스텐막을 사용한 것을 특징으로 하는 반도체장치의 제조방법.

도면

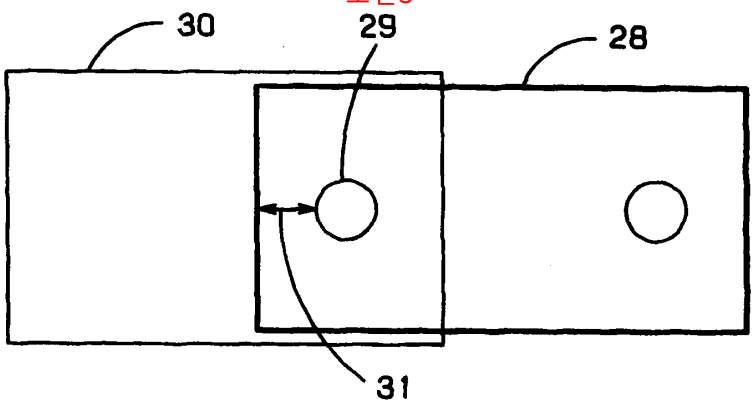
도면1



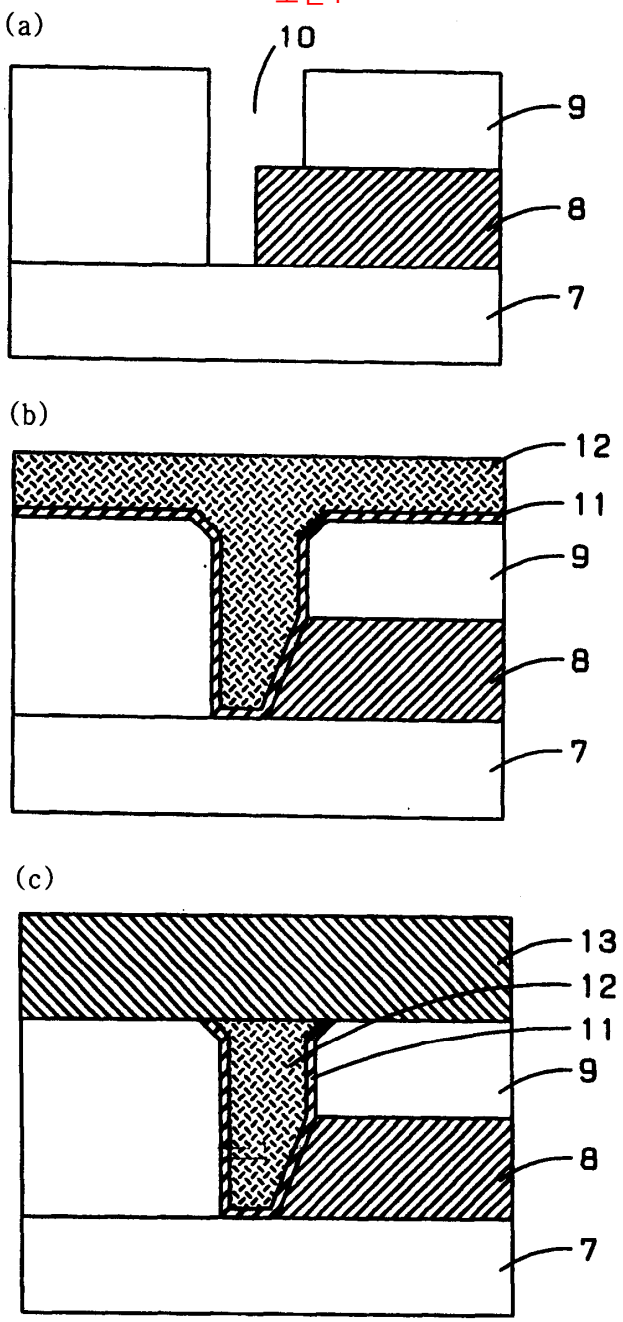
도면2


1500
1000
500
0
(Ω)
접속홀 내의 배선저항
-0.4
-0.3
-0.2
-0.1
0.0
0.1
0.2
0.3
0.4
접속홀에 대한 마스크의 부정합량 (μm)

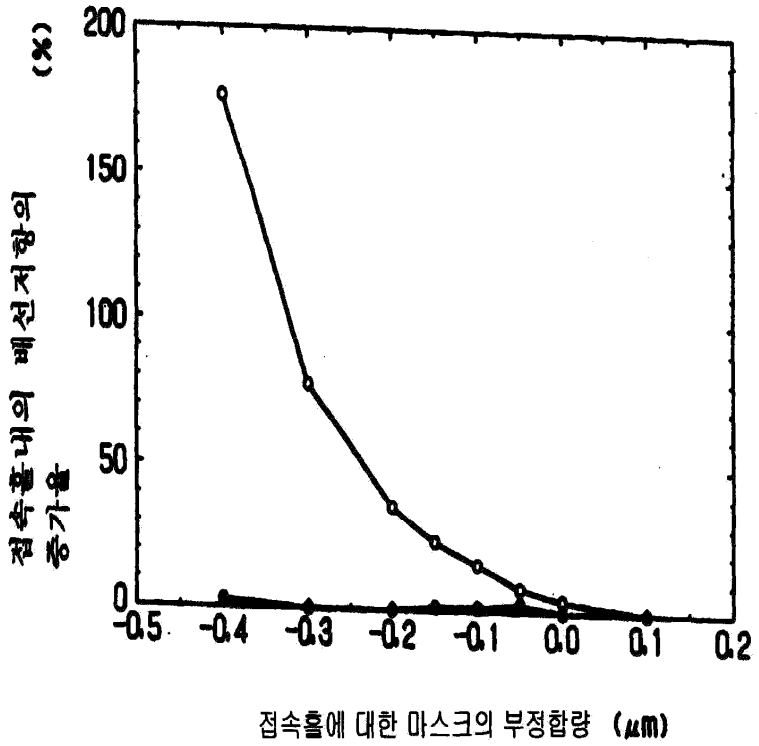
도면3


30
29
28
31

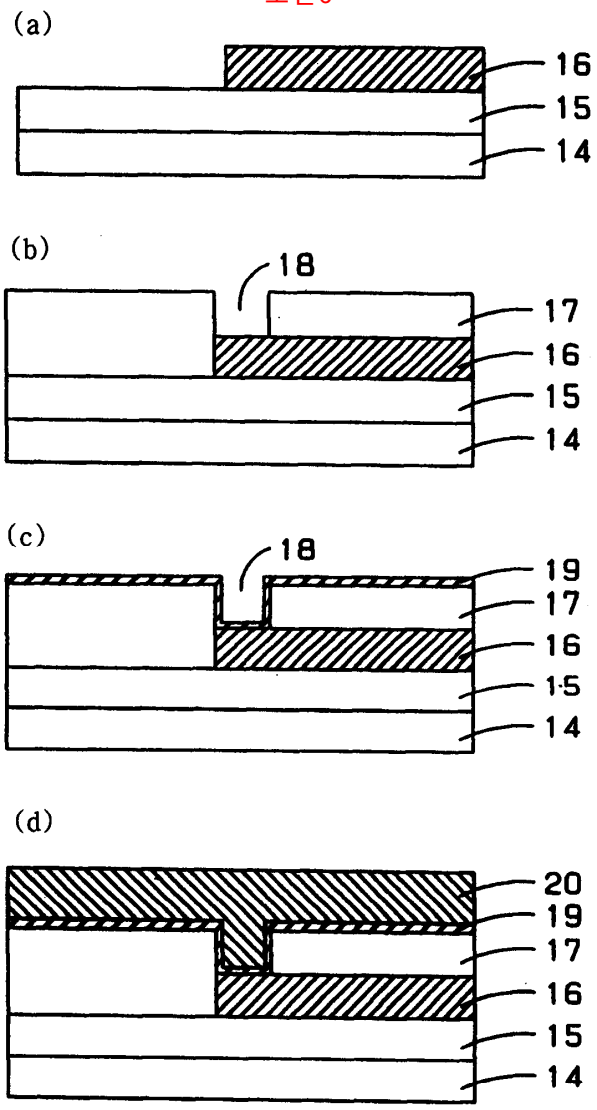
도면4



도면5


200
150
100
50
0
-0.5
-0.4
-0.3
-0.2
-0.1
0.0
0.1
0.2
접속홀내의 배선저항의 증가율 (%)
접속홀에 대한 마스크의 부정합량 (μm)

도면6



도면7

