(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년02월11일
(11) 등록번호 10-1946360
(24) 등록일자 2019년01월31일

(51) 국제특허분류(Int. Cl.)
H03K 19/177 (2006.01) *H01L 27/118* (2006.01)
(52) CPC특허분류
H03K 19/17728 (2013.01)
H01L 27/11803 (2013.01)
(21) 출원번호 10-2018-7023011(분할)
(22) 출원일자(국제) 2012년05월02일
심사청구일자 2018년08월09일
(85) 번역문제출일자 2018년08월09일
(65) 공개번호 10-2018-0095101
(43) 공개일자 2018년08월24일
(62) 원출원 특허 10-2013-7033123
원출원일자(국제) 2012년05월02일
심사청구일자 2017년04월26일
(86) 국제출원번호 PCT/JP2012/062072
(87) 국제공개번호 WO 2012/157532
국제공개일자 2012년11월22일
(30) 우선권주장
JP-P-2011-109838 2011년05월16일 일본(JP)
(56) 선행기술조사문헌
JP04271516 A
KR1020080029807 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
니시지마 타츠지
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
요네다 세이이치
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 12 항 심사관 : 나병윤

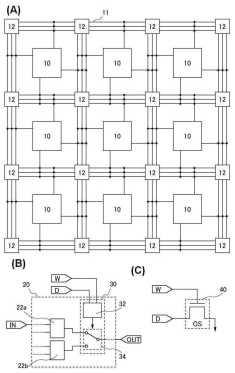
(54) 발명의 명칭 **프로그래머블 로직 디바이스**

(57) 요 약

전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터의 유지가 가능하고, 전원 투입 후의 논리 블록의 기동 시간이 짧은, 저소비 전력화가 가능한 프로그래머블 로직 디바이스를 제공하는 것을 과제로 한다.

프로그래머블 스위치의 메모리부의 트랜지스터에, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들면, 와이드 밴드갭 반도체인 산화물 반도체 재료를 이용하여 이 트랜지스터를 구성한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 이용함으로써, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터를 유지하는 것이 가능하게 된다

대 표 도 - 도1



(52) CPC특허분류
H03K 19/1776 (2013.01)
H03K 19/17772 (2013.01)

명 세 서

청구범위

청구항 1

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하고,

상기 제 1 트랜지스터는 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 게이트 전극을 포함하고, 상기 제 1 트랜지스터는 n채널 트랜지스터이고,

상기 제 2 트랜지스터는 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 게이트 전극을 포함하고, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 2 트랜지스터는 n채널 트랜지스터이고,

상기 제 3 트랜지스터는 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 게이트 전극을 포함하고, 상기 제 3 소스 전극 및 상기 제 3 드레인 전극 중 한쪽은 상기 제 1 게이트 전극에 전기적으로 접속되고,

상기 제 4 트랜지스터는 제 4 소스 전극, 제 4 드레인 전극, 및 제 4 게이트 전극을 포함하고, 상기 제 4 소스 전극 및 상기 제 4 드레인 전극 중 한쪽은 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 제 3 게이트 전극과 상기 제 4 게이트 전극은 전기적으로 접속되고,

상기 제 3 트랜지스터는 상기 제 3 게이트 전극과 중첩하는 제 1 산화물 반도체층을 포함하고,

상기 제 4 트랜지스터는 상기 제 4 게이트 전극과 중첩하는 제 2 산화물 반도체층을 포함하는, 반도체 장치.

청구항 2

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하고,

상기 제 1 트랜지스터는 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 게이트 전극을 포함하고, 상기 제 1 트랜지스터는 p채널 트랜지스터이고,

상기 제 2 트랜지스터는 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 게이트 전극을 포함하고, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 2 트랜지스터는 p채널 트랜지스터이고,

상기 제 3 트랜지스터는 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 게이트 전극을 포함하고, 상기 제 3 소스 전극 및 상기 제 3 드레인 전극 중 한쪽은 상기 제 1 게이트 전극에 전기적으로 접속되고,

상기 제 4 트랜지스터는 제 4 소스 전극, 제 4 드레인 전극, 및 제 4 게이트 전극을 포함하고, 상기 제 4 소스 전극 및 상기 제 4 드레인 전극 중 한쪽은 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 제 3 게이트 전극과 상기 제 4 게이트 전극은 전기적으로 접속되고,

상기 제 3 트랜지스터는 상기 제 3 게이트 전극과 중첩하는 제 1 산화물 반도체층을 포함하고,

상기 제 4 트랜지스터는 상기 제 4 게이트 전극과 중첩하는 제 2 산화물 반도체층을 포함하는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 다른 한쪽에 전기적으로 접속된 논리 회로를 더 포함하는, 반도체 장치.

청구항 4

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 1 논리 회로, 제 2 논리 회로, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하고,

상기 제 1 트랜지스터는 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 게이트 전극을 포함하고, 상기 제 1 트랜지스터는 n채널 트랜지스터이고,

상기 제 2 트랜지스터는 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 게이트 전극을 포함하고, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 2 트랜지스터는 n채널 트랜지스터이고,

상기 제 1 논리 회로는 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 다른 한쪽에 전기적으로 접속되고,

상기 제 2 논리 회로는 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 다른 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터는 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 게이트 전극을 포함하고, 상기 제 3 소스 전극 및 상기 제 3 드레인 전극 중 한쪽은 상기 제 1 게이트 전극에 전기적으로 접속되고,

상기 제 4 트랜지스터는 제 4 소스 전극, 제 4 드레인 전극, 및 제 4 게이트 전극을 포함하고, 상기 제 4 소스 전극 및 상기 제 4 드레인 전극 중 한쪽은 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 제 3 게이트 전극과 상기 제 4 게이트 전극은 전기적으로 접속되고,

상기 제 3 트랜지스터는 상기 제 3 게이트 전극과 중첩하는 제 1 산화물 반도체층을 포함하고,

상기 제 4 트랜지스터는 상기 제 4 게이트 전극과 중첩하는 제 2 산화물 반도체층을 포함하는, 반도체 장치.

청구항 5

반도체 장치로서,

제 1 트랜지스터, 제 2 트랜지스터, 제 1 논리 회로, 제 2 논리 회로, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함하고,

상기 제 1 트랜지스터는 제 1 소스 전극, 제 1 드레인 전극, 및 제 1 게이트 전극을 포함하고, 상기 제 1 트랜지스터는 p채널 트랜지스터이고,

상기 제 2 트랜지스터는 제 2 소스 전극, 제 2 드레인 전극, 및 제 2 게이트 전극을 포함하고, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 2 트랜지스터는 p채널 트랜지스터이고,

상기 제 1 논리 회로는 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 다른 한쪽에 전기적으로 접속되고,

상기 제 2 논리 회로는 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 다른 한쪽에 전기적으로 접속되고,

상기 제 3 트랜지스터는 제 3 소스 전극, 제 3 드레인 전극, 및 제 3 게이트 전극을 포함하고, 상기 제 3 소스 전극 및 상기 제 3 드레인 전극 중 한쪽은 상기 제 1 게이트 전극에 전기적으로 접속되고,

상기 제 4 트랜지스터는 제 4 소스 전극, 제 4 드레인 전극, 및 제 4 게이트 전극을 포함하고, 상기 제 4 소스 전극 및 상기 제 4 드레인 전극 중 한쪽은 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 제 3 게이트 전극과 상기 제 4 게이트 전극은 전기적으로 접속되고,

상기 제 3 트랜지스터는 상기 제 3 게이트 전극과 중첩하는 제 1 산화물 반도체층을 포함하고,

상기 제 4 트랜지스터는 상기 제 4 게이트 전극과 중첩하는 제 2 산화물 반도체층을 포함하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

제 5 소스 전극, 제 5 드레인 전극, 및 제 5 게이트 전극을 포함하는 제 5 트랜지스터와, 제 6 소스 전극, 제 6 드레인 전극, 및 제 6 게이트 전극을 포함하는 제 6 트랜지스터를 더 포함하고,

상기 제 5 소스 전극 및 상기 제 5 드레인 전극 중 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 5 소스 전극 및 상기 제 5 드레인 전극 중 다른 한쪽은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 다른 한쪽에 전기적으로 접속되고, 상기 제 5 트랜지스터는 n채널 트랜지스터이고,

상기 제 6 소스 전극 및 상기 제 6 드레인 전극 중 한쪽은 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 한쪽에 전기적으로 접속되고, 상기 제 6 소스 전극 및 상기 제 6 드레인 전극 중 다른 한쪽은 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 다른 한쪽에 전기적으로 접속되고, 상기 제 6 트랜지스터는 n채널 트랜지스터이고,

상기 제 5 게이트 전극은 상기 제 2 게이트 전극에 전기적으로 접속되고,

상기 제 6 게이트 전극은 상기 제 1 게이트 전극에 전기적으로 접속되는, 반도체 장치.

청구항 7

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 있어서,

상기 제 1 게이트 전극에 전기적으로 접속된 제 1 용량 소자; 및

상기 제 2 게이트 전극에 전기적으로 접속된 제 2 용량 소자를 더 포함하는, 반도체 장치.

청구항 8

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각과 상기 제 3 트랜지스터 사이, 그리고 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 각각과 상기 제 4 트랜지스터 사이에 끼워진 절연막을 더 포함하고,

상기 제 3 트랜지스터 및 상기 제 4 트랜지스터는 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위에 형성되는, 반도체 장치.

청구항 9

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체층은 제 1 c축 정렬된 결정성 산화물 반도체막을 포함하고,

상기 제 2 산화물 반도체층은 제 2 c축 정렬된 결정성 산화물 반도체막을 포함하는, 반도체 장치.

청구항 10

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 있어서,

논리 회로를 더 포함하고, 상기 논리 회로의 단자는 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 상기 한쪽에 전기적으로 접속되고,

상기 반도체 장치는 상기 제 3 트랜지스터가 온 상태에 있을 때 제 1 구성 또는 제 2 구성 중 하나가 형성되고, 상기 제 3 트랜지스터가 오프 상태가 된 후에 상기 제 1 구성 또는 상기 제 2 구성 중 상기 하나가 유지되고,

상기 제 1 구성은 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 다른 한쪽으로부터 입력된 제 1 신호가 상기 제 1 트랜지스터를 통과함으로써 상기 논리 회로의 상기 단자로 출력되는 것을 허용하고,

상기 제 2 구성은 상기 제 2 소스 전극 및 상기 제 2 드레인 전극 중 다른 한쪽으로부터 입력된 제 2 신호가 상기 제 2 트랜지스터를 통과함으로써 상기 논리 회로의 상기 단자로 출력되는 것을 허용하는, 반도체 장치.

청구항 11

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 따른 반도체 장치를 포함하는 프로그래머블 로직 디바이스.

청구항 12

제 1 항, 제 2 항, 제 4 항 및 제 5 항 중 어느 한 항에 따른 반도체 장치를 포함하는 전자기기.

발명의 설명

기 술 분 야

[0001] 본 발명은 프로그래머블 로직 디바이스 또는 이 프로그래머블 로직 디바이스를 이용한 반도체 장치에 관한 것이다. 또한, 본 발명은 이 반도체 장치를 이용한 전자기기에 관한 것이다.

배 경 기 술

[0002] 통상, IC나 LSI로 대표되는 반도체 집적 회로는 제조시에 회로 구성이 고정되고, 제조 후에 회로 구성을 변경할 수 없다. 반면, 프로그래머블 로직 디바이스(PLD : Programmable Logic Device)라고 불리는 반도체 집적 회로는 복수의 논리 회로를 포함하는 논리 블록 단위들이 서로 배선을 통하여 전기적으로 접속되는 구조로 되어 있다. 프로그래머블 로직 디바이스에서는 각 논리 블록의 회로 구성을 전기 신호에 의해 제어할 수 있다.

[0003] 따라서, 프로그래머블 로직 디바이스는 제조 후에도 설계 변경을 행할 수 있게 된다. 따라서, 프로그래머블 로직 디바이스를 이용하는 것에 의해 반도체 집적 회로의 설계, 개발에 소비되는 기간 및 비용을 큰 폭으로 삭감시킬 수 있다.

[0004] 프로그래머블 로직 디바이스는 Complex PLD(CPLD), FPGA(Field Programmable Gate Array)를 포함한다. 어느 프로그래머블 로직 디바이스에 있어서도, 논리 블록에 제공된, 메모리부에 저장된 데이터(컨피겨레이션 데이터)에 따라 스위치의 전환을 행하는 프로그래머블 스위치에 의해 각 논리 블록의 회로 구성을 제어하고 있다. 즉, 각 프로그래머블 스위치에 데이터를 프로그래밍 함으로써 프로그래머블 로직 디바이스의 회로 구성을 변경할 수 있다.

[0005] 이 메모리부에는, SRAM(Static Random Access Memory) 등의 휘발성 메모리가 주로 이용되고 있다. 또한, 그 한편으로 특허문헌 1에 나타내는 바와 같이, 이 메모리부에, 플래시 메모리와 같이 플로팅 게이트 트랜지스터를 포함하는 불휘발성 메모리를 이용하는 기술도 존재한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 2004-15060호 공보

발명의 내용

해결하려는 과제

[0007] 근년, 전자기기의 소비 전력의 저감은 중요한 과제로서 다루어지고 있으며, 전자기기에 이용되는 반도체 집적 회로의 소비 전력의 저감도 강하게 요구되고 있다. 소비 전력 저감을 위해, 반도체 장치 전체 또는 그 일부로의 전원 전위의 공급을 일시적으로 차단하고, 필요할 때에만 필요한 회로 블록에서 전원 전위의 공급을 선택하는 구동 방법(이하, 노멀리-오프(normally-off)의 구동 방법이라고 함)이 제안되고 있다.

[0008] 그러나, 프로그래머블 로직 디바이스에 있어서, 프로그래머블 스위치의 메모리부에 휘발성 메모리를 포함하는 경우, 전원 전위의 공급이 차단되었을 때에, 메모리부에 저장되어 있던 컨피겨레이션 데이터가 없어진다. 따라서, 프로그래머블 스위치의 메모리부에 휘발성 메모리를 포함한 프로그래머블 로직 디바이스에서는, 전원을 공급될 때마다, 이 휘발성 메모리에 컨피겨레이션 데이터를 매번 기입할 필요가 있다. 따라서, 전원 투입을 행하고 나서 논리 블록을 동작시키기까지 큰 지연 시간이 발생한다. 즉, 프로그래머블 스위치의 메모리부에 휘발성 메모리를 포함한 프로그래머블 로직 디바이스에서는, 전원 전위의 공급을 일시적으로 차단하는 노멀리-오프의 구동 방법을 행하는 것이 어려워진다.

[0009] 또한, 프로그래머블 로직 디바이스에 있어서, 프로그래머블 스위치의 메모리부에 플로팅 게이트 트랜지스터를 이용하여 메모리부의 불휘발화를 도모할 경우, 노멀리-오프의 구동 방법을 이용하여 전원 전위의 공급을 일시적으로 차단해도 컨피겨레이션 데이터는 유지된다. 그러나, 데이터를 기입할 때, 플로팅 게이트에 전자를 주입하

므로 높은 전위가 필요하게 되고; 기입에 긴 시간을 필요로 한다는 문제가 있었다. 또한, 이 기입 시에 생기는 터널 전류에 의해 플로팅 게이트의 게이트 절연층이 열화한다는 문제도 있다.

[0010] 상기한 문제를 감안하여, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터의 유지가 가능하고, 전원 공급 후의 논리 블록의 기동 시간이 짧고, 저소비 전력화가 가능한 프로그래머블 로직 디바이스를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0011] 개시하는 발명의 일 양태에서는, 프로그래머블 스위치의 메모리부의 트랜지스터는 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들면, 와이드 밴드갭 반도체인 산화물 반도체 재료를 포함한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 이용할 때, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터를 유지하는 것이 가능하게 된다. 본 명세서에서 개시하는 프로그래머블 로직 디바이스의 구체적인 구성은 이하와 같이 된다.

[0012] 개시하는 발명의 일 양태는, 복수의 배선을 통하여 전기적으로 접속된 복수의 논리 블록을 포함하는 프로그래머블 로직 디바이스이다. 논리 블록 각각은 복수의 논리 회로와 복수의 논리 회로 중 2개와 전기적으로 접속되고, 저장된 데이터에 따라 이 2개의 논리 회로의 출력 중 1개를 선택하여 출력하는, 적어도 1개 이상의 프로그래머블 스위치를 가진다. 프로그래머블 스위치는 제 1 트랜지스터, 제 2 트랜지스터 및 제 3 트랜지스터를 포함한다. 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽은 복수의 논리 회로 중 1개의 출력 단자와 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 한쪽은 이 프로그래머블 스위치의 출력 단자와, 전기적으로 접속된다. 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽은 복수의 논리 회로의 다른 1개의 출력 단자와, 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽은 이 프로그래머블 스위치의 출력 단자와, 전기적으로 접속된다. 제 1 트랜지스터 및 제 2 트랜지스터의 게이트 전극과, 제 3 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속된다. 제 3 트랜지스터는 산화물 반도체층을 포함한다. 제 3 트랜지스터의 소스 전극 또는 드레인 전극의 다른 한쪽으로부터 입력된 전위를 제 1 트랜지스터 및 제 2 트랜지스터의 게이트 전극에 유지한다.

[0013] 상기에서, 제 1 트랜지스터와 제 2 트랜지스터는 도전형이 다른 구성으로 할 수도 있다. 또한, 제 1 트랜지스터와 제 2 트랜지스터는 같은 도전형을 가지고, 제 3 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 2 트랜지스터의 게이트 전극 사이에, 인버터가 전기적으로 접속되어도 좋다. 프로그래머블 로직 디바이스는 제 4 트랜지스터 및 제 5 트랜지스터를 가져도 좋다. 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 4 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과 제 4 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 제 2 트랜지스터의 게이트 전극과, 제 4 트랜지스터의 게이트 전극이 전기적으로 접속된다. 또한 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 5 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 5 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 제 1 트랜지스터의 게이트 전극과, 제 5 트랜지스터의 게이트 전극이 전기적으로 접속된다. 제 4 트랜지스터와 제 1 트랜지스터는 도전형이 다르고, 제 5 트랜지스터와 제 2 트랜지스터는 도전형이 다른 구성으로 할 수도 있다.

[0014] 또한, 상기에서 제 1 트랜지스터 및 제 2 트랜지스터는 단결정 실리콘을 이용하여 형성되는 것이 바람직하다. 제 3 트랜지스터는 절연막을 개재하여 제 1 트랜지스터 및 제 2 트랜지스터의 위에 적층하여 형성되고, 또 제 3 트랜지스터중 적어도 일부는, 제 1 트랜지스터 또는 제 2 트랜지스터 중 적어도 일부와 중첩하여 형성되는 것이 바람직하다.

[0015] 또한, 상기 구조에서 제 3 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽에, 한쪽의 단자가 전기적으로 접속되는 용량 소자를 가지는 것이 바람직하다.

[0016] 본 발명의 다른 일 양태는, 복수의 배선을 통하여 전기적으로 접속된 복수의 논리 블록을 포함하는 프로그래머블 로직 디바이스이다. 복수의 논리 블록 각각은, 복수의 논리 회로와, 복수의 논리 회로 중 2개와 전기적으로 접속되고, 저장된 데이터에 따라 이 2개의 논리 회로의 출력 중 1개를 선택하여 출력하는, 적어도 1개 이상의 프로그래머블 스위치를 가진다. 프로그래머블 스위치는 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 포함한다. 복수의 논리 회로 중 1개의 출력 단자와, 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자와, 제 1 트랜지스터 소스 전

극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 복수의 논리 회로의 다른 1개의 출력 단자와, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자와, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 제 1 트랜지스터의 게이트 전극과, 제 3 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속된다. 제 2 트랜지스터의 게이트 전극과, 제 4 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속된다. 제 3 트랜지스터의 게이트 전극과, 제 4 트랜지스터의 게이트 전극이 전기적으로 접속된다. 제 3 트랜지스터 및 제 4 트랜지스터는 산화물 반도체층을 포함한다. 제 3 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽에서 입력된 제 1 전위를 제 1 트랜지스터의 게이트 전극에 유지한다. 제 4 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽에서 입력된 제 2 전위를, 제 2 트랜지스터의 게이트 전극에 유지한다. 제 2 전위의 극성은 제 1 전위의 극성에 반대된다.

[0017] 상기에서, 제 1 트랜지스터와 제 2 트랜지스터는 같은 도전형을 가지는 구성으로 해도 좋다. 프로그래머블 로직 디바이스는 제 5 트랜지스터 및 제 6 트랜지스터를 더 포함할 수도 있다. 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 5 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 제 1 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 5 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 제 2 트랜지스터의 게이트 전극과, 제 5 트랜지스터의 게이트 전극이 전기적으로 접속된다. 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽과, 제 6 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 제 2 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽과, 제 6 트랜지스터의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 제 1 트랜지스터의 게이트 전극과, 제 6 트랜지스터의 게이트 전극이 전기적으로 접속된다. 제 5 트랜지스터와 제 1 트랜지스터는 도전형이 다르고, 제 6 트랜지스터와 제 2 트랜지스터는 도전형이 다른 구성으로 할 수도 있다.

[0018] 또한, 상기에서, 제 3 트랜지스터 또는 제 4 트랜지스터의 소스 전극 또는 드레인 전극 중 한쪽에, 한쪽의 단자가 전기적으로 접속되는 용량 소자를 가지는 것이 바람직하다.

발명의 효과

[0019] 프로그래머블 스위치의 메모리부의 트랜지스터는 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 산화물 반도체와 같은 와이드 밴드갭 반도체를 포함하여, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터를 유지하는 것이 가능하게 된다. 이러한 구조로, 전원 공급 후의 컨피겨레이션 데이터의 기입을 생략할 수 있게 되므로, 논리 블록의 기동 시간을 짧게 할 수 있다. 따라서, 프로그래머블 로직 디바이스에 노멀리-오프의 구동 방법을 이용하여 저소비 전력화를 도모할 수 있다.

도면의 간단한 설명

[0020] 도 1(A) 내지 도 1(C)은 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스를 설명하는 회로도이다.

도 2(A) 및 도 2(B)는 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스의 일부를 설명하는 회로도이다.

도 3(A) 내지 도 3(D)은 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스의 일부를 설명하는 회로도이다.

도 4(A) 내지 도 4(C)는 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스의 일부를 설명하는 회로도이다.

도 5(A) 내지 도 5(C)는 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스의 일부를 설명하는 회로도이다.

도 6(A) 내지 도 6(D)은 프로그래머블 로직 디바이스의 제작 공정을 도시하는 도면이다.

도 7(A) 및 도 7(B)은 프로그래머블 로직 디바이스의 제작 공정을 도시하는 도면이다.

도 8(A) 내지 도 8(C)은 프로그래머블 로직 디바이스의 제작 공정을 도시하는 도면이다.

도 9(A) 및 도 9(B)는 프로그래머블 로직 디바이스의 제작 공정을 도시하는 도면이다.

도 10은 휴대용 전자기기의 블록도이다.

도 11은 전자 서적의 블록도이다.

도 12(A) 내지 도 12(E)는 본 발명의 일 양태에 관한 산화물 재료의 구조를 설명하는 도면이다.

도 13(A) 내지 도 13(C)은 본 발명의 일 양태에 관한 산화물 재료의 구조를 설명하는 도면이다.

도 14(A) 내지 도 14(C)는 본 발명의 일 양태에 관한 산화물 재료의 구조를 설명하는 도면이다.

도 15는 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면이다.

도 16(A) 내지 도 16(C)은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이다.

도 17(A) 내지 도 17(C)은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이다.

도 18(A) 내지 도 18(C)은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이다.

도 19(A) 및 도 19(B)는 계산에 이용한 트랜지스터의 단면 구조를 설명하는 도면이다.

도 20(A) 내지 도 20(C)은 산화물 반도체막을 이용한 트랜지스터 특성의 그래프이다.

도 21은 시료 A 및 시료 B의 XRD 스펙트럼을 도시하는 도면이다.

도 22는 트랜지스터의 오프 전류와 측정시 기판 온도와의 관계를 도시하는 도면이다.

도 23은 I_{ds} 및 전계 효과 이동도의V_{gs} 의존성을 도시하는 도면이다.

도 24(A) 및 도 24(B)는 기판 온도로 문턱 전압의 관계 및 기판 온도와 전계 효과 이동도의 관계를 도시하는 도면이다.

도 25(A) 및 도 25(B)는 측정에 이용한 트랜지스터의 단면 구조를 설명하는 도면이다.

도 26(A) 및 도 26(B)은 프로그래머블 로직 디바이스의 구조의 일부를 설명하는 평면도이다.

도 27은 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스를 설명하는 회로도이다.

도 28(A) 및 도 28(B)은 산화물 재료의 구조를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 이하에서는, 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 세부 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0022] 또한, "소스"나 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 서로 바꾸는 경우가 있다. 따라서, 본 명세서에서는, "소스"나 "드레인"이라는 용어는 서로 바꾸어 이용할 수 있는 것으로 한다.

[0023] "전기적으로 접속"에는 "어떠한 전기적 작용을 가지는 것"을 통하여 접속되어 있는 경우가 포함된다. 여기에서, "어떠한 전기적 작용을 가지는 것"은 접속 대상 간에서의 전기 신호의 발신 및 수신을 가능하게 하는 것이면, 특별히 제한은 없다. 예를 들면, "어떠한 전기적 작용을 가지는 것"은 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 캐패시터, 그 외의 각종 기능을 가지는 소자 등이 포함된다.

[0024] 회로도 상은 독립되어 있는 구성 요소들이 전기적으로 접속하고 있는 것처럼 도시되어 있는 경우라도, 실제로는, 예를 들면 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전막이 복수의 구성 요소의 기능을 겸하고 있는 경우도 있다. 본 명세서에 있어서 "전기적으로 접속"이란, 이러한 하나의 도전막이 복수의 구성 요소의 기능을 겸하고 있는 경우도 그 범주에 포함한다.

[0025] 「위」나 「아래」의 용어는, 구성 요소의 위치 관계가 각각, 「바로 위」또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들면, 「게이트 절연층 위의 게이트 전극」의 표현은 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 의미할 수도 있다.

[0026] 도면 등에서 도시하는 각 구성의, 위치, 크기, 범위 등은 이해를 간단히 하기 위해, 실제의 위치, 크기, 범위 등을 나타내지 않은 경우가 있다. 따라서, 개시하는 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되는 것은 아니다.

[0027] 「제 1」, 「제 2」, 「제 3」 등의 서수사는, 구성 요소의 혼동을 피하기 위해 붙인 것이다.

[0028] (실시형태 1)

[0029] 본 실시형태에서는, 개시하는 발명의 일 양태에 관한 프로그래머블 로직 디바이스의 회로 구성에 대하여 도 1(A)~도 1(C), 도 2(A)~도 2(B), 도 3(A)~도 3(D), 도 4(A)~도 4(C) 및 도 5(A)~도 5(C)를 참조하여 설명한다.

[0030] 개시하는 발명의 일 양태에 관한, 프로그래머블 로직 디바이스의 구성을 도 1(A)에 도시한다. 프로그래머블 로직 디바이스는 복수의 배선(11)을 통하여 전기적으로 접속된 복수의 논리 블록(10)을 포함한다. 예를 들면, 도 1(A)에 도시하는 바와 같이, 복수의 논리 블록(10)은 매트릭스 형상으로 배치되고, 복수의 논리 블록(10) 사이를 행방향 또는 열방향으로 연장 형성되어 배선(11)이 제공된다. 또한, 행방향의 배선(11)과 열방향의 배선(11)이 교차하는 부분에 각 배선(11)의 접속의 전환을 행하는 스위치 매트릭스(12)가 제공된다. 단, 논리 블록(10)은 반드시 매트릭스 형상으로 간격을 띄워 형성할 필요는 없다. 예를 들면, 행방향 또는 열방향으로 인접시켜 제공되고, 배선(11)도 행방향만 또는 열방향만으로 연장되어도 좋다. 스위치 매트릭스(12)도 반드시 제공될 필요는 없고, 적절히 제공되면 좋다. 또한, 논리 블록(10), 배선(11) 및 스위치 매트릭스(12)의 개수는 적절히 설정하면 좋고, 도 1 중에 도시하는 수에 한정되는 것은 아니다.

[0031] 또한, 프로그래머블 로직 디바이스는 또한, 멀티 플라이어(곱셈기)나, RAM(Random Access Memory) 블록이나, PLL(Phase Locked Loop) 블록이나, I/O(Input/Output) 엘리먼트를 포함하여도 좋다. 멀티 플라이어(곱셈기)는 복수의 데이터의 곱셈을 고속으로 행하는 기능을 가진다. RAM 블록은 메모리로서 임의의 데이터를 기억하는 기능을 가진다. PLL 블록은 클록 신호를 프로그래머블 로직 디바이스 내부의 회로에 공급하는 기능을 가진다. I/O 엘리먼트는 프로그래머블 로직 디바이스와 외부 회로의 신호 수수를 제어하는 기능을 가진다.

[0032] 논리 블록(10)은 복수의 논리 회로와, 이 복수의 논리 회로 중 2개와 전기적으로 접속되고, 저장된 데이터(이하, 컨피겨레이션 데이터라고도 함)에 따라 이 2개의 논리 회로의 출력 중 1개를 선택하여 출력하는, 적어도 1개 이상의 프로그래머블 스위치를 가진다. 이와 같이 복수의 논리 회로를 프로그래머블 스위치를 통하여 전기적으로 접속하는 것에 의해, 이 프로그래머블 스위치를 전환함으로써, 복수의 논리 회로 중 원하는 논리 회로를 선택하여 접속할 수 있으므로; 원하는 논리 기능을 가지는 논리 회로를 형성할 수 있다. 단, 본 명세서 중에서, 적어도 2개 이상의 논리 회로와 적어도 1개 이상의 프로그래머블 스위치를 포함하는 셀을 논리 셀이라고 부르는 경우가 있다. 즉, 논리 블록(10)은 적어도 1개 이상의 논리 셀을 포함한다. 또한, 논리 블록(10)은 상기한 논리 셀에 더하여, 플립 플랍이나 카운터 회로 등의 순서 회로를 포함하여도 좋고; 예를 들면, 시프트 레지스터가 제공되어도 좋다.

[0033] 논리 블록(10)에 포함되는, 복수의 입력 단자 IN과, 출력 단자 OUT와, 논리 회로(22a) 및 논리 회로(22b)와, 메모리부(32) 및 스위치부(34)를 가지는 프로그래머블 스위치(30)를 포함하는 논리 셀(20)을 도 1(B)에 도시한다.

[0034] 프로그래머블 스위치(30)는 메모리부(32)에 저장된 컨피겨레이션 데이터에 의해 스위치부(34)를 제어하고, 논리 회로(22a)의 출력 또는 논리 회로(22b)의 출력을 선택하여 출력한다. 논리 회로(22a) 및 논리 회로(22b)는 복수의 입력 단자 IN과 전기적으로 접속되어 있다. 스위치부(34)의 제 1 단자가 논리 회로(22a)의 출력 단자와 전기적으로 접속되고, 스위치부(34)의 제 2 단자가 논리 회로(22b)의 출력 단자와 전기적으로 접속되고, 스위치부(34)의 제 3 단자가 출력 단자 OUT와 전기적으로 접속되어 있다. 메모리부(32)는 메모리부에 저장되어 있는 컨피겨레이션 데이터의 전위를 입력하는 데이터선 D와 전기적으로 접속되고, 메모리부로의 컨피겨레이션 데이터의 기입을 제어하는 신호를 입력하는 워드선 W와 전기적으로 접속된다. 또한 컨피겨레이션 데이터를 저장하는 노드에 있어서, 메모리부(32)는 스위치부(34)와 전기적으로 접속되어 있다.

[0035] 논리 회로(22a) 및 논리 회로(22b)는 임의의 논리 회로를 이용할 수 있다. 예를 들면, 논리 게이트를 이용해도 좋고, 논리 게이트를 조합한 조합 논리 회로를 이용해도 좋다. 또한, 논리 회로(22a) 및 논리 회로(22b)에 전기적으로 접속되는 복수의 입력 단자 IN은 도 1(A)에 도시하는 배선(11)과 전기적으로 접속되어 있어도 좋고, 논리 블록(10)에 포함되는 다른 논리 회로와 전기적으로 접속되어 있어도 좋고, 논리 블록(10)에 포함되는 다른 프로그래머블 스위치와 전기적으로 접속되어 있어도 좋다. 또한, 스위치부(34)의 제 3 단자와 전기적으로 접속되는 출력 단자 OUT는 도 1(A)에 도시하는 배선(11)과 전기적으로 접속되어 있어도 좋고, 논리 블록(10)에 포함되는 다른 논리 회로와 전기적으로 접속되어 있어도 좋고, 논리 블록(10)에 포함되는 다른 프로그래머블 스위치와 전기적으로 접속되어 있어도 좋다.

[0036] 여기에서, 논리 게이트를 포함한 논리 셀의 예에 대하여 도 2(A)를 이용하여 설명한다. 도 2(A)에 도시하는 논리 셀(20a)은 제 1 입력 단자 IN1과, 제 2 입력 단자 IN2와, 출력 단자 OUT와, NAND 회로(22c)와, NOR 회로

(22d)와, 메모리부(32a) 및 스위치부(34a)를 가지는 프로그래머블 스위치(30a)를 포함한다. 제 1 입력 단자 IN1과 NAND 회로(22c)의 한쪽의 입력 단자와 NOR 회로(22d)의 한쪽의 입력 단자가 전기적으로 접속된다. 제 2 입력 단자 IN2와 NAND 회로(22c)의 다른 한쪽의 입력 단자와 NOR 회로(22d)의 다른 한쪽의 입력 단자가 전기적으로 접속된다. 스위치부(34a)의 제 1 단자가 NAND 회로(22c)의 출력 단자와 전기적으로 접속된다. 스위치부(34a)의 제 2 단자가 NOR 회로(22d)의 출력 단자와 전기적으로 접속된다. 스위치부(34a)의 제 3 단자가 출력 단자 OUT와 전기적으로 접속된다. 데이터선 D 및 워드선 W가 메모리부(32a)와 전기적으로 접속된다. 컨피겨레이션 데이터를 저장하는 노드에 있어서 메모리부(32a)와 스위치부(34a)가 전기적으로 접속된다.

[0037] 제 1 입력 단자 IN1, 제 2 입력 단자 IN2 및 데이터선 D에 Low 레벨의 전위(디지털 데이터의 0에 대응) 또는 High 레벨의 전위(디지털 데이터의 1에 대응)를 입력하고, 각각의 전위가 메모리부(32a)에 유지되고 있을 때의 논리 셀(20a)의 진리값표를 표 1에 나타낸다. 단, 메모리부(32a)에 Low 레벨의 전위(0)가 유지되어 있을 때, 스위치부(34a)는 NAND 회로(22c)의 출력 단자와 출력 단자 OUT를 전기적으로 접속하고, 메모리부(32a)에 High 레벨의 전위(1)가 유지되어 있을 때, 스위치부(34a)는 NOR 회로(22d)의 출력 단자와 출력 단자 OUT를 전기적으로 접속한다.

표 1

[0038]

메모리부(32a) :Low 레벨 (0)			메모리부(32a) :High 레벨 (1)		
IN1	IN2	OUT	IN1	IN2	OUT
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

[0039] 표 1에 나타내는 바와 같이, 논리 셀(20a)에 있어서, 메모리부(32a)에 Low 레벨의 전위(0)가 저장되었을 때에, NAND 회로(22c)의 출력이 논리 셀(20a)의 출력이 되고, 메모리부(32a)에 High 레벨의 전위(1)가 저장되었을 때에, NOR 회로(22d)의 출력이 논리 셀(20a)의 출력이 된다. 즉, 논리 셀(20a)은 프로그래머블 스위치(30a)의 메모리부(32a)에 저장하는 데이터에 의해 NAND 회로로서 기능할지 NOR 회로로서 기능할지 선택할 수 있다.

[0040] 또한, 프로그래머블 스위치를 복수 포함한 논리 셀의 예에 대하여 도 2(B)를 이용하여 설명한다. 도 2(B)에 도시하는 논리 셀(20b)은 제 1 입력 단자 IN1과, 제 2 입력 단자 IN2와, 출력 단자 OUT와, NAND 회로(22e)와, NOR 회로(22f)와, XOR 회로(22g)와, NOT 회로(22h)와, 메모리부(32b) 및 스위치부(34b)를 가지는 프로그래머블 스위치(30b)와, 메모리부(32c) 및 스위치부(34c)를 가지는 프로그래머블 스위치(30c)와, 메모리부(32d) 및 스위치부(34d)를 가지는 프로그래머블 스위치(30d)를 포함한다.

[0041] 제 1 입력 단자 IN1과 NAND 회로(22e)의 한쪽의 입력 단자와, NOR 회로(22f)의 한쪽의 입력 단자와 XOR 회로(22g)의 한쪽의 입력 단자와, NOT 회로(22h)의 입력 단자가 서로 전기적으로 접속된다. 제 2 입력 단자 IN2와 NAND 회로(22e)의 다른 한쪽의 입력 단자와 NOR 회로(22f)의 다른 한쪽의 입력 단자와 XOR 회로(22g)의 다른 한쪽의 입력 단자가 서로 전기적으로 접속된다. 또한, 스위치부(34b)의 제 1 단자가 NAND 회로(22e)의 출력 단자와 전기적으로 접속된다. 스위치부(34b)의 제 2 단자가 NOR 회로(22f)의 출력 단자와 전기적으로 접속된다. 데이터선 D0 및 워드선 W가 메모리부(32b)와 전기적으로 접속된다. 데이터를 저장하는 노드에 있어서 메모리부(32b)와 스위치부(34b)가 전기적으로 접속된다. 스위치부(34c)의 제 1 단자가 XOR 회로(22g)의 출력 단자와 전기적으로 접속된다. 스위치부(34c)의 제 2 단자가 NOT 회로(22h)의 출력 단자와 전기적으로 접속된다. 데이터선 D0 및 워드선 W가 메모리부(32c)와 전기적으로 접속된다. 데이터를 저장하는 노드에 있어서 메모리부(32c)와 스위치부(34c)가 전기적으로 접속된다. 스위치부(34d)의 제 1 단자가 스위치부(34b)의 제 3 단자와 전기적으로 접속된다. 스위치부(34d)의 제 2 단자가 스위치부(34c)의 제 3 단자와 전기적으로 접속된다. 스위치부(34d)의 제 3 단자가 출력 단자 OUT와 전기적으로 접속된다. 데이터선 D1 및 워드선 W가 메모리부(32d)와 전기적으로 접속된다. 데이터를 저장하는 노드에 있어서 메모리부(32d)와 스위치부(34d)가 전기적으로 접속된다.

[0042] 제 1 입력 단자 IN1, 제 2 입력 단자 IN2, 데이터선 D0 및 데이터선 D1에 Low 레벨의 전위(0) 또는 High 레벨의 전위(1)를 입력하고, 각각의 전위가 메모리부(32b) 내지 메모리부(32d)에 유지되고 있을 때의 논리 셀(20b)의 진리값표를 표 2에 나타낸다. 단, 메모리부(32b)에 Low 레벨의 전위(0)가 유지되어 있을 때, 스위치부(34b)는 NAND 회로(22e)의 출력 단자와 스위치부(34d)의 제 1 단자를 전기적으로 접속한다. 메모리부(32b)에 High 레벨

의 전위(1)가 유지되어 있을 때, 스위치부(34b)는 NOR 회로(22f)의 출력 단자와 스위치부(34d)의 제 1 단자를 전기적으로 접속한다. 또한, 메모리부(32c)에 Low 레벨의 전위(0)가 유지되어 있을 때, 스위치부(34c)는 XOR 회로(22g)의 출력 단자와 스위치부(34d)의 제 2 단자를 전기적으로 접속한다. 메모리부(32c)에 High 레벨의 전위(1)가 유지되어 있을 때, 스위치부(34c)는 NOT 회로(22h)의 출력 단자와 스위치부(34d)의 제 2 단자를 전기적으로 접속한다. 또한, 메모리부(32d)에 Low 레벨의 전위(0)가 유지되어 있을 때, 스위치부(34d)는 스위치부(34b)의 제 3 단자와 출력 단자 OUT를 전기적으로 접속한다. 메모리부(32b)에 High 레벨의 전위(1)가 유지되어 있을 때, 스위치부(34d)는 스위치부(34c)의 제 3 단자와 출력 단자 OUT를 전기적으로 접속한다.

표 2

	메모리부(32b):Low 레벨(0)			메모리부(32b):High 레벨(1)		
메모리부(32d) Low 레벨(0)	IN1	IN2	OUT	IN1	IN2	OUT
	0	0	1	0	0	1
	0	1	1	0	1	0
	1	0	1	1	0	0
	1	1	0	1	1	0

	메모리부(32c):Low 레벨(0)			메모리부(32c):High 레벨(1)		
메모리부(32d) High 레벨(1)	IN1	IN2	OUT	IN1	IN2	OUT
	0	0	0	0	0	1
	0	1	1	0	1	1
	1	0	1	1	0	0
	1	1	0	1	1	0

[0043]

[0044] 표 2에 나타내는 바와 같이, 논리 셀(20b)에 있어서, 메모리부(32b) 및 메모리부(32d)에 Low 레벨의 전위(0)가 저장되었을 때에, NAND 회로(22e)의 출력이 논리 셀(20b)의 출력이 된다. 메모리부(32b)에 High 레벨의 전위(1)가 저장되고 메모리부(32d)에 Low 레벨의 전위(0)가 저장되었을 때에, NOR 회로(22f)의 출력이 논리 셀(20b)의 출력이 된다. 또한, 메모리부(32c)에 Low 레벨의 전위(0)가 저장되고, 메모리부(32d)에 High 레벨의 전위(1)가 저장되었을 때에, XOR 회로(22g)의 출력이 논리 셀(20b)의 출력이 된다. 메모리부(32b) 및 메모리부(32d)에 High 레벨의 전위(1)가 저장되었을 때에, NOT 회로(22h)의 출력이 논리 셀(20b)의 출력이 된다. 즉, 논리 셀(20b)은 프로그래머블 스위치(30b) 내지 프로그래머블 스위치(30d)의 메모리부(32b) 내지 메모리부(32d)에 저장하는 데이터에 따라, NAND 회로, NOR 회로, XOR 회로 또는 NOT 회로로서 기능할지 선택할 수 있다.

[0045] 또한, 프로그래머블 스위치(30)에 포함된 메모리부(32)의 구성을 도 1(C)에 도시한다. 도 1(C)에 도시하는 바와 같이, 메모리부(32)는 트랜지스터(40)을 포함한다. 트랜지스터(40)의 소스 전극 또는 드레인 전극 중 한쪽과 스위치부(34)는 전기적으로 접속하고, 소스 전극 또는 드레인 전극 중 다른 한쪽과 데이터선 D는 전기적으로 접속하고, 트랜지스터(40)의 게이트 전극은 워드선 W와 전기적으로 접속한다. 여기에서, 트랜지스터(40)로서 오프 전류가 매우 낮은 트랜지스터를 이용한다. 이 트랜지스터(40)를 오프 상태로 함으로써, 스위치부(34)와 전기적으로 접속되는 소스 전극 또는 드레인 전극 중 한쪽에 컨피겨레이션 데이터에 대응하는 전위를 유지할 수 있다. 예를 들면, 소스 전극 또는 드레인 전극 중 한쪽이 고전위 상태를 「1」에 대응시키고, 소스 전극 또는 드레인 전극 중 한쪽이 저전위 상태를 「0」에 대응시키는 것에 의해, 1 비트의 컨피겨레이션 데이터를 저장할 수 있다.

[0046] 오프 전류가 매우 낮은 트랜지스터는 실리콘 반도체보다 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 와이드 밴드갭 반도체를 채널 형성 영역에 포함하는 것으로 한다. 실리콘 반도체보다 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은 와이드 밴드갭 반도체의 일례로서, 탄화 규소(SiC), 질화 갈륨(GaN) 등의 화합물 반도체, In-Ga-Zn-O계 산화물 반도체 등의 금속 산화물로 형성되는 산화물 반도체 등을 적용할 수 있다. 본 실시형태에 있어서, 메모리부(32)에 이용하는 오프 전류가 매우 낮은 트랜지스터로서는 산화물 반도체를 포함하는 것을 이용한다. 회로도에 있어서는 산화물 반도체를 포함한 트랜지스터인 것을 도시하기 위해, OS의 부호를 아울러 기재하는 경우가 있다.

[0047] 메모리부(32) 및 스위치부(34)를 가지는 프로그래머블 스위치(30)의 구체적인 회로 구성을 도 3(A)에 도시한다. 도 3(A)에 도시하는 프로그래머블 스위치는 트랜지스터(112), 트랜지스터(114), 및 트랜지스터(110)를 포함한다. 제 1 입력 단자 PIN1과 트랜지스터(112)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속

되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(112)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 제 2 입력 단자 PIN2와 트랜지스터(114)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(114)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극과 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 데이터선 D와 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 워드선 W와 트랜지스터(110)의 게이트 전극이 전기적으로 접속된다.

[0048] 제 1 입력 단자 PIN1 및 제 2 입력 단자 PIN2는 이 프로그래머블 스위치의 입력 단자이며, 도 1(B)에 도시하는 논리 회로(22a)의 출력 단자 및 논리 회로(22b)의 출력 단자에 전기적으로 접속되어 있다. 출력 단자 POUT는 이 프로그래머블 스위치의 출력 단자이다. 트랜지스터(110)는 도 1(B)에 도시하는 메모리부(32)에 대응하고, 산화물 반도체층을 포함한다. 트랜지스터(112) 및 트랜지스터(114)는 도 1(B)에 도시하는 스위치부(34)에 대응하고, 서로 도전형이 상이하다. 본 실시형태에 있어서는 트랜지스터(112)를 n형으로 하고, 트랜지스터(114)를 p형으로 한다.

[0049] 도 3(A)에 도시하는 프로그래머블 스위치는 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽과 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극이 전기적으로 접속된 노드(이하, 노드 FG라고도 표기함)에 컨피겨레이션 데이터에 대응하는 전위를 공급하고, 이 전위를 노드 FG에 유지하는 것에 의해, 제 1 입력 단자 PIN1 또는 제 2 입력 단자 PIN2의 입력을 선택하여 출력 단자 POUT로부터 출력할 수 있다. 이하에 프로그래머블 스위치에서의 컨피겨레이션 데이터의 기입 및 유지의 동작에 대하여 설명한다.

[0050] 우선, 워드선 W의 전위를 트랜지스터(110)가 온 상태가 되는 전위로 하여 트랜지스터(110)를 온 상태로 한다. 이것에 의해 데이터선 D의 전위가 노드 FG에 부여된다. 즉, 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극 각각에 소정의 전위가 부여된다(데이터의 기입). 여기에서, 이 소정의 전위가 고전위인 경우, n형의 트랜지스터(112)가 온 상태가 되고, p형의 트랜지스터(114)가 오프 상태가 되어, 제 1 입력 단자 PIN1의 입력이 출력 단자 POUT로부터 출력된다. 또한, 이 소정의 전위가 저전위인 경우, p형의 트랜지스터(114)가 온 상태가 되고, n형의 트랜지스터(112)가 오프 상태가 되어 제 2 입력 단자 PIN2의 입력이 출력 단자 POUT로부터 출력된다.

[0051] 데이터선 D의 전위를 노드 FG에 기입한 후, 이 데이터선 D의 전위를 유지한 상태로, 워드선 W의 전위를 트랜지스터(110)가 오프 상태가 되는 전위로 하여 트랜지스터(110)를 오프 상태로 한다. 트랜지스터(110)는 산화물 반도체와 같은 와이드 갭 반도체를 포함하고, 오프 전류가 매우 낮으므로; 노드 FG에 부여된 소정의 전위가 유지되게 된다(데이터의 유지). 즉, 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극 각각에 공급된 소정의 전위가 유지되므로, 트랜지스터(112) 및 트랜지스터(114)의 접속 상태도 유지되게 된다. 따라서, 도 3(A)에 도시하는 프로그래머블 스위치의 전환 상태를 전원 전위의 공급 없이 유지할 수 있게 된다.

[0052] 따라서, 프로그래머블 스위치의 메모리부의 트랜지스터는 트랜지스터의 오프 전류를 충분히 작게 할 수 있는, 산화물 반도체와 같은 와이드 밴드갭 반도체를 포함하는 것에 의해, 전원 전위의 공급이 차단되고 있는 동안에도 장기간에 걸쳐 컨피겨레이션 데이터를 유지하고, 프로그래머블 스위치의 전환 상태를 유지할 수 있다. 따라서, 프로그래머블 로직 디바이스 전체 또는 그 일부로의 전원 전위의 공급을 일시적으로 차단하고, 필요할 때에만 필요한 회로 블록에서 전원 전위 공급을 선택하는 구동 방법(노멀리-오프의 구동 방법)에 의하여, 이 프로그래머블 스위치를 포함한 논리 블록으로 전원 전위가 공급되지 않을 때도, 프로그래머블 스위치의 전환 상태는 유지된다. 따라서, 노멀리-오프의 구동 방법에 의하여 전원 공급을 행할 때, 컨피겨레이션 데이터의 기입을 생략하는 것이 가능해지므로, 논리 블록의 기동 시간을 짧게 할 수 있다. 따라서, 본 실시형태에 나타내는 프로그래머블 로직 디바이스에서, 노멀리-오프의 구동 방법을 이용하여 저소비 전력화를 도모할 수 있다.

[0053] 또한, 트랜지스터(110)를 통하여 컨피겨레이션 데이터에 따른 전위를 노드 FG에 공급함으로써 이 데이터를 기입하는 것이 가능하다. 프로그래머블 스위치의 메모리부에 플로팅 게이트를 이용하여 전자 주입으로 컨피겨레이션 데이터를 기입하는 경우와 비교하여, 데이터 기입에 필요한 전위 및 시간을 대폭 저감할 수 있다. 또한, 전자 주입을 행할 때에 발생한 터널 전류에 의한 플로팅 게이트의 게이트 절연층의 열화의 문제도 발생하지 않으므로; 데이터의 재기입 가능 횟수를 늘릴 수 있다.

[0054] 또한, 일반적인 프로그래머블 로직 디바이스에서는 이 프로그래머블 로직 디바이스를 포함하는 반도체 장치의 동작을 정지한 상태에서, 프로그래머블 스위치의 전환에 의하여 논리 블록의 회로 구성의 변경을 행한다. 이것을 컨피겨레이션이라고 부른다. 반면, 이 반도체 장치의 동작 중에 컨피겨레이션을 행하는 것을 동적 컨피겨레이션라고 부른다. 상기한 바와 같이, 본 실시형태에 나타내는 프로그래머블 스위치는 컨피겨레이션 데이터의

기입이 고속화되어 있으므로; 동적 컨피겨레이션도 용이하게 행할 수 있다.

[0055] 또한, 상기한 프로그래머블 스위치는 도 1(A)에 도시하는 논리 블록(10)뿐만 아니라, 도 1(A)에 도시하는 스위치 매트릭스에 배선(11)의 접속 상태를 저장시켜 두는 것도 가능하다.

[0056] 또한, 도 3(A)에 도시하는 구성과는 다른 프로그래머블 스위치에 대하여 도 3(B) 내지 도 3(D), 도 4(A) 내지 도 4(C) 및 도 5(A) 내지 도 5(C)를 이용하여 설명한다.

[0057] 도 3(B)에 도시하는 프로그래머블 스위치는 용량 소자(116)가 포함되는 도 3(A)에 도시하는 프로그래머블 스위치와 다르다. 캐패시터(116)의 한쪽의 단자가 노드 FG와 전기적으로 접속하고, 용량 소자(116)의 다른 한쪽의 단자가 일정한 전위와 전기적으로 접속한다. 여기에서 본 실시형태에 나타내는 용량 소자(116)의 다른 한쪽의 단자는 접지되어 있다. 단, 그 외의 구성에 대해서는 도 3(A)에 도시하는 프로그래머블 스위치의 구성과 마찬가지이다.

[0058] 이와 같이 용량 소자(116)를 형성하는 것에 의해, 데이터선 D로부터 노드 FG에 컨피겨레이션 데이터에 해당하는 전위를 입력할 때에 노드 FG에 공급된 전하를 용이하게 유지할 수 있으므로; 프로그래머블 스위치의 컨피겨레이션 데이터의 유지 특성을 용이하게 향상시킬 수 있다. 노드 FG의 기생 용량이 충분히 큰 경우에는, 특별히 용량 소자를 형성하지 않아도 용량 소자(116)를 형성하는 경우와 같은 효과를 얻을 수도 있다.

[0059] 또한, 도 3(C)에 도시하는 프로그래머블 스위치는 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽과 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극 사이에 버퍼(118)가 제공되어 있다는 점에 있어서, 도 3(A)에 도시하는 프로그래머블 스위치와 다르다. 여기에서는, 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극을 포함한 노드를 노드 FG로 한다. 단, 그 외의 구성에 대해서는 도 3(A)에 도시하는 프로그래머블 스위치의 구성과 같다.

[0060] 이와 같이 버퍼(118)를 형성하고, 전원선으로부터 노드 FG에 전위를 공급함으로써, 제 1 입력 단자 PIN1, 제 2 입력 단자 PIN2 또는 출력 단자 POUT의 전위가 변동해도, 트랜지스터(112) 또는 트랜지스터(114)의 용량 결합으로 노드 FG의 전위가 변화하는 것을 막을 수 있다. 또한, 버퍼(118)를 제공하는 경우, 데이터선 D로부터 입력된 전위가 트랜지스터(110)에서 트랜지스터(110)의 문턱 전위의 분만큼 전압 강하해도, 전원 전위에 따른 전위를 노드 FG에 입력할 수 있다.

[0061] 도 3(D)에 도시하는 프로그래머블 스위치는 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽과, 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극 사이에 인버터(120)가 제공되어 있다는 점에서, 도 3(A)에 도시하는 프로그래머블 스위치와 다르다. 여기에서는, 트랜지스터(112) 및 트랜지스터(114)의 게이트 전극을 포함한 노드를 노드 FG로 한다. 또한, 그 외의 구성에 대해서는 도 3(A)에 도시하는 프로그래머블 스위치의 구성과 같다. 단, 데이터선 D로부터 입력된 전위의 극성이 인버터(120)에 의해 역극성이 되므로, 도 3(D)에 도시하는 프로그래머블 스위치의 스위치 동작은 도 3(A)에 도시하는 프로그래머블 스위치와 스위치의 동작이 역(reverse)이다.

[0062] 이와 같이 인버터(120)를 제공하여 전원선으로부터 노드 FG에 전위를 공급하여, 제 1 입력 단자 PIN1, 제 2 입력 단자 PIN2 또는 출력 단자 POUT의 전위가 변동해도 트랜지스터(112) 또는 트랜지스터(114)의 용량 결합으로 노드 FG의 전위가 변화하는 것을 막을 수 있다. 또한, 인버터(120)가 제공될 때, 데이터선 D로부터 입력된 전위가 트랜지스터(110)에서 트랜지스터(110)의 문턱 전위의 분만큼 전압 강하해도, 전원 전위에 해당하는 전위를 노드 FG에 입력할 수 있다.

[0063] 도 3(A) 내지 도 3(D)에 도시하는 프로그래머블 스위치에서는, 스위치부에 포함되는, 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜지스터(112) 및 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜지스터(114)로서 서로 도전형이 다른 트랜지스터를 이용했지만; 본 실시형태에 관한 스위치부의 구성은 이것에 한정되는 것은 아니다. 스위치부를 구성하는 2개의 트랜지스터를 같은 도전형으로 할 수도 있다.

[0064] 예를 들면, 도 4(A)에 도시하는 바와 같은 구성으로 해도 좋다. 도 4(A)에 도시하는 프로그래머블 스위치는 트랜지스터(132), 트랜지스터(134), 트랜지스터(130), 및 인버터(144)를 포함한다. 제 1 입력 단자 PIN1과 트랜지스터(132)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(132)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 제 2 입력 단자 PIN2와 트랜지스터(134)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(134)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 트랜지스터(132)의 게이트 전극과 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되

고, 데이터선 D와 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 워드선 W와 트랜지스터(130)의 게이트 전극이 전기적으로 접속된다. 트랜지스터(134)의 게이트 전극과 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽 사이에 전기적으로 인버터(144)가 접속된다. 트랜지스터(130)는 산화물 반도체층을 포함한다. 트랜지스터(132)와 트랜지스터(134)는 같은 도전형을 가지고; 여기서는 트랜지스터(132)와 트랜지스터(134)는 n형의 트랜지스터이다.

[0065] 즉, 도 4(A)에 도시하는 프로그래머블 스위치는, 스위치부에 포함되는 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜지스터(132)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜지스터(134)가 같은 도전형인 점, 및 트랜지스터(134)의 게이트 전극과 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽 사이에 인버터(144)가 구비되어 있다는 점에서, 도 3(A)에 도시하는 프로그래머블 스위치와 다르다. 이러한 구성으로, 데이터선 D로부터 입력된 컨피겨레이션 데이터에 대응한 전위는 트랜지스터(132)의 게이트 전극(노드 FG1)과 트랜지스터(134)(노드 FG2)의 게이트 전극에서 서로 역극성이 되므로, 트랜지스터(132)와 트랜지스터(134) 중 한쪽이 온 상태가 되고, 다른 한쪽이 오프 상태가 된다.

[0066] 또한, 도 4(B)에 도시하는 바와 같이, 프로그래머블 스위치의 스위치부에 포함되는 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜지스터(136)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜지스터(138)를 p형의 트랜지스터로 하는 구성으로 해도 좋다. 또한, 그 외의 구성에 대해서는 도 4(A)에 도시하는 프로그래머블 스위치의 구성과 같다.

[0067] 또한, 도 4(C)에 도시하는 바와 같이, 프로그래머블 스위치의 스위치부를 포함하는 트랜지스터 대신에, 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜스미션 게이트(140)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜스미션 게이트(142)가 제공되는 구성으로 해도 좋다. 트랜스미션 게이트(140)는 n형의 트랜지스터와 p형의 트랜지스터를 포함한다. 트랜지스터 각각이 소스 전극 또는 드레인 전극 중 한쪽을 제 1 입력 단자 PIN1과 전기적으로 접속하고, 트랜지스터 각각이 소스 전극 또는 드레인 전극 중 다른 한쪽을 출력 단자 POUT와 전기적으로 접속하고, n형의 트랜지스터의 게이트 전극(노드 FG1)을 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고, p형의 트랜지스터의 게이트 전극(노드 FG2)을 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽과 인버터(144)를 통하여 전기적으로 접속하고 있다. 마찬가지로, 트랜스미션 게이트(142)는 n형의 트랜지스터와 p형의 트랜지스터를 포함하고, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 한쪽을 제 2 입력 단자 PIN2와 전기적으로 접속하고, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 다른 한쪽을 출력 단자 POUT와 전기적으로 접속하고, n형의 트랜지스터의 게이트 전극(노드 FG2)을 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽과 인버터(144)를 통하여 전기적으로 접속하고, p형의 트랜지스터의 게이트 전극(노드 FG1)을 트랜지스터(130)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고 있다. 단, 그 외의 구성에 대해서는 도 4(A)에 도시하는 프로그래머블 스위치의 구성과 마찬가지이다.

[0068] 프로그래머블 스위치의 스위치부가 하나의 트랜지스터를 포함하고 있는 경우, 이 트랜지스터의 접속 상태(온 상태 또는 오프 상태)를 유지하기 위하여, 이 트랜지스터의 소스 전극 또는 드레인 전극에 걸리는 최대 전위(또는 최소 전위)보다 이 트랜지스터의 문턱 전위분만큼 높은(또는 낮은) 전위를, 이 트랜지스터의 게이트 전극에 가할 필요가 있다. 그러나, 상기한 바와 같이, 프로그래머블 스위치의 스위치부에 트랜스미션 게이트를 이용하는 경우, 상기의 문턱 전위분만큼 높은(또는 낮은) 전위를 게이트 전극에 가하지 않아도 스위칭을 행할 수 있다. 따라서, 프로그래머블 스위치의 저소비 전력화를 도모할 수 있다.

[0069] 또한, 도 5(A)에 도시하는 바와 같은 구성으로 해도 좋다. 도 5(A)에 도시하는 프로그래머블 스위치는 트랜지스터(154), 트랜지스터(156), 트랜지스터(150) 및 트랜지스터(154)를 포함한다. 제 1 입력 단자 PIN1과 트랜지스터(154)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(154)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 제 2 입력 단자 PIN2와 트랜지스터(156)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 이 프로그래머블 스위치의 출력 단자 POUT와 트랜지스터(156)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속된다. 트랜지스터(154)의 게이트 전극과 트랜지스터(150)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 데이터선 D와 트랜지스터(150)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 워드선 W와 트랜지스터(150)의 게이트 전극이 전기적으로 접속되나. 트랜지스터(156)의 게이트 전극과 트랜지스터(152)의 소스 전극 또는 드레인 전극 중 한쪽이 전기적으로 접속되고, 데이터선 DB와 트랜지스터(152)의 소스 전극 또는 드레인 전극 중 다른 한쪽이 전기적으로 접속되고, 워드선 W와 트랜지스터(152)의 게이트 전극이 전기적으로 접속되는 트랜지스터(152)를 가진다. 여기에서, 트랜지스터(150) 및 트랜지스터(152)는 각각 산화물

반도체층을 포함한다. 또한, 데이터선 D의 전위와 데이터선 DB의 전위는 서로 역극성으로 한다.

[0070] 도 5(A)에 도시하는 프로그래머블 스위치는 스위치부에 포함된 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜지스터(154)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜지스터(156)가 같은 도전형인 점, 및 데이터선 D와 전기적으로 접속된 트랜지스터(150)와, 데이터선 DB와 전기적으로 접속된 트랜지스터(152)가 제공되어 있다는 점에서 도 3(A)에 도시하는 프로그래머블 스위치와 다르다. 이러한 구성으로 하는 것에 의해, 데이터선 D로부터 입력되어 트랜지스터(154)의 게이트 전극(노드 FG1)에 유지된 전위와, 데이터선 DB로부터 입력되어 트랜지스터(156)의 게이트 전극(노드 FG2)에 유지된 전위는 서로 역극성이 되므로; 트랜지스터(154)와 트랜지스터(156) 중 한쪽이 온 상태가 되고, 다른 한쪽이 오프 상태가 된다.

[0071] 또한, 도 5(B)에 도시하는 바와 같이 프로그래머블 스위치의 스위치부에 포함되는 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜지스터(158)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜지스터(160)를 p형의 트랜지스터로 하는 구성으로 해도 좋다. 단, 그 외의 구성에 대해서는 도 5(A)에 도시하는 프로그래머블 스위치의 구성과 마찬가지이다.

[0072] 또한, 도 5(C)에 도시하는 바와 같이, 프로그래머블 스위치의 스위치부에 포함되는 트랜지스터 대신에, 제 1 입력 단자 PIN1과 전기적으로 접속된 트랜스미션 게이트(162)와 제 2 입력 단자 PIN2와 전기적으로 접속된 트랜스미션 게이트(164)가 제공되는 구성으로 해도 좋다. 트랜스미션 게이트(162)는 n형의 트랜지스터와 p형의 트랜지스터를 포함한다. 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 한쪽을 제 1 입력 단자 PIN1과 전기적으로 접속하고, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 다른 한쪽을 출력 단자 POUT와 전기적으로 접속하고, n형의 트랜지스터의 게이트 전극(노드 FG1)을 트랜지스터(150)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고, p형의 트랜지스터의 게이트 전극(노드 FG2)을 트랜지스터(152)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고 있다. 마찬가지로, 트랜스미션 게이트(164)는 n형의 트랜지스터와 p형의 트랜지스터를 포함한다. 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 한쪽을 제 2 입력 단자 PIN2와 전기적으로 접속하고, 트랜지스터 각각의 소스 전극 또는 드레인 전극 중 다른 한쪽을 출력 단자 POUT와 전기적으로 접속하고, n형의 트랜지스터의 게이트 전극(노드 FG2)을 트랜지스터(152)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고, p형의 트랜지스터의 게이트 전극(노드 FG1)을 트랜지스터(150)의 소스 전극 또는 드레인 전극 중 한쪽과 전기적으로 접속하고 있다. 또한, 그 외의 구성에 대해서는 도 5(A)에 도시하는 프로그래머블 스위치의 구성과 마찬가지이다.

[0073] 이와 같이 프로그래머블 스위치의 스위치부에 트랜스미션 게이트를 이용할 때, 도 4(C)에 도시하는 트랜스미션 게이트를 이용한 프로그래머블 스위치와 마찬가지로, 트랜지스터의 소스 전극 또는 드레인 전극에 걸리는 최대 전위(또는 최소 전위)보다 이 트랜지스터의 문턱 전위분만큼 높은(또는 낮은) 전위를 게이트 전극에 가하지 않아도 스위칭을 행할 수 있으므로, 프로그래머블 스위치의 저소비 전력화를 도모할 수 있다.

[0074] 단, 도 4(A) 내지 도 4(C) 및 도 5(A) 내지 도 5(C)에 도시하는 프로그래머블 스위치에 대해서도 도 3(B) 내지 도 3(D)에 도시하는 프로그래머블 스위치와 같은 구성을 조합할 수 있다. 예를 들면, 도 4(A) 내지 도 4(C) 및 도 5(A) 내지 도 5(C)에 도시하는 프로그래머블 스위치의 노드 FG1 및 노드 FG2에 도 3(B)에 도시하는 바와 같이, 용량 소자가 제공되는 것에 의해, 프로그래머블 스위치의 컨피겨레이션 데이터의 유지 특성을 용이하게 향상시킬 수 있다.

[0075] 이상과 같이, 프로그래머블 스위치의 메모리부의 트랜지스터가, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 산화물 반도체와 같은 와이드 밴드갭 반도체를 포함하는 것에 의해, 전원 전위의 공급이 차단되었을 때라도 컨피겨레이션 데이터를 유지하는 것이 가능하게 된다. 따라서, 전원 공급 후의 컨피겨레이션 데이터의 기입을 생략할 수 있게 되므로, 논리 블록의 기동 시간을 짧게 할 수 있다. 따라서, 프로그래머블 로직 디바이스에 노멀리-오프의 구동 방법을 이용하여 저소비 전력화를 도모할 수 있다.

[0076] 본 실시형태에 나타내는 구성, 방법 등은 본 실시형태에 나타내는 구성, 방법들과 조합하여 이용할 수도 있고, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수도 있다.

[0077] (실시형태 2)

[0078] 본 실시형태에서는 실시형태 1에 나타내는 프로그래머블 로직 디바이스의 프로그래머블 스위치의 제작 방법에 대하여, 도 6(A) 내지 도 6(D), 도 7(A) 내지 도 7(B), 도 8(A) 내지 도 8(C), 및 도 9(A) 내지 도 9(B)를 이용하여 설명한다. 예로서 도 3(A)에 도시하는 트랜지스터(110), 트랜지스터(112) 및 트랜지스터(114)를 포함하는 프로그래머블 스위치의 제작 방법에 대하여 설명한다. 또한, 도 6(A) 내지 도 6(D), 도 7(A) 내지 도 7(B),

도 8(A) 내지 도 8(C), 및 도 9(A) 내지 도 9(B)에 있어서, A-B로 나타내는 단면도는, 산화물 반도체막을 가지는 트랜지스터(110), n형의 트랜지스터(112) 및 p형의 트랜지스터(114)가 형성되는 영역의 단면도에 상당하고, C-D로 나타내는 단면도는 산화물 반도체막을 가지는 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽과 n형의 트랜지스터(112)의 게이트 전극이 접속된 노드 FG의 단면도에 상당한다. 단, 본 실시형태에서는, 직접 도시하지 않았지만, 도 3(A)에 도시하는 바와 같이 p형의 트랜지스터(114)의 게이트 전극도 노드 FG와 전기적으로 접속된다.

[0079] 우선, 도 6(A)에 도시하는 바와 같이, n형의 반도체 기판(201)에 소자 분리 영역(203)을 형성한 후, n형의 반도체 기판(201)의 일부에 p웰 영역(205)을 형성한다.

[0080] n형의 반도체 기판(201)으로서는, n형의 도전형을 가지는 단결정 실리콘 기판(실리콘 웨이퍼), 화합물 반도체 기판(SiC 기판, 사파이어 기판, GaN 기판 등)을 이용할 수 있다.

[0081] 또한, n형의 반도체 기판(201) 대신에, SOI(Silicon On Insulator) 기판으로서, 경면 연마 웨이퍼에 산소 이온을 주입한 후, 고온 가열하는 것에 의해, 표면으로부터 일정한 깊이로 산화층을 형성시킴과 동시에, 표면층에 발생한 결함을 소멸시켜서 만들어진 소위 SIMOX(Separation by IMplanted OXygen) 기판이나; 수소 이온 주입에 의해 형성된 미소 보이드의 열처리에 의한 성장을 이용하여 반도체 기판을 벽개(cleave)하는 스마트 컷법이나, ELTRAN법(Epitaxial Layer Transfer : 캐논사(Canon Inc.)의 등록상표) 등을 이용하여 형성한 SOI 기판을 이용해도 좋다.

[0082] 소자 분리 영역(203)은 LOCOS(Local Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법 등을 이용하여 형성한다.

[0083] p웰 영역(205)은 붕소 등의 p형 도전성을 부여하는 불순물 원소가 $5\times10^{15}cm^{-3}$~$1\times10^{16}cm^{-3}$ 정도의 농도로 첨가되어 있다. p웰 영역(205)은 반도체 기판(201)의 일부에 마스크를 형성하고, 반도체 기판(201)의 일부에 붕소 등의 p형 도전성을 부여하는 불순물 원소를 첨가하여 형성된다.

[0084] 또한, 여기에서는, n형의 반도체 기판을 이용하고 있지만, p형의 반도체 기판을 이용하고, p형의 반도체 기판에 n형 도전성을 부여하는 인, 비소 등의 불순물 원소가 첨가된 n웰 영역을 형성해도 좋다. 또한, 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)에 도시하는 바와 같이, 프로그래머블 스위치의 스위치부에 포함된 트랜지스터가 같은 도전형을 갖는 경우, p웰 영역이나 n웰 영역을 형성할 필요는 없다.

[0085] 다음에, 도 6(B)에 도시하는 바와 같이, 반도체 기판(201) 위에 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극(209a) 및 게이트 전극(209b)을 형성한다.

[0086] 열처리를 행하여 반도체 기판(201)의 표면을 산화하여, 산화 실리콘막을 형성한다. 또는, 열산화법에 의해 산화 실리콘막을 형성한 후에, 질화 처리를 행하는 것에 의해 산화 실리콘막의 표면을 질화시킴으로써; 산화 실리콘막과 산소와 질소를 가지는 실리콘막(산화 질화 실리콘막)의 적층 구조로 형성한다. 다음에, 산화 실리콘막 또는 산질화 실리콘막의 일부를 선택적으로 에칭하여, 게이트 절연막(207a) 및 게이트 절연막(207b)을 형성한다. 혹은, 두께 5~50nm의 산화 실리콘, 산화 질화 실리콘, 고유전율 물질(high-k 재료라고도 함)인 탄탈 산화물, 산화 하프늄, 산화 하프늄 실리케이트, 산화 지르코늄, 산화 알루미늄, 산화 티탄 등의 금속 산화물, 또는 산화 란탄 등의 희토류 산화물 등을 CVD법, 스퍼터링법 등을 이용하여 형성한 후, 선택적으로 일부를 에칭하여, 게이트 절연막(207a) 및 게이트 절연막(207b)을 형성한다.

[0087] 게이트 전극(209a) 및 게이트 전극(209b)은 탄탈, 텅스텐, 티탄, 몰리브덴, 크롬, 니오브 등으로부터 선택된 금속, 또는 이러한 금속을 주성분으로 포함하는 합금 재료 혹은 화합물 재료를 이용하여 형성하는 것이 바람직하다. 또한, 인과 같은 불순물을 첨가한 다결정 실리콘을 이용할 수 있다. 또한, 금속 질화물막과 상기의 금속막을 포함하는 적층 구조로 게이트 전극(209a) 및 게이트 전극(209b)을 가져도 좋다. 금속 질화물로서는 질화 텅스텐, 질화 몰리브덴, 또는 질화 티탄을 이용할 수 있다. 금속 질화물막이 제공될 때, 금속막의 밀착성을 향상시킬 수 있고; 따라서 박리를 방지할 수 있다.

[0088] 게이트 전극(209a) 및 게이트 전극(209b)은 도전막을 스퍼터링법, CVD법 등에 의해 형성한 후, 이 도전막의 일부를 선택적으로 에칭하여 형성된다.

[0089] 여기에서는, 열처리를 행하여, 반도체 기판(201) 위의 표면을 산화하여 산화 실리콘막을 형성하고; 이 산화 실리콘막 위에 질화 탄탈막 및 텅스텐막이 적층된 도전막을 스퍼터링법에 의해 형성한 후, 산화 실리콘막 및 도전막의 각각 일부를 선택적으로 에칭한다. 따라서 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극

(209a) 및 게이트 전극(209b)을 형성한다.

[0090] 단, 고집적화를 실현하기 위해서는, 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드 월 절연층이 구비되지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터의 특성을 중시하는 경우에는, 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드 월 절연층이 구비될 수도 있다.

[0091] 다음에, 도 6(C)에 도시하는 바와 같이, 반도체 기판(201)에 p형 도전성을 부여하는 불순물 원소를 첨가하여 p형의 불순물 영역(213a), p형의 불순물 영역(213b)을 형성한다. 또한, p웰 영역(205)에 n형 도전성을 부여하는 불순물 원소를 첨가하여, n형의 불순물 영역(211a), n형의 불순물 영역(211b)을 형성한다. n형의 불순물 영역(211a, 211b)에서의 n형 도전성을 부여하는 불순물 원소 농도는 $1\times10^{19}/cm^3$ 이상 $1\times10^{21}/cm^3$ 이하이고, p형 불순물 영역(213a, 213b)에서의 p형 도전성을 부여하는 불순물 원소의 농도는 $1\times10^{19}/cm^3$ 이상 $1\times10^{21}/cm^3$ 이하이다. n형을 부여하는 불순물 원소 및 p형을 부여하는 불순물 원소는 이온 도핑법, 이온 주입법 등을 적절히 이용하여, 반도체 기판(201) 및 p웰 영역(205)에 각각 첨가한다. 또한, 도 4(A), 도 4(B), 도 5(A) 및 도 5(B)에 도시하는 바와 같이, 프로그래머블 스위치의 스위치부에 포함된 트랜지스터가 같은 도전형을 가지는 경우, p형을 부여하는 불순물 원소 또는 n형을 부여하는 불순물 원소 중 어느 한쪽을 첨가하면 좋다.

[0092] 또한, 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드 월 절연층을 형성하는 경우, 이 사이드 월 절연층과 중첩하는 영역에 n형의 불순물 영역(211a), n형의 불순물 영역(211b), p형의 불순물 영역(213a) 및 p형의 불순물 영역(213b)과는 다른 불순물 농도의 불순물 영역을 형성할 수 있다.

[0093] 다음에, 도 6(D)에 도시하는 바와 같이, 반도체 기판(201), 소자 분리 영역(203), 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극(209a) 및 게이트 전극(209b) 위에, 스퍼터링법, CVD법 등에 의해, 절연막(215) 및 절연막(217)을 형성한다.

[0094] 절연막(215) 및 절연막(217)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 포함하는 적층 또는 단층으로 형성해도 좋다. 절연막(215)을 CVD법으로 형성할 때, 절연막(215)의 수소 함유량이 높아진다. 이러한 절연막(215)을 이용하여 가열 처리를 행하는 것에 의해, 반도체 기판을 수소화하고, 수소에 의해 댕글링 본드를 종단시키고, 이 반도체 기판 중의 결함을 저감할 수 있다.

[0095] 또한, 절연막(217)으로서 BPSG(Boron Phosphorus Silicon Glass) 등의 무기 재료, 또는 폴리이미드, 아크릴 등의 유기 재료를 이용하여 형성함으로써, 절연막(217)의 평탄성을 높일 수 있다.

[0096] 절연막(215) 또는 절연막(217)을 형성한 후, n형의 불순물 영역(211a), n형의 불순물 영역(211b), p형의 불순물 영역(213a), p형의 불순물 영역(213b)에 첨가된 불순물 원소를 활성화하기 위한 열처리를 행한다.

[0097] 이상의 공정에 의해, 도 6(D)에 도시하는 바와 같이, n형의 트랜지스터(112) 및 p형의 트랜지스터(114)를 제작할 수 있다. 여기에서, 트랜지스터(112) 및 트랜지스터(114)는 단결정 실리콘과 같은 산화물 반도체와는 다른 반도체를 이용하여 형성되므로, 트랜지스터(112) 및 트랜지스터(114)는 충분한 고속 동작이 가능하게 된다. 따라서, 충분한 고속 동작이 가능한 프로그래머블 스위치를 제조할 수 있다.

[0098] 다음에, 절연막(215, 217)의 일부를 선택적으로 에칭하여, 개구부를 형성한다. 다음에, 개구부에 콘택트 플러그(219a) 내지 콘택트 플러그(219d)를 형성한다. 대표적으로는, 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP(Chemical Mechanical Polishing)법이나 에칭 등에 의해 평탄화 처리를 행하고, 도전막의 불필요한 부분을 제거하여 콘택트 플러그(219a) 내지 콘택트 플러그(219d)를 형성한다.

[0099] 콘택트 플러그(219a) 내지 콘택트 플러그(219d)가 되는 도전막은 WF_6 가스와 SiH_4 가스로부터 CVD법으로 텅스텐 실리사이드를 형성하고, 개구부에 채움으로써 형성된다.

[0100] 다음에, 절연막(217) 및 콘택트 플러그(219a) 내지 콘택트 플러그(219d) 위에, 스퍼터링법, CVD법 등에 의해 절연막을 형성한 후, 이 절연막의 일부를 선택적으로 에칭하여, 홈부를 가지는 절연막(221)을 형성한다. 다음에, 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP법이나 에칭 등에 의해 평탄화 처리를 행하여, 이 도전막의 불필요한 부분을 제거하고, 배선(223a) 내지 배선(223c)을 형성한다(도 7(A) 참조).

[0101] 여기에서, 배선(223a)은 트랜지스터(112)의 소스 전극 또는 드레인 전극 중 한쪽으로서 기능하고, 도 3(A)에 도시하는 제 1 입력 단자 PIN1과 전기적으로 접속된다. 배선(223c)은 트랜지스터(114)의 소스 전극 또는 드레인 전극 중 한쪽으로서 기능하고, 도 3(A)에 도시하는 제 2 입력 단자 PIN2와 전기적으로 접속된다. 배선(223b)은

트랜지스터(112)의 소스 전극 또는 드레인 전극 중 다른 한쪽, 및 트랜지스터(114)의 소스 전극 또는 드레인 전극 중 다른 한쪽으로서 기능하고, 도 3(A)에 도시하는 출력 단자 POUT와 전기적으로 접속된다.

[0102] 절연막(221)은 절연막(215)과 같은 재료를 이용하여 형성할 수 있다.

[0103] 배선(223a) 내지 배선(223c)으로서 알루미늄, 티탄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텅스텐으로 이루어지는 단체 금속 또는 이것을 주성분으로 포함하는 합금을 포함하는 단층 구조 또는 적층 구조로 형성한다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 텅스텐막 위에 티탄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티탄막과, 그 티탄막 위에 중첩하여 알루미늄막을 적층하고, 또한 그 위에 티탄막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함한 투명 도전 재료를 이용해도 좋다.

[0104] 평탄화된 절연막(221) 및 배선(223a) 내지 배선(223c)을 이용함으로써, 후에 형성하는 산화물 반도체막을 포함하는 트랜지스터에서의 전기 특성의 편차를 저감할 수 있다. 또한, 산화물 반도체막을 포함하는 트랜지스터를 수율 높게 형성할 수 있다.

[0105] 다음에, 가열 처리 또는 플라즈마 처리에 의해 절연막(221) 및 배선(223a) 내지 배선(223c)에 포함되는 수소를 이탈시키는 것이 바람직하다. 이 결과, 후의 가열 처리에 있어서, 후에 형성되는 절연막 및 산화물 반도체막 중에 수소가 확산하는 것을 막을 수 있다. 또한, 가열 처리는 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서, 100℃ 이상 기판의 변형점 미만으로 행한다. 또한, 플라즈마 처리는 희가스, 산소, 질소 또는 산화질소(아산화질소, 일산화질소, 이산화질소 등)를 이용한다.

[0106] 다음에, 절연막(221) 및 배선(223a) 내지 배선(223c) 위에 스퍼터링법, CVD법 등에 의해, 절연막(225)을 형성한다. 절연막(225)으로서는, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄을 포함하는 단층 또는 적층으로 형성한다. 절연막(225)으로서 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 이용하여 형성하는 것이 바람직하다. 가열에 의해 산소의 일부가 이탈하는 산화 절연막으로서는 화학 양론비를 충족시키는 산소보다 많은 산소를 포함한 산화 절연막을 이용한다. 가열에 의해 산소의 일부가 이탈하는 산화 절연막은 가열에 의해 산소가 이탈하기 때문에; 후의 공정으로 행하는 가열에 의해 산화물 반도체막에 산소를 확산시킬 수 있다.

[0107] 또한, 절연막(225)은 CMP 처리 등을 행하여 평탄화를 하는 것이 바람직하다. 절연막(225)의 표면의 평균면 거칠기(Ra)는 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 한다.

[0108] 단, 본 명세서 등에 있어 평균면 거칠기(Ra)란 JISB0601：2001(ISO4287：1997)으로 정의되고 있는 중심선 평균 거칠기(Ra)를 측정면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현된다.

[0109] 평균면 거칠기(Ra)는 측정 데이터를 나타내는 면인 측정면을 Z=F(X, Y)로 나타낼 때, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현되며, 다음의 식 (1)으로 나타내어진다.

수학식 1

[0110]
$$R_a = \frac{1}{S_0}\int_{Y_1}^{Y_2}\int_{X_1}^{X_2}\left|F(X,Y) - Z_0\right| dXdY$$

[0111] 여기에서, 지정면이란, 거칠기 계측의 대상이 되는 면이며, 좌표 (X_1, Y_1), (X_1, Y_2), (X_2, Y_1), 및 (X_2, Y_2)로 나타내는 4점으로 둘러싸이는 장방형의 영역이다. 지정면이 이상적으로 플랫일 때의 면적을 S_0로 한다. 또한, 기준면이란, 지정면의 평균의 높이에서의 XY 평면과 평행한 면이다. 즉, 지정면의 높이의 평균값을 Z_0라고 할 때, 기준면의 높이도 Z_0라고 나타낸다. 평균면 거칠기(Ra)는 원자간력 현미경(AFM：Atomic Force Microscope)으로 평가할 수 있다.

[0112] 상기 CMP 처리는 1회 행해도 좋고, 복수회 행해도 좋다. 복수회로 나누어 CMP 처리를 행하는 경우는 높은 연마 레이트의 일차 연마를 행한 후, 낮은 연마 레이트의 마무리 연마를 행하는 것이 바람직하다. 이와 같이 연마

레이트가 다른 연마를 조합하는 것에 의해, 절연막(225)의 표면의 평탄성을 더 향상시킬 수 있다.

[0113] 또한, 절연막(225)을 평탄화시키는 처리로서는 플라즈마 처리를 이용할 수도 있다. 플라즈마 처리는 진공의 체임버에 불활성 가스, 예를 들면 아르곤 가스 등의 희가스를 도입하고, 피처리면을 음극으로 하는 전계를 가하여 행한다. 그 원리로서는 플라즈마 드라이 에칭법과 동등하지만, 불활성 가스를 이용하여 행한다. 즉, 이 플라즈마 처리는 피처리면에 불활성 가스의 이온을 조사하고, 스퍼터링 효과에 의해 표면의 미세한 요철을 평탄화하는 처리이다. 따라서, 이 플라즈마 처리를 "역스퍼터링 처리"라고 부를 수도 있다.

[0114] 이 플라즈마 처리 시, 플라즈마 중에는 전자와 아르곤의 양이온이 존재하고, 음극 방향으로 아르곤의 양이온이 가속된다. 가속된 아르곤의 양이온에 의하여 피처리면을 스퍼터한다. 이 때, 이 피처리면의 볼록부부터 우선적으로 스퍼터링된다. 피처리면부터 스퍼터링된 입자는 피처리면의 다른 곳에 부착한다. 이 때, 이 피처리면의 오목부에 입자가 우선적으로 부착한다. 이와 같이 볼록부를 깎아, 오목부를 채움으로써, 피처리면의 평탄성이 향상된다. 또한, 플라즈마 처리와 CMP 처리를 병용하는 것에 의해 절연막(225)의 새로운 평탄화를 도모할 수 있다.

[0115] 또한, 이 플라즈마 처리에 의해, 절연막(225) 표면에 부착된 수소, 수분, 유기물 등의 불순물을 스퍼터링의 효과로 제거하는 것도 가능하다.

[0116] 또한, 산화물 반도체의 형성을 행하기 전에, 성막실의 가열 및 배기를 행하여, 성막실 중의 수소, 물, 수산기, 수소화물 등의 불순물을 제거해 두는 것이 바람직하다. 특히 성막실의 내벽에 흡착하여 존재하는 이러한 불순물을 제거하는 것이 중요하다. 여기에서 가열 처리는, 예를 들면, 100℃ 이상 450℃ 이하로 행하면 좋다. 또한, 성막실의 배기는 드라이 펌프 등의 러프 진공 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 행하면 좋다. 터보 분자 펌프는 큰 사이즈의 분자의 배기가 우수한 한편, 수소나 물의 배기 능력이 낮다. 또한 물의 배기 능력이 높은 크라이오 펌프 또는 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합하는 것이 효과적이다. 또 이 때, 불활성 가스를 도입하면서 불순물의 제거를 행하면 배기하는 것만으로는 이탈하기 어려운 물 등의 이탈 속도를 더 크게 할 수 있다. 이러한 처리를 행하여 산화물 반도체의 성막 전에 성막실의 불순물을 제거함으로써, 산화물 반도체로의 수소, 물, 수산기, 수소화물 등의 혼입을 저감할 수 있다.

[0117] 산화물 반도체막을 스퍼터링 장치로 성막하기 전에, 스퍼터링 장치에 더미 기판을 반입하고, 더미 기판 위에 산화물 반도체막을 성막하여, 타겟 표면, 또는 방착판에 부착된 수소, 수분을 제거하는 공정을 행해도 좋다.

[0118] 다음에, 절연막(225) 위에 스퍼터링법, 도포법, 인쇄법, 증착법, PCVD법, PLD법, ALD법 또는 MBE법 등을 이용하여 산화물 반도체막(227)을 형성한다(도 7(B) 참조). 여기에서는, 산화물 반도체막(227)으로서 스퍼터링법에 의해, 1nm 이상 50nm 이하, 더 바람직하게는 3nm 이상 30nm 이하의 두께를 갖는 산화물 반도체막을 형성한다. 산화물 반도체막(227)의 두께를 상기 두께로 함으로써, 트랜지스터의 미세화와 기인하여 발생할 우려가 있는 단채널 효과를 억제할 수 있다.

[0119] 산화물 반도체막(227)에 이용하는 산화물 반도체로서는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 이 산화물 반도체를 포함한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스태빌라이저로서, 그것들에 더하여 갈륨(Ga)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 주석(Sn)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 하프늄(Hf)을 포함하는 것이 바람직하다. 또한, 스태빌라이저로서 알루미늄(Al)을 포함하는 것이 바람직하다.

[0120] 또한, 다른 스태빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 일종 혹은 복수종을 가져도 좋다.

[0121] 예를 들면, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 이원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 삼원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다. 또한, 상기

산화물 반도체에 산화 실리콘을 포함해도 좋다. 여기에서, 예를 들면, In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 주성분으로서 가지는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 한정되지 않는다. 또한, In-Ga-Zn계 산화물은 In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 좋다. 이 때, 상기 산화물 반도체에 있어서는, 화학 양론비에 대하여 산소를 과잉으로 하면 바람직하다. 산소를 과잉으로 함으로써 산화물 반도체막의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.

[0122] 또한, 산화물 반도체로서 $InMO_3(ZnO)_m$(m>0, 또한, m은 정수가 아님)으로 표기되는 재료를 이용해도 좋다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 $In_3SnO_5(ZnO)n$(n>0, 또 n은 정수)로 표기되는 재료를 이용해도 좋다.

[0123] 또한, 산화물 반도체막(227)에 있어서, 알칼리 금속 또는 알칼리토류 금속의 농도는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 2×10^{16}atoms/cm^3 이하인 것이 바람직하다. 알칼리 금속 및 알칼리토류 금속은 산화물 반도체와 결합하면 캐리어가 생성되어, 트랜지스터의 오프 전류가 상승되는 경우가 있다.

[0124] 또한, 산화물 반도체막(227)에는, 5×10^{18}atoms/cm^3 이하의 질소가 포함되어도 좋다.

[0125] 또한, 산화물 반도체막(227)에 이용할 수 있는 산화물 반도체로, 실리콘 반도체보다 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다 낮은, 와이드 밴드갭 반도체를 이용할 수 있다. 에너지 갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.

[0126] 산화물 반도체막(227)은 단결정 구조 또는 비단결정 구조를 가질 수도 있다. 후자의 경우, 산화물 반도체막(227)은 어몰퍼스 구조 혹은 다결정 구조를 가질 수도 있다. 또한, 산화물 반도체막(227)은 어몰퍼스 중에 결정성을 가지는 부분을 포함한 구조 혹은 비어몰퍼스 구조를 가질 수도 있다.

[0127] 어몰퍼스 상태의 산화물 반도체는 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이러한 산화물 반도체를 이용하여 트랜지스터를 제작했을 때의 계면 산란을 저감할 수 있어, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.

[0128] 결정성을 가지는 산화물 반도체에서는 벌크내 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 어몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하다. 상기한 바와 같이, 절연막(225)의 표면의 평균면 거칠기(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하로 하고, 그 위에 산화물 반도체막(227)을 형성하는 것이 바람직하다.

[0129] 여기에서는, 산화물 반도체막(227)을 스퍼터링법으로 형성한다.

[0130] 스퍼터링법으로 이용하는 타겟으로서는, 예를 들면, 산화 인듐, 산화 주석, 산화 아연, 이원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 삼원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 사원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0131] 산화물 반도체로서 In-Ga-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 예를 들면, 원자수비로 In : Ga : Zn=1 : 1 : 1, 4 : 2 : 3, 3 : 1 : 2, 1 : 1 : 2, 2 : 1 : 3, 또는 3 : 1 : 4 등으로 하면 좋다. 이러한 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 이용할 수 있다.

[0132] 또한, 산화물 반도체로서 In-Sn-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 예를 들면, 원자수비로, In : Sn : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3), In : Sn : Zn=2 : 1 : 3(=1/3 : 1/6 : 1/2), In : Sn : Zn=2 : 1 : 5(=1/4 : 1/8 : 5/8), In : Sn : Zn=1 : 2 : 2(=1/5 : 2/5 : 2/5), In : Sn : Zn=20 : 45 : 35 등으로 하면 좋다. 이러한 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 이용할 수 있다.

[0133] 산화물 반도체로서 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는 원자수비로, In : Zn=50 : 1~1

: 2(몰수비로 환산하면 In_2O_3 : ZnO=25 : 1~1 : 4), 바람직하게는 In : Zn=20 : 1~1 : 1(몰수비로 환산하면 In_2O_3 : ZnO=10 : 1~1 : 2), 더 바람직하게는 In : Zn=15 : 1~1.5 : 1(몰수비로 환산하면 In_2O_3 : ZnO=15 : 2~3 : 4)으로 한다. 예를 들면, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은 원자수비가 In : Zn : O=X : Y : Z 일 때, Z> 1.5X+Y로 한다. 이러한 원자수비의 In-Zn-O계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 이용할 수 있다.

[0134] 그러나, 이것들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라서 적절한 조성인 것을 이용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0135] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물이라도 벌크 내 결함 밀도를 저감하는 것에 의해 이동도를 높일 수 있다.

[0136] 단, 예를 들면, In, Ga, Zn의 원자수비가 In : Ga : Zn=a : b : c(a+b+c=1)인 산화물의 조성이, 원자수비가 In : Ga : Zn=A : B : C(A+B+C=1)의 산화물의 조성의 근방이라는 것은, a, b, c가 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$를 만족시키는 것을 말하며, r은 예를 들면, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지이다.

[0137] 또한, 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 이용한다. 또한, 희가스 및 산소의 혼합 가스를 사용하는 경우, 희가스보다 산소의 비율을 높이는 것이 바람직하다. 또한, 스퍼터링 가스는 산화물 반도체막으로의 수소, 물, 수산기, 수소화물 등의 혼입을 막기 위해서, 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 이용한 분위기로 하는 것이 바람직하다.

[0138] 스퍼터링법에 있어서, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.

[0139] 산화물 반도체막을 형성하는 처리실은 리크 레이트를 1×10^{-10} Pa·m^3/초 이하로 하는 것이 바람직하고, 이에 따라 스퍼터링법으로 성막할 때, 막 중으로의 불순물의 혼입을 저감할 수 있다. 이와 같이, 산화물 반도체막의 형성 공정에서, 더 바람직하게는 산화 절연막의 형성 공정에서, 처리실의 압력, 처리실의 리크 레이트 등에 있어, 불순물의 혼입을 최대한 억제하는 것에 의해, 산화물 반도체막으로 수소를 포함한 불순물의 혼입을 저감할 수 있다. 또한, 산화 절연막으로부터 산화물 반도체막으로의 수소 등의 불순물의 확산을 저감할 수 있다.

[0140] 또한, 산화물 반도체막(227)으로서 결정화한 부분을 가지는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 이용해도 좋다.

[0141] CAAC-OS막은 완전한 단결정이 아니며, 완전한 비정질도 아니다. CAAC-OS막은 비정질상에 결정부가 포함되는 결정-비정질 혼상 구조의 산화물 반도체막이다. 단, 이 결정부는 한 변이 100nm 미만의 입방체 내에 들어가는 크기인 것이 많다. 또한, 투과형 전자현미경(TEM : Transmission Electron Microscope)에 의한 관찰상에서는 CAAC-OS막에 포함되는 비정질부와 결정부와의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리(grain boundary)라고도 함)는 확인할 수 없다. 따라서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0142] CAAC-OS막에 포함되는 결정부는 c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되고, 또한, ab면에 수직인 방향에서 봤을 때 삼각형 또는 육각형 모양의 원자 배열을 가지고, c축에 수직인 방향에서 봤을 때 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 단, 다른 결정부간에서, 각각 a축 및 b축의 방향이 상이해도 좋다. 본 명세서에서, 간단히 수직이라고 기재하는 경우, 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또한, 간단히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0143] 또한, CAAC-OS막에 있어서, 결정부의 분포가 균일하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에서, 산화물 반도체막의 표면측부터 결정 성장시키는 경우, 피형성면의 근방보다 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 것에 의해, 이 불순물 첨가 영역에 있어서 결정부가 비정질화하는 경우도 있다.

[0144] CAAC-OS막에 포함되는 결정부의 c축은 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 c축은 서로

다른 방향을 향할 수도 있다. 단, 결정부의 c축의 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는 성막함으로써, 또는 성막 후에 가열 처리 등의 결정화 처리를 행하는 것에 의해 형성된다.

[0145] CAAC-OS막을 이용한 트랜지스터는 가시광이나 자외광의 조사에 의한 전기 특성의 변동을 저감하는 것이 가능하다. 따라서, 이 트랜지스터는 신뢰성이 높다.

[0146] 또한, 산화물 반도체막에 포함되는 산소의 일부는 질소로 치환되어도 좋다.

[0147] 또한, CAAC-OS와 같이 결정부를 가지는 산화물 반도체에서는, 벌크 내 결함을 더 저감할 수 있고, 표면의 평탄성을 높이면 어몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 더 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.

[0148] CAAC-OS에 포함되는 결정 구조의 일례에 대하여 도 12(A) 내지 도 12(E), 도 13(A) 내지 도 13(C), 도 14(A) 내지 도 14(C), 도 28(A) 내지 도 28(B)을 이용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 12(A) 내지 도 12(E), 도 13(A) 내지 도 13(C), 도 14(A) 내지 도 14(C), 도 28(A) 내지 도 28(B)은 수직 방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단지 상반분, 하반분이라고 하는 경우, ab면 위의 상반분, 및 ab면 아래의 하반분을 말한다. 또한, 도 12(A)에서, 동그라미로 둘러싸인 O는 4배위의 O를 나타내고, 이중 동그라미로 둘러싸인 O는 3배위의 O를 나타낸다.

[0149] 도 12(A)에 1개의 6배위의 In 원자와, In 원자에 근접한 6개의 4배위의 산소 원자(이하, 4배위의 O)를 가지는 구조를 도시한다. 여기에서는, 금속 원자가 1개 및 근접한 산소 원자를 포함한 구조를 소그룹이라고 부른다. 도 12(A)의 구조는 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 도시하고 있다. 단, 도 12(A)의 상반분 및 하반분에는 각각 3개씩 4배위의 O 원자가 있다. 도 12(A)에 도시하는 소그룹은 전하가 0이다.

[0150] 도 12(B)에 1개의 5배위의 Ga 원자와, Ga 원자에 근접한 3개의 3배위의 산소 원자(이하, 3배위의 O)와 Ga 원자에 근접한 2개의 4배위의 O 원자를 포함하는 구조를 도시한다. 3배위의 O 원자는 모두 ab면에 존재한다. 도 12(B)의 상반분 및 하반분에는 각각 1개씩 4배위의 O 원자가 있다. 또한, In도 5배위를 취하기 때문에, 도 12(B)에 도시하는 구조를 취할 수 있다. 도 12(B)에 도시하는 소그룹은 전하가 0이다.

[0151] 도 12(C)에 1개의 4배위의 Zn 원자와, Zn 원자에 근접한 4개의 4배위의 O 원자를 포함하는 구조를 도시한다. 도 12(C)의 상반분에는 1개의 4배위의 O 원자가 있고, 하반분에는 3개의 4배위의 O 원자가 있다. 또는, 도 12(C)의 상반분에 3개의 4배위의 O 원자가 있고, 하반분에 1개의 4배위의 O 원자가 있어도 좋다. 도 12(C)에 도시하는 소그룹은 전하가 0이다.

[0152] 도 12(D)에 1개의 6배위의 Sn 원자와, Sn 원자에 근접한 6개의 4배위의 O 원자를 가지는 구조를 도시한다. 도 12(D)의 상반분에는 3개의 4배위의 O 원자가 있고, 하반분에는 3개의 4배위의 O 원자가 있다. 도 12(D)에 도시하는 소그룹은 전하가 +1이 된다.

[0153] 도 12(E)에 2개의 Zn 원자를 포함한 소그룹을 도시한다. 도 12(E)의 상반분에는 1개의 4배위의 O 원자가 있고, 하반분에는 1개의 4배위의 O 원자가 있다. 도 12(E)에 도시하는 소그룹은 전하가 -1이 된다.

[0154] 여기에서는, 복수의 소그룹의 집합체를 중그룹을 형성하고, 복수의 중그룹의 집합체가 대그룹(유닛 셀이라고도 함)을 형성한다.

[0155] 여기에서, 이러한 소그룹들이 결합하는 규칙에 대하여 설명한다. 도 12(A)에 도시하는 6배위의 In 원자의 상반분의 3개의 O 원자는 하방향에 각각 3개의 근접 In 원자를 가지고, 하반분의 3개의 O 원자는 상방향에 각각 3개의 근접 In 원자를 가진다. 도 12(B)에 도시하는 5배위의 Ga 원자의 상반분의 1개의 O 원자는 하방향에 1개의 근접 Ga 원자를 가지고, 하반분의 1개의 O 원자는 상방향에 1개의 근접 Ga 원자를 가진다. 도 12(C)에 도시하는 4배위의 Zn 원자의 상반분의 1개의 O 원자는 하방향에 1개의 근접 Zn 원자를 가지고, 하반분의 3개의 O 원자는 상방향에 각각 3개의 근접 Zn 원자를 가진다. 이와 같이, 금속 원자의 상방향의 4배위의 O 원자의 수와, 그 O 원자의 하방향에 있는 근접 금속 원자의 수는 동일하고, 마찬가지로 금속 원자의 하방향의 4배위의 O 원자의 수와 그 O 원자의 상방향에 있는 근접 금속 원자의 수는 동일하다. O 원자는 4배위이므로, 하방향에 있는 근접 금속 원자의 수와 상방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상방향에 있는 4배위의 O 원자의 수와 다른 금속 원자의 하방향에 있는 4배위의 O 원자의 수와의 합이 4개일 때, 금속 원자를 포함하는 2종의 소그룹들은 결합할 수 있다. 예를 들면, 6배위의 금속 원자(In 또는 Sn)가 하반분의 4배위의 O

원자를 통하여 결합하는 경우, 5배위의 금속 원자(Ga 또는 In), 또는 4배위의 금속 원자(Zn)와 결합하게 된다.

[0156] 이러한 배위수를 가지는 금속 원자는 c축 방향에 있어서, 4배위의 O 원자를 통하여 결합한다. 또 이 밖에 층 구조의 합계의 전하가 0이 되도록, 복수의 소그룹이 결합하여 다른 방식으로 중그룹이 형성될 수 있다.

[0157] 도 13(A)에 In-Sn-Zn-O계의 층 구조에 포함되는 중그룹의 모델도를 도시한다. 도 13(B)에 3개의 중그룹을 포함하는 대그룹을 나타낸다. 또한, 도 13(C)은 도 13(B)의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타낸다.

[0158] 도 13(A)에는 간단하게 하기 위해, 3배위의 O 원자는 생략하고, 4배위의 O 원자는 동그라미로 표시되고; 예를 들면, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 O 원자가 있는 것을 동그라미 안의 3으로서 도시하고 있다. 마찬가지로 도 13(A)에서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 O 원자가 있고, 이를 동그라미 안의 1로서 도시하고 있다. 도 13(A)에 있어서, 하반분에는 1개의 4배위의 O 원자가 있고, 상반분에는 3개의 4배위의 O가 있는 Zn 원자와, 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있는 Zn 원자를 도시하고 있다.

[0159] 도 13(A)에서, In-Sn-Zn-O계의 층 구조에 포함되는 중그룹은 위부터 순서대로 4배위의 O 원자가 3개씩 상반분 및 하반분에 있는 Sn가 4배위의 O 원자가 1개씩 상반분 및 하반분에 있는 In 원자과 결합하고, 그 In 원자가 상반분에 3개의 4배위의 O 원자가 있는 Zn 원자와 결합하고, 그 Zn 원자의 하반분의 1개의 4배위의 O 원자를 통하여 4배위의 O 원자가 3개씩 상반분 및 하반분에 있는 In 원자와 결합하고, 그 In 원자가 상반분에 1개의 4배위의 O 원자가 있는 Zn 원자 2개를 포함하는 소그룹과 결합하고, 이 소그룹의 하반분의 1개의 4배위의 O 원자를 통하여 4배위의 O 원자가 3개씩 상반분 및 하반분에 있는 Sn 원자와 결합하고 있는 구성이다. 이러한 중그룹이 복수 결합하여 대그룹이 형성된다.

[0160] 여기에서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당 전하는 각각 -0.667, -0.5로 생각할 수 있다. 예를 들면, In 원자(6배위 또는 5배위), Zn 원자(4배위), Sn 원자(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함한 소그룹은 전하가 +1이 된다. 따라서, Sn 원자를 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 없애는 전하 -1이 필요하다. 전하 -1을 취하는 구조로서 도 12(E)에 도시하는 바와 같이, 2개의 Zn 원자를 포함한 소그룹을 들 수 있다. 예를 들면, Sn을 포함한 소그룹이 1개에 대하여 2개의 Zn을 포함한 소그룹이 1개 있으면, 전하가 없어지기 때문에, 층 구조의 합계의 전하를 0으로 할 수 있다.

[0161] 구체적으로는, 도 13(B)에 나타낸 대그룹이 반복될 때, In-Sn-Zn-O계의 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 또한, 얻을 수 있는 In-Sn-Zn-O계의 층 구조는 $In_2SnZn_2O_7(ZnO)m$(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다.

[0162] 상기의 법칙은 사원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물이나, 삼원계 금속의 산화물인 In-Ga-Zn-O계 산화물(IGZO라고도 표기함), In-Al-Zn-O계 산화물, Sn-Ga-Zn-O계 산화물, Al-Ga-Zn-O계 산화물, Sn-Al-Zn-O계 산화물이나, In-Hf-Zn-O계 산화물, In-La-Zn-O계 산화물, In-Ce-Zn-O계 산화물, In-Pr-Zn-O계 산화물, In-Nd-Zn-O계 산화물, In-Sm-Zn-O계 산화물, In-Eu-Zn-O계 산화물, In-Gd-Zn-O계 산화물, In-Tb-Zn-O계 산화물, In-Dy-Zn-O계 산화물, In-Ho-Zn-O계 산화물, In-Er-Zn-O계 산화물, In-Tm-Zn-O계 산화물, In-Yb-Zn-O계 산화물, In-Lu-Zn-O계 산화물이나, 이원계 금속의 산화물인 In-Zn-O계 산화물, Sn-Zn-O계 산화물, Al-Zn-O계 산화물, Zn-Mg-O계 산화물, Sn-Mg-O계 산화물, In-Mg-O계 산화물이나, In-Ga-O계 산화물 등에도 적용된다.

[0163] 예를 들면, 도 14(A)에 In-Ga-Zn-O계의 층 구조에 포함되는 중그룹의 모델도를 도시한다.

[0164] 도 14(A)에서, In-Ga-Zn-O계의 층 구조에 포함되는 중그룹은 위부터 순서대로 4배위의 O 원자가 3개씩 상반분 및 하반분에 있는 In 원자가 4배위의 O 원자가 1개 상반분에 있는 Zn 원자와 결합하고, 그 Zn 원자의 하반분의 3개의 4배위의 O 원자를 통하여, 4배위의 O 원자가 1개씩 상반분 및 하반분에 있는 Ga 원자와 결합하고, 그 Ga 원자의 하반분의 1개의 4배위의 O 원자를 통하여, 4배위의 O 원자가 3개씩 상반분 및 하반분에 있는 In 원자와 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹이 형성된다.

[0165] 도 14(B)에 3개 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 14(C)는 도 14(B)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시하고 있다.

[0166] 여기에서 In 원자(6배위 또는 5배위), Zn 원자(4배위), Ga 원자(5배위)의 전하는 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 것을 포함한 소그룹은 전하가 0이 된다. 그 결과, 이러한 소그룹의 조합을 가지는

중그룹의 합계의 전하는 항상 0이 된다.

[0167] In-Ga-Zn-O계의 층 구조를 형성하기 위하여, 대그룹은 도 14(A)에 도시한 중그룹만을 이용하여 형성되지 않고, In, Ga, Zn의 배열이 도 14(A)와 다른 중그룹을 이용하여도 형성될 수 있다.

[0168] 도 14(B)에 도시한 대그룹이 반복될 때, In-Ga-Zn-O계의 결정을 얻을 수 있다. 단, 얻어진 In-Ga-Zn-O계의 층 구조는 $InGa_{03}(ZnO)_n$(n은 자연수)로 하는 조성식으로 나타낼 수 있다.

[0169] n=1($InGaZnO_4$)의 경우는 예를 들면, 도 28(A)에 도시하는 결정 구조를 취할 수 있다. 또한, 도 28(A)에 도시하는 결정 구조에서 도 12(B)에서 설명한 바와 같이, Ga 및 In은 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.

[0170] n=2($InGaZn_2O_5$)의 경우는, 예를 들면, 도 28(B)에 도시하는 결정 구조를 취할 수 있다. 단, 도 28(B)에 도시하는 결정 구조에서, 도 12(B)에 도시된 바와 같이 Ga 및 In은 각각 5배위를 취하기 때문에, Ga가 In으로 치환된 구조도 취할 수 있다.

[0171] 산화물 반도체막(227)이 CAAC-OS를 포함하는 경우는 산화물 반도체막(227)을 성막할 때에 기판 온도가 200℃ 초과 700℃ 이하, 바람직하게는 300℃ 초과 500℃ 이하, 더 바람직하게는 400℃ 이상 450℃ 이하가 되도록 기판을 가열한다. 이와 같이 기판을 가열하면서 산화물 반도체막(227)을 성막함으로써, 산화물 반도체막(227)을 CAAC-OS로 할 수 있다.

[0172] 또한, 상기의 온도 범위에서 가열하면서, 1원자층 이상 10nm 이하, 바람직하게는 2nm 이상 5nm 이하의 얇은 막두께의 제 1 산화물 반도체막을 형성한 후, 같은 방법으로 가열하면서 두꺼운 제 2 산화물 반도체막을 성막하고, 제 1 산화물 반도체막과 제 2 산화물 반도체막을 적층하여 CAAC-OS의 산화물 반도체막(227)을 형성해도 좋다.

[0173] 또한, 산화물 반도체막(227)을 비정질 구조로 하는 경우는 산화물 반도체막(227)을 성막할 때에, 기판의 가열을 행하지 않거나, 또는 기판 온도를 200℃ 미만, 더 바람직하게는 180℃ 미만으로 하여 기판을 가열한다. 이와 같이, 산화물 반도체막(227)을 성막하는 것에 의해, 산화물 반도체막(227)을 비정질 구조로 할 수 있다.

[0174] 또한, 상기의 방법으로 비정질 구조를 가지는 산화물 반도체막을 형성한 후, 250℃ 이상 700℃ 이하, 바람직하게는 400℃ 이상, 더 바람직하게는 500℃, 더 바람직하게는 550℃ 이상의 온도로 가열 처리를 행하고, 이 비정질 구조를 가지는 산화물 반도체막 중 적어도 일부를 결정화하여 CAAC-OS를 포함하는 산화물 반도체막(227)을 형성해도 좋다. 단, 이 열처리는 불활성 가스 분위기하에서 행할 수 있다. 불활성 가스 분위기로서는 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)로 한다. 후술하는 탈수화 또는 탈수소화의 열처리가 이 열처리의 역할을 할 수 있다.

[0175] 산화물 반도체막(227) 형성 후, 산화물 반도체막(227)에 대하여 열처리를 행해도 좋다. 열처리를 행하는 것에 의해, 산화물 반도체막(227) 중에 포함되는 수소 원자를 포함한 물질을 더 제거하고; 산화물 반도체막(227)의 구조가 개선되어 에너지 갭 중의 결함 준위를 저감할 수 있다. 이 열처리는 불활성 가스 분위기하에서 행하고, 열처리의 온도는 300℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또한, 기판이 변형점을 가지는 경우는 기판의 변형점 미만으로 한다. 불활성 가스 분위기로서는 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 포함하는 분위기이며 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)로 한다.

[0176] 이 열처리는 예를 들면, 저항 발열체 등을 이용한 전기로에 반도체 기판(201)을 도입하여, 질소 분위기하 450℃, 1시간의 조건에서 행할 수 있다.

[0177] 또한, 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, LRTA(Lamp Rapid Thermal Anneal) 장치, GRTA(Gas Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 빛(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열

처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. 또한, 가열 처리 장치로서 GRTA 장치를 이용하는 경우에는, 그 열처리 시간이 짧기 때문에 650℃~700℃의 고온에 가열한 불활성 가스 중에서 기판을 가열해도 좋다.

[0178] 또한, 상기 열처리로 산화물 반도체막(227)을 가열한 후, 같은 노(爐)에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점 온도계를 이용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기)가 도입될 수도 있다. 특히 이러한 가스에는 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 같은 노에 도입하는 산소 가스 또는 N_2O 가스의 순도를 6N 이상 바람직하게는 7N 이상(즉, 산소 가스 또는 N_2O 가스 내의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)로 하는 것이 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정으로 저감되고 산화물 반도체를 구성하는 주성분의 하나인 산소가 공급될 수 있다.

[0179] 단, 상기한 열처리에는 수소나 물 등을 제거하는 효과가 있기 때문에 이 열처리를 탈수화 또는 탈수소화 등이라고 부를 수도 있다. 이 열처리는 예를 들면, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연막의 형성 후 등의 타이밍에서 행하는 것도 가능하다. 또한, 이러한 탈수화 또는 탈수소화의 열처리는 1회에 한정하지 않고 복수회 행해도 좋다.

[0180] 다음에, 산화물 반도체막(227)의 일부를 선택적으로 에칭하고, 산화물 반도체막(229)을 형성한다. 그리고, 산화물 반도체막(229) 위에 스퍼터링법, CVD법 등에 의해 절연막(231)을 형성한다. 그리고, 절연막(231) 위에 게이트 전극(233)을 형성한다(도 8(A) 참조).

[0181] 절연막(231)은 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn-O계 금속 산화물막 등을 이용하는 적층 또는 단층으로 형성한다. 또한, 절연막(231)은 절연막(225)으로 사용 가능한 막과 같은 가열에 의해 산소가 이탈하는 산화 절연막을 이용해도 좋다. 절연막(231)으로 가열에 의해 산소가 이탈하는 막을 이용함으로써, 후의 가열 처리에 의해 산화물 반도체막(229)에 생기는 산소 결손을 회복할 수 있어, 트랜지스터의 전기 특성의 열화를 억제할 수 있다.

[0182] 또한, 절연막(231)으로서 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용하여 형성할 때, 게이트 절연막의 두께를 얇게 해도 게이트 리크를 저감할 수 있다.

[0183] 절연막(231)의 두께는 바람직하게 10nm 이상 300nm 이하, 더 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 10nm 이상 30nm 이하로 하면 좋다.

[0184] 게이트 전극(233)은 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 금속 원소, 또는 상기한 금속 원소를 성분으로 하는 합금이나, 상기한 금속 원소를 조합한 합금 등을 이용하여 형성할 수 있다. 또한, 망간, 지르코늄의 어느 하나 또는 복수로부터 선택된 금속 원소를 이용해도 좋다. 또한, 게이트 전극(233)은 단층 구조로 해도 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막을 적층하는 2층 구조, 질화 티탄막 위에 티탄막을 적층하는 2층 구조, 질화 티탄막 위에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 위에 텅스텐막을 적층하는 2층 구조, 티탄막과 그 티탄막 위에 알루미늄막을 적층하고, 또한 그 위에 티탄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄 및 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 하나 이상의 원소를 포함하는 막, 합금막, 혹은 질화막을 이용해도 좋다.

[0185] 또한, 게이트 전극(233)은 인듐 주석 산화물, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티탄을 포함한 인듐 산화물, 산화 티탄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 또한, 상기 투광성을 가지는 도전성 재료와 상기 금속 원소의 적층 구조로 할 수도 있다.

[0186] 게이트 전극(233)은 인쇄법 또는 잉크젯법에 의해 형성된다. 혹은, 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 이 도전막의 일부를 선택적으로 에칭하여 게이트 전극(233)이 형성될 수 있다.

[0187] 또한, 게이트 전극(233)과 절연막(231) 사이에 절연막(231)에 접하는 재료층으로서 질소를 포함한 In-Ga-Zn-O막이나, 질소를 포함한 In-Sn-O막이나, 질소를 포함한 In-Ga-O막이나, 질소를 포함한 In-Zn-O막이나, 질소를 포함

한 Sn-O막이나, 질소를 포함한 In-O막이나, 금속 질화막(InN, ZnN 등)이 제공되는 것이 바람직하다. 이러한 막은 5eV, 바람직하게는 5.5eV 이상의 일함수를 가지고, 따라서 트랜지스터의 전기 특성의 문턱 전압을 플러스로 할 수 있다. 따라서, 소위 노멀리-오프의 스위칭 소자를 실현할 수 있다. 예를 들면, 질소를 포함한 In-Ga-Zn-O막을 이용하는 경우, 적어도 산화물 반도체막(229)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 질소를 포함한 In-Ga-Zn-O막을 이용한다.

[0188] 열처리는 그 후에 바람직하게 행해진다. 이 열처리를 통해, 산화물 반도체막(229)의 산소 결손을 보충하기 위해 절연막(225) 및 절연막(231)에서 산화물 반도체막(229)까지 산소가 확산될 수 있고; 이에 따라, 산소 결손을 저감할 수 있다.

[0189] 또한, 절연막(231)의 성막 후에 불활성 가스 분위기하, 또는 산소 분위기하에서 열처리(제 2 열처리)를 행해도 좋다. 열처리의 온도는 200℃ 이상 450℃ 이하로 하는 것이 바람직하고, 250℃ 이상 350℃ 이하로 하는 것이 더 바람직하다. 이러한 열처리를 행하는 것에 의해, 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 산화물 반도체막(229)과 접하는 절연막(231) 또는 절연막(225)이 산소를 포함한 경우, 산화물 반도체막(229)에 산소를 공급하고, 이 산화물 반도체막(229)의 산소 결손을 보충할 수도 있다. 이와 같이, 상기한 열처리에는 산소를 공급하는 효과가 있기 때문에, 이 열처리를 가산화로 부를 수도 있다.

[0190] 단, 본 실시형태에서는, 절연막(231)의 형성 후에 가산화의 열처리를 행하고 있지만; 가산화의 열처리의 타이밍은 이것으로 한정되지 않고, 절연막(231)의 형성 후에 적절히 행하면 좋다.

[0191] 상기한 바와 같이, 탈수화 또는 탈수소화를 위한 열처리와 가산화를 위한 열처리를 행하여 산화물 반도체막(229) 중의 불순물을 저감하고, 산소 결손을 보충함으로써, 산화물 반도체막(229)을 그 주성분 이외의 불순물이 최대한 포함되지 않게 고순도화할 수 있다.

[0192] 다음에, 게이트 전극(233)을 마스크로서 사용하여 산화물 반도체막(229)에 도펀트를 첨가하는 처리를 행한다. 이 결과, 도 8(B)에 도시하는 바와 같이, 게이트 전극(233)에 덮여 도펀트가 첨가되지 않는 제 1 영역(235a)과 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성한다. 게이트 전극(233)을 마스크로 사용하여 도펀트를 첨가하기 때문에, 자가 정렬로, 도펀트가 첨가되지 않는 제 1 영역(235a), 및 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성할 수 있다. 게이트 전극(233)과 중첩하는 제 1 영역(235a)은 채널 영역으로서 기능한다. 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)은 전계 완화 영역으로서 기능한다. 제 1 영역(235a), 및 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 산화물 반도체막(235)으로 나타낸다.

[0193] 산화물 반도체막(235)의 제 1 영역(235a)은 수소 농도를 5×10^{18}atoms/cm^3 미만, 바람직하게는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 5×10^{17}atoms/cm^3 이하, 한층 더 바람직하게는 1×10^{16}atoms/cm^3 이하로 하는 것이 바람직하다. 산화물 반도체 및 수소의 결합에 의해, 수소의 일부가 도너가 되어, 캐리어인 전자를 발생한다. 이러한 이유로, 산화물 반도체막(235)의 제 1 영역(235a) 중의 수소 농도를 저감함으로써, 문턱 전압의 마이너스 시프트를 저감할 수 있다.

[0194] 한쌍의 제 2 영역(235b), 제 2 영역(235c)에서의 도펀트의 농도는 5×10^{18}atoms/cm^3 이상 1×10^{22}atoms/cm^3 이하, 바람직하게는 5×10^{18}atoms/cm^3 이상 5×10^{19}atoms/cm^3 미만으로 한다.

[0195] 한쌍의 제 2 영역(235b), 제 2 영역(235c)은 도펀트를 포함하기 때문에, 캐리어 밀도 또는 결함의 개수를 증가시킬 수 있다. 따라서, 도펀트를 포함하지 않는 제 1 영역(235a)과 비교하여 도전성을 높일 수 있다. 또한, 도펀트 농도를 지나치게 증가시키면 도펀트가 캐리어의 이동을 저해하게 되고, 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)의 도전성을 저하시키게 된다.

[0196] 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)은 도전율이 0.1S/cm 이상 1000S/cm 이하, 바람직하게는 10S/cm 이상 1000S/cm 이하로 하는 것이 바람직하다.

[0197] 산화물 반도체막(235)에 있어서, 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 가짐으로써, 채널 영역으로서 기능하는 제 1 영역(235a)의 단부에 가하는 전계를 완화시킬 수 있다. 따라서, 트랜지스터의 단채널 효과를 억제할 수 있다.

[0198] 산화물 반도체막(229)에 도펀트를 첨가하는 방법으로서, 이온 도핑법 또는 이온 주입법을 이용할 수 있다. 또한, 첨가하는 도펀트로서는, 붕소, 질소, 인, 및 비소 중 적어도 하나 이상이 있다. 또는, 도펀트로서는 헬륨,

네온, 아르곤, 크립톤, 및 크세논 중 적어도 하나 이상이 첨가될 수 있다. 또는, 도펀트로서는 수소가 첨가될 수 있다. 또한, 도펀트로서 붕소, 질소, 인, 및 비소 중 하나 이상과 헬륨, 네온, 아르곤, 크립톤, 및 크세논 중 하나 이상과 수소를 적절히 조합한 것이 첨가될 수 있다.

[0199] 산화물 반도체막(229)에 도펀트의 첨가는 절연막 등으로 산화물 반도체막(229)이 덮인 상태에서 행해졌지만, 산화물 반도체막(229)이 노출되어 있는 상태에서 도펀트의 첨가를 행해도 좋다.

[0200] 또한, 상기 도펀트의 첨가는 이온 도핑법 또는 이온 주입법 등에 의한 주입하는 이외의 방법에서도 행할 수 있다. 예를 들면, 첨가하는 원소를 포함한 가스 분위기에서 플라즈마를 발생시키고, 피첨가물에 대하여 플라즈마 처리를 행하는 것에 의해, 도펀트를 첨가할 수 있다. 상기 플라즈마를 발생시키는 장치로서는, 드라이 에칭 장치나 CVD 장치, 고밀도 CVD 장치 등을 이용할 수 있다.

[0201] 이 후, 가열 처리를 행해도 좋다. 이 가열 처리의 온도는 대표적으로는, 150℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 325℃ 이하로 한다. 가열 처리에서 250℃에서 325℃ 까지 점점 온도를 상승시킬 수 있다.

[0202] 이 가열 처리에 의해, 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)의 저항을 저감할 수 있다. 또한, 이 가열 처리에 있어서, 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)은 결정 상태여도 비정질 상태여도 좋다.

[0203] 다음에, 도 8(C)에 도시하는 바와 같이 게이트 전극(233)의 측면에 사이드 월 절연막(237), 및 게이트 절연막(239), 및 전극(241a), 전극(241b)을 형성한다.

[0204] 사이드 월 절연막(237)은 예를 들어 하나 이상의 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용하여, 적층 또는 단층으로 형성한다. 또한, 사이드 월 절연막(237)으로서 절연막(225)과 마찬가지로 가열에 의해 산소의 일부가 이탈하는 산화 절연막을 이용하여 형성해도 좋다.

[0205] 여기에서, 사이드 월 절연막(237)의 형성 방법에 대하여 설명한다.

[0206] 우선, 절연막(231) 및 게이트 전극(233) 위에, 후에 사이드 월 절연막(237)이 되는 절연막을 형성한다. 절연막은 스퍼터링법, CVD법 등에 의해 형성한다. 또한, 이 절연막의 두께는 특별히 한정은 없지만, 게이트 전극(233)의 형상에 따르는 피복성을 고려하여 적절히 선택하면 좋다.

[0207] 다음에, 절연막을 에칭하는 것에 의해 사이드 월 절연막(237)을 형성한다. 이 에칭은 이방성이 높은 에칭이며, 사이드 월 절연막(237)은 절연막에 이방성이 높은 에칭 공정을 행함으로써 자가 정렬로 사이드 월 절연막(237)을 형성할 수 있다.

[0208] 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c) 각각에서의, 전계 완화 영역으로서 기능하는 폭은 사이드 월 절연막(237)의 폭에 의존하고, 또 사이드 월 절연막(237)의 폭은 게이트 전극(233)의 두께에도 의존하기 때문에, 전계 완화 영역의 범위가 원하는 범위가 되도록 게이트 전극(233)의 두께를 결정하면 좋다.

[0209] 사이드 월 절연막(237)이 형성될 때, 이방성이 높은 에칭을 이용하여 절연막(231)을 에칭하고, 산화물 반도체막(229)을 부분적으로 노출시킴으로써, 게이트 절연막(239)을 형성할 수 있다.

[0210] 한쌍의 전극(241a), 전극(241b)은 배선(223a) 내지 배선(223c)과 같은 재료를 적절히 이용하여 형성할 수 있다. 또한, 한쌍의 전극(241a), 전극(241b)은 배선으로서 기능시켜도 좋다.

[0211] 한쌍의 전극(241a), 전극(241b)은 인쇄법 또는 잉크젯법을 이용하여 형성된다. 또는 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 이 도전막의 일부를 선택적으로 에칭하고, 한쌍의 전극(241a), 전극(241b)을 형성한다.

[0212] 한쌍의 전극(241a), 전극(241b)은 사이드 월 절연막(237) 및 게이트 절연막(239)의 측면과 접하도록 형성되는 것이 바람직하다. 즉, 트랜지스터의 한쌍의 전극(241a), 전극(241b)의 단부가 사이드 월 절연막(237) 위에 위치하고, 산화물 반도체막(235)에서, 한 쌍의 전극(241a), 전극(241b)는 도펀트를 포함한 한쌍의 제 2 영역(235b), 제 2 영역(235c)의 노출부를 모두 덮고 있는 것이 바람직하다. 이 결과, 도펀트가 포함되는 한쌍의 제 2 영역(235b), 제 2 영역(235c)에서, 한쌍의 전극(241a), 전극(241b)과 접하는 영역이 소스 영역 및 드레인 영역으로서 기능함과 동시에, 도펀트가 포함되는 한쌍의 제 2 영역(235b), 제 2 영역(235c), 사이드 월 절연막(237) 및 게이트 절연막(239)와 겹치는 영역이 전계 완화 영역으로서 기능한다. 또한, 사이드 월 절연막(237)의 길이에 의해 전계 완화 영역의 폭을 제어할 수 있기 때문에, 한쌍의 전극(241a), 전극(241b)을 형성하기 위

한 마스크 맞춤의 고정밀도가 엄격하게 요구되지 않는다. 따라서, 복수의 트랜지스터에서의 편차를 저감할 수 있다.

[0213] 또한, 게이트 전극(233)의 측면에 접하여 사이드 월 절연막(237)이 제공되었지만, 본 발명은 이것에 한정되는 것은 아니며, 사이드 월 절연막(237)을 제공하지 않는 구성으로 할 수도 있다. 또한, 본 실시형태에서는 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성한 후에 사이드 월 절연막(237)을 형성했지만, 본 발명은 이것에 한정되는 것은 아니며, 사이드 월 절연막(237)을 형성한 후에 한쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성해도 좋다. 이러한 구성으로 하는 것에 의해 제 1 영역(235a)을 사이드 월 절연막(237)과 부분적으로 중첩하는 영역까지 넓힐 수 있다.

[0214] 다음에, 도 9(A)에 도시하는 바와 같이 스퍼터링법, CVD법, 도포법, 인쇄법 등에 의해 절연막(243) 및 절연막(245)을 형성한다.

[0215] 절연막(243), 절연막(245)은 하나 이상의 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 포함하는 적층 또는 단층으로 형성한다. 또한, 절연막(245)으로서 외부로의 산소의 확산을 막는 절연막을 이용함으로써, 절연막(243)으로부터 이탈하는 산소를 산화물 반도체막에 공급할 수 있다. 외부로의 산소의 확산을 막는 절연막의 대표예로서는, 산화 알루미늄, 산화 질화 알루미늄 등이 있다. 또한, 절연막(245)으로서 외부로부터의 수소의 확산을 막는 절연막을 이용함으로써, 외부로부터 산화물 반도체막으로의 수소의 확산을 저감할 수 있고, 산화물 반도체막의 결손을 저감할 수 있다. 외부로부터의 수소의 확산을 막는 절연막의 대표예로서는, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등이 있다. 또한, 절연막(243)을 가열에 의해 산소의 일부가 이탈하는 산화 절연막, 외부로의 산소의 확산을 막는 절연막과 산화 절연막과의 3층 구조로 함으로써, 효율 좋게 산화물 반도체막으로 산소를 확산시킴과 동시에, 외부로의 산소의 이탈을 억제하는 것이 가능하고, 온도 및 습도가 높은 상태라도 트랜지스터의 특성의 변동을 저감할 수 있다.

[0216] 이상의 공정에 의해 도 9(A)에 도시하는 바와 같이, 산화물 반도체막을 가지는 트랜지스터(110)를 제작할 수 있다. 또한, 상기 트랜지스터(110)는 i형(진성 반도체) 또는 실질적으로 i형 산화물 반도체막(229)을 가지기 때문에, 매우 우수한 특성을 나타낸다.

[0217] 또한, 본 실시형태에서 트랜지스터(110)를 탑 게이트 구조로 했지만, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 보텀 게이트 구조로 해도 좋다. 또한, 본 실시형태에서 트랜지스터(110)는 한쌍의 전극(241a) 및 전극(241b)이 한쌍의 제 2 영역(235b) 및 제 2 영역(235c)의 윗면 중 적어도 일부와 접하는 구성으로 하고 있지만, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면, 한쌍의 제 2 영역(235b) 및 제 2 영역(235c)이 한쌍의 전극(241a) 및 전극(241b)이 적어도 일부와 접하는 구성으로 해도 좋다.

[0218] 다음에, 절연막(215), 절연막(217), 절연막(221), 절연막(225), 절연막(243), 절연막(245)의 각각 일부를 선택적으로 에칭하여, 개구부를 형성하여, 게이트 전극(209a), 전극(241a) 및 전극(241b)의 각각 일부를 노출한다. 개구부에 도전막을 성막한 후, 이 도전막의 일부를 선택적으로 에칭하고; 전극(241a)에 접하여 배선(249) 및 전극(241b)에 접하여 배선(250)을 형성한다. 배선(249) 및 배선(250)은 콘택트 플러그(219a) 내지 콘택트 플러그(219d)와 같은 재료를 적절히 이용하여 형성될 수 있다.

[0219] 여기에서, 배선(249)은 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 한쪽과 트랜지스터(112)의 게이트 전극(209a)을 전기적으로 접속하는 노드 FG로서 기능한다. 또한, 도 9(B)에서는 직접적으로 도시하지는 않지만, 마찬가지로 배선(249)은 트랜지스터(114)의 게이트 전극(209b)과도 전기적으로 접속되는 것으로 한다. 배선(250)은 트랜지스터(110)의 소스 전극 또는 드레인 전극 중 다른 한쪽으로서 기능하고, 도 3(A)에 도시하는 데이터선 D와 전기적으로 접속된다. 또한, 도 9(B)에서는 직접적으로 도시하지는 않지만, 트랜지스터(110)의 게이트 전극(233)도 도 3(A)에 도시하는 워드선 W와 전기적으로 접속되는 것으로 한다.

[0220] 이상의 공정에 의해, 트랜지스터(110), 트랜지스터(112) 및 트랜지스터(114)를 포함하는 프로그래머블 스위치를 제작할 수 있다.

[0221] 여기에서, 도 9(B)에 도시하는 단면도에 대응하는 프로그래머블 스위치의 평면도의 일례를 도 26(A) 및 도 26(B)에 도시한다. 도 26(A)은 절연막(225)보다 하층의 구성, 즉 트랜지스터(112) 및 트랜지스터(114)의 평면도를 도시하고 있다. 도 26(B)은 절연막(225)보다 상층의 구성, 즉 트랜지스터(110)의 평면도를 도시하고 있다. 단, 도 26(A) 및 도 26(B)에 있어서, 도면의 용이한 이해를 위해 일부의 구성(절연막(215) 등)을 도시하지 않는다. 또한, 도 26(A) 및 도 26(B)에 도시하는 일점 쇄선 A-B 및 일점 쇄선 C-D는 도 6(A) 내지 도

6(D), 도 7(A) 내지 도 7(B), 도 8(A) 내지 도 8(C), 및 도 9(A) 내지 도 9(B)에 도시하는 단면도에 대응하고 있다.

[0222] 도 26(A) 및 도 26(B)에 도시하는 프로그래머블 스위치에서는 도 9(B)에 도시하는 바와 같이, 일점 쇄선 C-D으로 취해진 단면 영역에서 트랜지스터(110)와 트랜지스터(112) 및 트랜지스터(114)가 전기적으로 접속된다. 여기에서, 트랜지스터(110)의 적어도 일부와, 트랜지스터(112) 또는 트랜지스터(114)의 적어도 일부가 중첩한다. 바람직하게는, 산화물 반도체막(235)의 적어도 일부와, n형의 불순물 영역(211a), n형의 불순물 영역(211b), p형의 불순물 영역(213a) 또는 p형의 불순물 영역(213b)의 적어도 일부가 중첩하여 형성된다. 이러한 평면 레이아웃을 채용함으로써, 산화물 반도체와 같은 와이드 밴드갭 반도체를 포함하는 트랜지스터를 제공하는 것에 의한 프로그래머블 스위치의 점유 면적의 증대를 억제할 수 있다. 따라서, 이 프로그래머블 스위치를 포함하는 프로그래머블 로직 디바이스의 고집적화를 도모할 수 있다.

[0223] 또한, 상기한 바와 같이 단결정 실리콘 기판 등의 반도체 기판을 이용하여 트랜지스터(112) 및 트랜지스터(114)를 제작하고, 적층하여 산화물 반도체막 등을 포함하는 트랜지스터(110)를 형성하는 경우, 이 반도체 기판을 이용하여 데이터선 D나 워드선 W에 전위를 공급하는 구동 회로의 트랜지스터를 제작할 수도 있다. 이러한 구동 회로를 구비한 프로그래머블 로직 디바이스의 구조를 도 27에 도시한다. 도 27에 도시하는 프로그래머블 로직 디바이스는 도 1(A)에 도시하는 프로그래머블 로직 디바이스와 마찬가지로, 복수의 배선을 통하여 전기적으로 접속된 복수의 논리 블록(10)을 포함한다. 여기에서, 도면의 용이한 이해를 위해, 도 27에서는 도 1(A)에 도시하는 배선(11)에 대응하는 배선을 도시하지 않는다. 단, 도 1(A)에 도시하는 프로그래머블 로직 디바이스와 마찬가지로, 행방향의 배선과 열방향의 배선이 교차하는 부분에 각 배선의 접속의 전환을 행하는 스위치 매트릭스(12)가 제공되도 좋다.

[0224] 도 27에 도시하는 프로그래머블 로직 디바이스는 도면에서 복수의 논리 블록(10)의 상측에 형성된 제 1 구동 회로(14)와 도면에서 복수의 논리 블록(10)의 좌측에 형성된 제 2 구동 회로(15)와 제 1 구동 회로(14)에 전기적으로 접속하고, 열방향으로 연장되어 형성된 복수의 제 1 배선(16)과 제 2 구동 회로(15)에 전기적으로 접속하고, 행방향에 연장되어 형성된 복수의 제 2 배선(17)을 포함한다. 열방향 및 행방향에 연장되어 형성된 제 1 배선(16) 및 제 2 배선(17)은 논리 블록(10)과 전기적으로 접속된다. 단, 제 1 구동 회로(14) 및 제 2 구동 회로(15)의 구성은 상기에 한정되는 것은 아니며; 예를 들면, 제 1 구동 회로(14) 및 제 2 구동 회로(15)를 제공하는 위치를 바꾸어도 좋고, 3개 이상의 구동 회로를 형성하는 구성으로 해도 좋다.

[0225] 본 실시형태에 있어서, 제 1 배선(16) 및 제 2 배선(17)은 도 1(B) 및 도 1(C)에 도시하는 메모리부에 저장하는 컨피겨레이션 데이터의 전위를 입력하는 데이터선 D, 및 메모리부로의 컨피겨레이션 데이터의 기입을 제어하는 신호를 입력하는 워드선 W로서 이용할 수 있다. 또한, 제 1 구동 회로(14) 및 제 2 구동 회로(15)는 데이터선 D에 전위를 공급하는 데이터선 구동 회로 및 워드선 W에 전위를 공급하는 워드선 구동 회로로서 이용할 수 있다. 또한, 본 실시형태에서는, 제 1 구동 회로(14)는 데이터선 D의 구동 회로로 기능하고, 제 2 구동 회로(15)는 워드선 W의 구동 회로로 기능하지만 제 1 배선(16)은 데이터선 D로 기능하고, 제 2 배선(17)은 워드선 W로 기능하지만; 본 발명은 이것에 한정되는 것은 아니다.

[0226] 여기에서, 제 1 구동 회로(14) 및 제 2 구동 회로(15)에 포함되는 트랜지스터는 도 6(D) 및 도 26(A)에 도시하는 트랜지스터(112) 및 트랜지스터(114)와 유사한 구성으로 할 수 있다. 따라서, 제 1 구동 회로(14) 및 제 2 구동 회로(15)에 포함되는 트랜지스터는 단결정 실리콘과 같은 산화물 반도체와는 다른 반도체를 이용하여 형성되므로, 충분한 고속 동작이 가능하게 된다. 따라서, 충분한 고속 동작이 가능한 구동 회로를 형성할 수 있다. 또한, 제 1 배선(16) 및 제 2 배선(17)으로서 도 9(B) 및 도 26(B)에 도시하는 배선(249) 또는 배선(250)과 같은 층 또는 더 상층에 형성된 도전막을 이용할 수 있다.

[0227] 이상으로 나타내는 바와 같이, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 산화물 반도체와 같은 와이드 밴드갭 반도체를 프로그래머블 스위치의 메모리부의 트랜지스터에 이용하는 것에 의해, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터를 유지하는 것이 가능한 프로그래머블 스위치를 제작할 수 있다. 또한, 전원 전위 투입 후의 논리 블록의 기동 시간을 짧게 한 프로그래머블 스위치를 제작할 수 있다. 이것에 의해, 노멀리-오프의 구동 방법을 이용하여 저소비 전력화를 도모할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0228] 본 실시형태에 나타내는 구성, 방법 등은 본 실시형태에 나타내는 구성, 방법들로 조합하여 이용할 수도 있고, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수도 있다.

[0229] (실시형태 3)

[0230] 본 실시형태에서는 앞의 실시형태로 나타낸 산화물 반도체막을 포함하는 트랜지스터에 대하여 전계 효과 이동도를 이론적으로 도출하고, 이 전계 효과 이동도를 이용하여 트랜지스터 특성을 도출한다.

[0231] 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는 다양한 이유로 인해 본래의 이동도보다 낮아지고 이러한 현상은 산화물 반도체를 이용하는 경우 외에도 발생한다. 이동도를 저하시키는 요인으로서는 반도체 내부의 결함이나 반도체와 절연막과의 계면의 결함이 있다. Levinson 모델을 이용하면 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.

[0232] 반도체 본래의 이동도를 μ_0, 측정되는 전계 효과 이동도를 μ로 하고, 반도체 중에 어떠한 퍼텐셜 장벽(립계 등)이 존재한다고 가정하면, 다음의 식 (2)로 표현할 수 있다.

수학식 2

[0233] $$\mu = \mu_0 \exp(-\frac{E}{kT})$$

[0234] 여기에서, E는 퍼텐셜 장벽의 높이이며, k가 볼츠만 정수, T는 절대 온도이다. 퍼텐셜 장벽이 결함에 유래한다고 가정하면, 퍼텐셜 장벽의 높이는 Levinson 모델에서는 다음의 식 (3)으로 표현할 수 있다.

수학식 3

[0235] $$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g}$$

[0236] 여기에서, e는 전기 소량, N은 채널 내의 단위 면적당 평균 결함 밀도, ε은 반도체의 유전율, n은 단위 면적당 채널에 포함되는 캐리어 수, C_{ox}는 단위 면적당 용량, V_g는 게이트 전압, t는 채널의 두께이다. 또한, 두께 30nm 이하의 반도체층이면 채널의 두께는 반도체층의 두께와 동일하게 해도 지장이 없다. 선형 영역에서의 드레인 전류 I_d는 다음의 식 (4)로 표현할 수 있다.

수학식 4

[0237] $$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT})$$

[0238] 여기에서, L은 채널 길이, W는 채널폭이며, 여기에서는, L과 W 각각은 10μm이다. 또한, V_d는 드레인 전압이다. 식 (4)의 양변을 V_g로 나누고, 양변의 로그를 취하면, 다음의 식 (5)을 얻을 수 있다.

수학식 5

[0239] $$\ln(\frac{I_d}{V_g}) = \ln(\frac{W \mu V_d C_{ox}}{L}) - \frac{E}{kT} = \ln(\frac{W \mu V_d C_{ox}}{L}) - \frac{e^3 N^2 t}{8kT \varepsilon C_{ox} V_g}$$

[0240] 식 (5)의 우변은 V_g의 함수이다. 이 식으로부터, 세로축을 $\ln(I_d/V_g)$, 가로축을 $1/V_g$로 하는 직선의 기울기로부터 결함 밀도 N을 얻을 수 있다. 즉, 트랜지스터의 I_d-V_g특성으로부터, 결함 밀도를 평가할 수 있다. 산화물 반도체로서는 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In : Sn : Zn=1 : 1 : 1인 것에서는 결함 밀도 N은 $1\times10^{12}/cm^2$

정도이다.

[0241] 이와 같이 하여 구한 결함 밀도 등을 기초로 식 (2) 및 식 (3)으로부터 μ_0=120cm^2/Vs가 도출된다. 결함을 포함하는 In-Sn-Zn 산화물로 측정되는 이동도는 40cm^2/Vs 정도이다. 그러나, 반도체 내부 및 반도체와 절연막과의 계면에 결함이 없는 산화물 반도체의 이동도 μ_0은 120cm^2/Vs가 된다고 예상할 수 있다.

[0242] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연물 사이의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 채널과 게이트 절연물 사이의 계면으로부터 x만큼 떨어진 장소에서의 이동도 μ_1은 다음의 식 (6)으로 표현할 수 있다.

수학식 6

[0243] $$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B}\exp\left(-\frac{x}{l}\right)$$

[0244] 여기에서, D는 게이트 방향의 전계, B, l은 정수이다. B 및 l은 실제 측정 결과로부터 구할 수 있고, 상기의 측정 결과에서는 B=4.75×10^{7}cm/s, l=10nm(계면 산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면) 식 (6)의 제 2 항이 증가하기 때문에, 이동도 μ_1은 저하되는 것을 알 수 있다.

[0245] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 이용한 트랜지스터의 이동도 μ_2를 계산한 결과를 도 15에 도시한다. 또한, 계산에는 시놉시스사(Synopsys, Inc.)제 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용하고, 산화물 반도체의 밴드갭, 전자 친화력, 비유전율, 두께를 각각 2.8 전자 볼트, 4.7 전자 볼트, 15, 15nm로 했다. 이러한 값은 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.

[0246] 또한 게이트, 소스, 드레인의 일함수를 각각, 5.5eV, 4.6eV, 4.6eV로 했다. 또한, 게이트 절연물의 두께는 100nm, 비유전율은 4.1로 했다. 채널 길이 및 채널폭은 각각 10㎛, 드레인 전압 V_d는 0.1V이다.

[0247] 도 15에 도시하는 바와 같이, 계면 산란의 영향이 커지기 때문에, 이동도는 게이트 전압 1V 강으로 100cm^2/Vs 이상의 피크를 가지고, 게이트 전압이 더 높아짐에 따라 이동도가 저하한다. 또한, 계면 산란을 저감하기 위해서는, 반도체막 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

[0248] 이러한 이동도를 가지는 산화물 반도체를 이용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과를 도 16(A) 내지 도 16(C), 도 17(A) 내지 도 17(C), 도 18(A) 내지 도 18(C)에 도시한다. 또한, 계산에 이용한 트랜지스터의 단면 구조를 도 19(A) 내지 도 19(B)에 도시한다. 도 19 내지 도 19(B)에 도시하는 트랜지스터는 각각 산화물 반도체층에 n$^+$의 도전형을 나타내는 제 2 영역(1103b) 및 제 2 영역(1103c)을 가진다. 제 2 영역(1103b) 및 제 2 영역(1103c)의 저항율은 2×10^{-3}Ωcm로 한다.

[0249] 도 19(A)에 도시하는 트랜지스터는 하지 절연막(1101)과 하지 절연막(1101)에 매립되도록 형성된 산화 알루미늄으로 이루어지는 매립 절연물(1102) 위에 형성된다. 트랜지스터는 제 2 영역(1103b), 제 2 영역(1103c)과 제 2 영역(1103b) 및 제 2 영역(1103c) 사이에 끼워져 채널 형성 영역이 되는 진성의 제 1 영역(1103a)과 게이트 전극(1105)을 가진다. 게이트 전극(1105)의 폭을 33nm로 한다.

[0250] 게이트 전극(1105)과 제 1 영역(1103a) 사이에는 게이트 절연막(1104)이 형성된다. 게이트 전극(1105)의 양측면에는 사이드 월 절연막(1106a) 및 사이드 월 절연막(1106b)이 형성되고, 게이트 전극(1105)의 상부에는, 게이트 전극(1105)과 다른 배선사이의 단락(短絡)을 방지하기 위한 절연물(1107)이 형성된다. 사이드 월 절연막의 폭은 5nm로 한다. 또한, 제 2 영역(1103b) 및 제 2 영역(1103c) 각각에 접하여, 소스 전극(1108a) 및 드레인 전극(1108b)이 제공된다. 단, 이 트랜지스터에서의 채널폭을 40nm로 한다.

[0251] 도 19(B)에 도시하는 트랜지스터는 하지 절연막(1101)과 산화 알루미늄으로 이루어지는 매립 절연물(1102) 위에 형성되고, 제 2 영역(1103b), 제 2 영역(1103c)과, 그것들에 끼워진 진성의 제 1 영역(1103a)과, 폭 33nm의 게이트 전극(1105)과 게이트 절연막(1104)과 사이드 월 절연막(1106a) 및 사이드 월 절연막(1106b)과 절연물

(1107)과 소스 전극(1108a) 및 드레인 전극(1108b)을 가진다는 점에서 도 19(A)에 도시하는 트랜지스터와 같다.

[0252] 도 19(A)에 도시하는 트랜지스터와 도 19(B)에 도시하는 트랜지스터의 차이점은 사이드 월 절연막(1106a) 및 사이드 월 절연막(1106b) 아래의 반도체 영역의 도전형이다. 도 19(A)에 도시하는 트랜지스터에서는 사이드 월 절연막(1106a) 및 사이드 월 절연막(1106b) 아래의 반도체 영역은 n^+의 도전형을 나타내는 제 2 영역(1103b)의 일부 및 제 2 영역(1103c)의 일부이지만, 도 19(B)에 도시하는 트랜지스터에서는 사이드 월 절연막(1106a) 및 사이드 월 절연막(1106b) 아래의 반도체 영역은 진성의 제 1 영역(1103a)이다. 즉, 도 19(A)에 도시하는 반도체층에서는 제 2 영역(1103c) 또는 게이트 전극(1105) 모두 겹치지 않는 영역이 제공된다. 이 영역을 오프셋 영역이라고 하고, 그 폭 Loff를 오프셋 길이라고 한다. 도면로부터 알 수 있는 바와 같이, 오프셋 길이는 사이드 월 절연막(1106a)(사이드 월 절연막(1106b))의 폭과 같다.

[0253] 그 외의 계산에 사용하는 파라미터는 상기한 바와 같다. 계산에는 시놉시스사제 디바이스 시뮬레이션 소프트웨어 Sentaurus Device를 사용했다. 도 16(A) 내지 도 16(C)은 도 19(A)에 도시되는 구조의 트랜지스터의 드레인 전류(I_d, 실선) 및 이동도(μ, 점선)의 게이트 전압(Vg, 게이트와 소스의 전위차) 의존성을 도시한다. 드레인 전류 I_d는 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다.

[0254] 도 16(A)은 게이트 절연막의 두께를 15nm로 하는 경우의, 도 16(B)은 게이트 절연막의 두께를 10nm로 하는 경우의, 도 16(C)은 게이트 절연막의 두께를 5nm로 하는 경우의 트랜지스터의 게이트 전압 의존성을 나타낸다. 게이트 절연막이 얇아질수록, 특히 오프 상태에서의 드레인 전류 I_d(오프 전류)가 현저하게 저하한다. 한편, 이동도 μ의 피크값이나 온 상태에서의 드레인 전류 I_d(온 전류)에는 눈에 띄는 변화가 없다. 게이트 전압 1V 전후에서 드레인 전류는, 메모리 소자 등에서 필요로 하는 10μA를 넘는 것으로 나타났다.

[0255] 도 17(A) 내지 도 17(C)은 도 19(B)에 도시하는 구조의 트랜지스터로, 오프셋 길이 Loff를 5nm로 한 것의 드레인 전류 I_d(실선) 및 이동도 μ(점선)의 게이트 전압 V_g 의존성을 도시한다. 드레인 전류 I_d는 드레인 전압을 +1V로 하고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 17(A)은 게이트 절연막의 두께를 15nm로 하는 경우의, 도 17(B)은 게이트 절연막의 두께를 10nm로 하는 경우의, 도 17(C)은 게이트 절연막의 두께를 5nm로 하는 경우의 트랜지스터의 게이트 전압 의존성을 나타낸다.

[0256] 또한, 도 18(A) 내지 도 18(C)은 도 19(B)에 도시하는 구조의 트랜지스터로, 오프셋 길이 Loff를 15nm로 한 것의 드레인 전류 I_d(실선) 및 이동도 μ(점선)의 게이트 전압 의존성을 도시한다. 드레인 전류 I_d는 드레인 전압을 +1V로 하고, 이동도 μ는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 18(A)은 게이트 절연막의 두께를 15nm로 하는 경우의, 도 18(B)은 게이트 절연막의 두께를 10nm로 하는 경우의, 도 18(C)은 게이트 절연막의 두께를 5nm로 하는 경우의 트랜지스터의 게이트 전압 의존성을 나타낸다.

[0257] 모두 게이트 절연막이 얇아질수록 오프 전류가 현저하게 저하하는 한편, 이동도 μ의 피크값이나 온 전류에는 눈에 띄는 변화가 없다.

[0258] 단, 이동도 μ의 피크는 도 16(A) 내지 도 16(C)에서는 80cm^2/Vs 정도이지만, 도 17(A) 내지 도 17(C)에서는 60cm^2/Vs 정도, 도 18(A) 내지 도 18(C)에서는 40cm^2/Vs이고; 따라서 오프셋 길이 Loff가 증가할수록 이동도 μ의 피크는 저하한다. 또한, 오프 전류도 같은 경향이 있다. 온 전류는 오프셋 길이 Loff의 증가에 따라 감소하지만; 오프 전류의 저하에 비하면 훨씬 완만하다. 또한, 모든 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 필요로 되는 10μA를 넘는 것으로 나타났다. 따라서 이와 같이 이동도가 높은 트랜지스터를 앞의 실시형태로 나타낸 프로그래머블 스위치의 메모리부에 이용할 때, 컨피겨레이션 데이터의 기입을 고속으로 행할 수 있으므로, 동적 컨피겨레이션를 용이하게 행할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0259] (실시형태 4)

[0260] 본 실시형태에서는, 앞의 실시형태에서 나타낸 산화물 반도체막을 포함하는 트랜지스터에 대하여 특히, In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막을 포함하는 트랜지스터에 대하여 설명한다.

[0261] In, Sn, Zn을 주성분으로 포함하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는 기판이 가열될 때 이 산화물 반도체를 성막함으로써, 혹은 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분이란 조성비로 5atomic% 이상 포함되는 원소를 말한다.

[0262] In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 또한, 트랜지스터의 문턱 전압을 플러스 시프트시키고, 노멀리-오프화 시키는 것이 가능하게 된다. 이하, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 가지는 트랜지스터를 제작하여 각종 측정을 행한 결과에 대하여 설명한다.

[0263] 우선, 본 실시형태에서 각종 측정에 이용한 트랜지스터의 구조에 대하여 도 25(A) 및 도 25(B)를 이용하여 설명한다. 도 25(A)는 이 트랜지스터의 평면도이며, 도 25(B)는 도 25(A)의 일점 쇄선 A-B에 대응하는 단면도이다.

[0264] 도 25(B)에 도시하는 트랜지스터는 기판(600)과; 기판(600) 위에 제공된 하지 절연막(602)과; 하지 절연막(602) 위에 제공된 산화물 반도체막(606)과; 산화물 반도체막(606)과 접하는 한쌍의 전극(614)과; 산화물 반도체막(606) 및 한쌍의 전극(614) 위에 제공된 게이트 절연막(608)과; 게이트 절연막(608) 사이에 위치한 산화물 반도체막(606)과 중첩하여 제공된 게이트 전극(610)과; 게이트 절연막(608) 및 게이트 전극(610)을 덮어 제공된 층간 절연막(616)과; 층간 절연막(616)에 형성된 개구부를 통하여 한쌍의 전극(614)과 접속하는 배선(618)과; 층간 절연막(616) 및 배선(618)을 덮어 제공된 보호막(620)을 가진다. 여기에서, 한쌍의 전극(614)은 이 트랜지스터의 소스 전극 및 드레인 전극으로서 기능한다.

[0265] 기판(600)으로서는 유리 기판을 이용했다. 하지 절연막(602)으로서는 산화 실리콘막을 이용했다. 산화물 반도체막(606)으로서는 In-Sn-Zn-O막을 이용했다. 한쌍의 전극(614)으로서는 텅스텐막을 이용했다. 게이트 절연막(608)으로서는 산화 실리콘막을 이용했다. 게이트 전극(610)으로서는 질화 탄탈막과 텅스텐막과의 적층 구조를 이용했다. 층간 절연막(616)으로서는 산화 질화 실리콘막과 폴리이미드막과의 적층 구조를 이용했다. 배선(618)으로서는 티탄막, 알루미늄막, 티탄막이 이 순서로 형성된 적층 구조를 이용했다. 보호막(620)으로서는 폴리이미드막을 이용했다.

[0266] 또한, 도 25(A)에 도시하는 구조를 가지는 트랜지스터에 있어서, 게이트 전극(610)과 한쌍의 전극(614)과의 중첩하는 폭을 Lov라고 부른다. 마찬가지로 산화물 반도체막(606)에 대한 한쌍의 전극(614)의 중첩되지 않는 폭을 dW라고 부른다.

[0267] 도 20(A)~도 20(C)은 도 25에 도시하는 트랜지스터에 있어서, 채널 길이 L이 3㎛, 채널폭 W가 10㎛인 산화물 반도체막과, 두께 100nm의 게이트 절연막을 이용한 트랜지스터의 특성이다. 단, V_d는 10V로 했다.

[0268] 도 20(A)은 기판을 의도적으로 가열하지 않고 스퍼터링법으로 형성된 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막의 트랜지스터 특성이다. 전계 효과 이동도는 18.8cm^2/Vsec 이다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막을 형성하면 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 도 20(B)은 기판을 200℃로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 트랜지스터 특성을 나타내는데, 전계 효과 이동도는 32.2cm^2/Vsec가 얻어진다.

[0269] 전계 효과 이동도는 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막을 형성한 후에 열처리를 함으로써 더 높일 수 있다. 도 20(C)은 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막을 200℃에서 스퍼터링 형성한 후, 650℃에서 열처리를 했을 때의 트랜지스터 특성을 도시한다. 이 때 전계 효과 이동도는 34.5cm^2/Vsec가 얻어진다.

[0270] 기판을 의도적으로 가열함으로써 스퍼터링 성막 동안에 수분이 산화물 반도체막 안으로 흡수되는 것을 저감하는 효과를 기대할 수 있다. 또한, 성막 후에 열처리를 하는 것에 의해서도, 산화물 반도체막으로부터 수소나 수산기 혹은 수분을 방출시켜 제거할 수 있다. 상기와 같은 방법으로 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은 탈수화·탈수소화에 의한 불순물의 제거뿐만 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문이라고도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하고 고순도화함으로써 결정화를 도모할 수 있다. 이와 같이 고순도화 된 비단결정 산화물 반도체는 이상적으로는 100cm^2/Vsec를 넘는 전계 효과 이동도를 실현하는 것도 가능해질 것이라고 추정된다.

[0271] In, Sn, Zn을 주성분으로 포함하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 이 산화물 반도체에 포함되는 수소나 수산기 혹은 수분을 방출시켜, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시켜도 좋다. 이러한 결정화 혹은 재결정화의 처리에 의해 결정성이 좋은 비단결정 산화물 반도체를 얻을 수 있다.

[0272] 성막 중에 기판을 의도적으로 가열하는 것 및/또는 성막 후에 열처리하는 것의 효과는 전계 효과 이동도의 향상

뿐만 아니라, 트랜지스터의 노멀리-오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체막을 채널 형성 영역으로 한 트랜지스터는 문턱 전압이 마이너스 시프트하는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체막을 이용한 경우, 이 문턱 전압의 마이너스 시프트화는 해소된다. 즉, 문턱 전압은 트랜지스터가 노멀리-오프가 되는 방향으로 움직이고; 이러한 경향은 도 20(A)과 도 20(B)의 비교로부터도 확인할 수 있다.

[0273] 또한, 문턱 전압은 In, Sn 및 Zn의 비율을 바꾸는 것에 의해서도 제어하는 것이 가능하고; 조성비로서 In : Sn : Zn=2 : 1 : 3으로 할 때 트랜지스터의 노멀리-오프화를 기대할 수 있다. 또한, 타겟의 조성비를 In : Sn : Zn=2 : 1 : 3으로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.

[0274] 의도적인 기판 가열 온도 혹은 열처리 온도는 150℃ 이상, 바람직하게는 200℃ 이상, 더 바람직하게는 400℃ 이상이다. 고온에서 성막하거나 혹은 열처리 함으로써 트랜지스터의 노멀리-오프화를 도모하는 것이 가능하게 된다.

[0275] 열처리는 산소 분위기 중에서 행할 수 있지만; 우선 질소 혹은 불활성 가스, 또는 감압하에서 열처리를 행하고 나서 산소를 포함한 분위기 중에서 열처리를 행해도 좋다. 탈수화 또는 탈수소화 후에 산소를 산화물 반도체에 더함으로써, 열처리의 효과를 더 높일 수 있다. 탈수화 또는 탈수소화 후에 산소를 공급하는 방법으로 산소 이온을 전계로 가속하여 산화물 반도체막에 주입하는 방법을 적용해도 좋다.

[0276] 산화물 반도체 중 및 산화물 반도체와 적층되는 막 사이의 계면에는 산소 결손에 의한 결함이 생성되기 쉽지만; 열처리에 의해 산화물 반도체 중에 산소를 과잉으로 포함시키는 경우, 일정하게 생성되는 산소 결손을 과잉의 산소에 의해 보상하는 것이 가능하게 된다. 과잉 산소는 주로 격자간에 존재하는 산소이다. 그 산소 농도는 $1\times10^{16}/cm^3$ 이상 $2\times10^{20}/cm^3$ 이하로 할 때, 결정에 변형 등을 부여하지 않고 산화물 반도체 중에 포함시킬 수 있다.

[0277] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써, 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들면, 조성비 In : Sn : Zn=1 : 1 : 1의 타겟을 이용하여 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은 X선 회절(XRD : X-Ray Diffraction)로 달무리 패턴(halo pattern)이 관측된다. 이 형성된 산화물 반도체막을 열처리하는 것에 의해 결정화시킬 수 있다. 열처리 온도는 적절히 설정될 수 있지만; 예를 들면 650℃의 열처리를 행할 때, X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.

[0278] In-Sn-Zn-O막의 XRD 분석을 행하였다. XRD 분석에는 Bruker AXS 사제 X선 회절 장치 D8 ADVANCE를 이용하여 Out-of-Plane법으로 측정했다.

[0279] XRD 분석을 행한 시료로서 시료 A 및 시료 B를 준비했다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.

[0280] 탈수소화 처리를 끝낸 석영 기판 위에 In-Sn-Zn-O막을 100nm의 두께로 형성했다.

[0281] In-Sn-Zn-O막은 스퍼터링 장치를 이용하여 산소 분위기에서 전력을 100 W(DC)로 하여 성막했다. 타겟은 In : Sn : Zn=1 : 1 : 1 [원자수비] 의 In-Sn-Zn-O 타겟을 이용했다. 단, 성막시의 기판 가열 온도는 200℃으로 했다. 이와 같이 하여 제작한 시료를 시료 A라고 했다.

[0282] 다음에, 시료 A와 유사한 방법으로 제작한 시료에 대하여 가열 처리를 650℃의 온도에서 행했다. 가열 처리는 처음에 질소 분위기에서 1시간의 가열 처리를 행하고, 온도를 낮추지 않고 산소 분위기에서 1시간의 가열 처리를 더 행하였다. 이와 같이 하여 제작한 시료를 시료 B라고 했다.

[0283] 도 21에 시료 A 및 시료 B의 XRD 스펙트럼을 나타낸다. 시료 A에서는 결정 유래의 피크가 관측되지 않았지만, 시료 B에서는, 2Θ가 35deg 근방 및 37deg~38deg에 결정 유래의 피크가 관측되었다.

[0284] 이와 같이 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체는 성막시에 의도적으로 가열하는 것 및/또는 성막 후에 열처리하는 것에 의해 트랜지스터의 특성을 향상시킬 수 있다.

[0285] 이 기판 가열이나 열처리는 산화물 반도체에 있어 악성의 불순물인 수소나 수산기를 막 중에 포함시키지 않도록 하는 것, 혹은 막 중으로부터 제거하는 작용이 있다. 즉, 산화물 반도체 중에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 이에 따라 트랜지스터의 노멀리-오프화를 도모할 수 있다. 산화물 반도체가 고순도화 되는 것에 의해 오프 전류를 1aA/m 이하로 할 수 있다. 여기에서, 상기 오프 전류값의 단위는 채널폭 1㎛당 전류값을 나타낸다.

[0286] 도 22에, 트랜지스터의 오프 전류와 측정시의 기판 온도(절대 온도)의 역수와의 관계를 나타낸다. 여기에서는,

간단하게 하기 위해, 측정시의 기판 온도의 역수에 1000을 곱한 수치(1000/T)를 가로축으로 하고 있다.

[0287] 구체적으로는, 도 22에 도시하는 바와 같이, 오프 전류는 기판 온도가 125℃의 경우 1aA/m(1×10^{-18}A/m) 이하로, 85℃의 경우 100zA/m(1×10^{-19}A/m) 이하로, 실온(27℃)에서 1zA/m(1×10^{-21}A/m) 이하로 각각 할 수 있다. 바람직하게는, 기판 온도가 125℃의 경우에는 0.1aA/m(1×10^{-19}A/m) 이하, 85℃의 경우에는 10zA/m(1×10^{-20}A/m) 이하, 실온의 경우에는 0.1zA/m(1×10^{-22}A/m) 이하로 각각 할 수 있다.

[0288] 단 산화물 반도체막의 성막시에 수소나 수분이 막 중에 혼입하지 않도록, 성막실 외부로부터 리크나 성막실 내의 내벽으로부터의 탈가스를 충분히 억제함으로써, 스퍼터링 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들면, 스퍼터링 가스는 수분이 막 중에 포함되지 않도록 노점 -70℃ 이하인 가스를 이용하는 것이 바람직하다. 또한, 타겟 그 자체에 수소나 수분 등의 불순물이 포함되어 있지 않도록 고순도화된 타겟을 이용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 포함하는 산화물 반도체는 열처리에 의해 막 중의 수분을 제거할 수 있지만, In, Ga, Zn을 주성분으로 포함하는 산화물 반도체와 비교하여 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성해 두는 것이 바람직하다.

[0289] 또한, 산화물 반도체막 성막 후에 650℃의 가열 처리를 행한 시료 B의 트랜지스터에서 기판 온도와 전기적 특성의 관계에 대하여 평가했다.

[0290] 측정에 이용한 트랜지스터는 채널 길이 L이 3㎛, 채널 폭 W가 10㎛, Lov가 일측 3㎛(합계 6㎛), dW가 0㎛이다. 또한, V_{ds}는 10V로 했다. 또한, 기판 온도는 -40℃, -25℃, 25℃, 75℃, 125℃ 및 150℃으로 행했다. 여기에서, 트랜지스터에서, 게이트 전극과 한쌍의 전극과의 중첩하는 폭을 Lov라고 부르고, 산화물 반도체막에 대한 한쌍의 전극의 중첩하지 않는 폭을 dW라고 부른다.

[0291] 도 23에 I_{ds}(실선) 및 전계 효과 이동도(점선)의 V_{gs} 의존성을 도시한다. 또한, 도 24(A)에 기판 온도와 문턱 전압의 관계를, 도 24(B)에 기판 온도와 전계 효과 이동도의 관계를 도시한다.

[0292] 도 24(A)로부터 기판 온도가 높을수록 문턱 전압은 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40℃~150℃에서 1.09V~-0.23V였다.

[0293] 또한, 도 24(B)로부터 기판 온도가 높을수록 전계 효과 이동도가 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40℃~150℃에서 36cm^2/Vs~32cm^2/Vs였다. 따라서, 상기한 온도 범위에서 전기적 특성의 변동이 작은 것을 알 수 있다.

[0294] 상기와 같은 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를 1aA/m 이하로 유지하면서, 전계 효과 이동도를 30cm^2/Vsec 이상, 바람직하게는 40cm^2/Vsec 이상, 더 바람직하게는 60cm^2/Vsec 이상으로 하고, LSI에서 요구되는 온 전류의 값을 만족시킬 수 있다. 예를 들면, L/W=33nm/40nm의 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V일 때 12㎂ 이상의 온 전류를 흐르게 할 수 있다.

[0295] 이와 같이 오프 전류가 낮은 트랜지스터를 앞의 실시형태에서 나타낸 프로그래머블 스위치의 메모리부에 이용함으로써, 전원 전위의 공급이 차단되었을 때에도 컨피겨레이션 데이터를 유지할 수 있게 된다. 따라서, 전원 공급 후의 컨피겨레이션 데이터의 기입을 생략할 수 있게 되므로, 논리 블록의 기동 시간을 짧게 할 수 있다. 따라서, 노멀리-오프의 구동 방법을 이용하여 저소비 전력화를 도모할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0296] 또한, 이와 같이 이동도가 높은 트랜지스터를 앞의 실시형태에서 나타낸 프로그래머블 스위치의 메모리부에 이용함으로써, 컨피겨레이션 데이터의 기입을 고속으로 행할 수 있으므로; 동적 컨피겨레이션를 용이하게 행할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0297] 이러한 특성으로, Si 반도체를 사용하여 형성되는 집적 회로 중에 산화물 반도체를 포함하는 트랜지스터가 제공되도 동작 속도를 희생하지 않고 프로그래머블 로직 디바이스를 제공할 수 있다.

[0298] (실시형태 5)

[0299] 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스를 이용함으로써, 소비 전력의 낮은 전자기기를 제공하는

것이 가능하다. 특히 전력의 공급을 상시 받는 것이 어려운 휴대용의 전자기기의 경우, 본 발명의 일 양태에 관한 소비 전력이 낮은 반도체 장치를 그 구성 요소에 추가하는 것에 의해 연속 사용 시간이 길어진다는 장점을 얻을 수 있다.

[0300] 본 발명의 일 양태에 따른 프로그래머블 로직 디바이스를 포함한 반도체 장치는 표시 장치, 퍼스널 컴퓨터, 기록 매체를 갖춘 화상 재생 장치(대표적으로는 DVD : Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 가지는 장치)에 이용할 수 있다. 그 외에, 본 발명의 일 양태에 따른 반도체 장치를 이용할 수 있는 전자기기로서 휴대전화, 휴대형을 포함한 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 인출기(ATM), 자동 판매기 등을 들 수 있다.

[0301] 본 발명의 일 양태에 관한 프로그래머블 로직 디바이스를 포함하는 반도체 장치를, 휴대전화, 스마트폰, 전자 서적 등의 휴대용의 전자기기에 응용한 경우에 대하여 설명한다.

[0302] 도 10은 휴대용 전자기기의 블록도이다. 도 10에 도시하는 휴대용 전자기기는 RF 회로(421), 아날로그 전용선 접속 시스템 회로(422), 디지털 전용선 접속 시스템 회로(423), 배터리(424), 전원 회로(425), 어플리케이션 프로세서(426), 플래시 메모리(430), 디스플레이 컨트롤러(431), 메모리 회로(432), 디스플레이(433), 터치 센서(439), 음성 회로(437), 키보드(438) 등을 포함한다. 디스플레이(433)는 표시부(434), 소스 드라이버(435), 게이트 드라이버(436)를 포함한다. 어플리케이션 프로세서(426)는 CPU(427), DSP(428), 인터페이스(429)를 포함한다. 예를 들면, CPU(427), 디지털 전용선 접속 시스템 회로(423), 메모리 회로(432), DSP(428), 인터페이스(429), 디스플레이 컨트롤러(431), 음성 회로(437) 중 어느 하나 또는 모두에 상기 실시형태에서 나타낸 프로그래머블 로직 디바이스를 채용하는 것에 의해 소비 전력을 저감할 수 있다.

[0303] 도 11은 전자 서적 리더의 블록도이다. 전자 서적 리더는 배터리(451), 전원 회로(452), 마이크로 프로세서(453), 플래시 메모리(454), 음성 회로(455), 키보드(456), 메모리 회로(457), 터치 패널(458), 디스플레이(459), 디스플레이 컨트롤러(460)를 포함한다. 마이크로 프로세서(453)는 CPU(461), DSP(462), 인터페이스(463)를 포함한다. 예를 들면, CPU(461), 음성 회로(455), 메모리 회로(457), 디스플레이 컨트롤러(460), DSP(462), 인터페이스(463) 중 어느 하나 또는 모두에 상기 실시형태에서 나타낸 프로그래머블 로직 디바이스를 채용함으로써, 소비 전력을 저감할 수 있게 된다.

[0304] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0305] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

부호의 설명

[0306]

10 : 논리 블록
11 : 배선
12 : 스위치 매트릭스
14 : 제 1 구동 회로
15 : 제 2 구동 회로
16 : 제 1 배선
17 : 제 2 배선
20 : 논리 셀
20a : 논리 셀
20b : 논리 셀
22a : 논리 회로
22b : 논리 회로
22c : NAND 회로
22d : NOR 회로
22e : NAND 회로
22f : NOR 회로
22g : XOR 회로
22h : NOT 회로
30 : 프로그래머블 스위치
30a : 프로그래머블 스위치
30b : 프로그래머블 스위치
30c : 프로그래머블 스위치
30d : 프로그래머블 스위치
32 : 메모리부

32a : 메모리부

32b : 메모리부

32c : 메모리부

32d : 메모리부

34 : 스위치부

34a : 스위치부

34b : 스위치부

34c : 스위치부

34d : 스위치부

40 : 트랜지스터

110 : 트랜지스터

112 : 트랜지스터

114 : 트랜지스터

116 : 용량 소자

118 : 버퍼

120 : 인버터

130 : 트랜지스터

132 : 트랜지스터

134 : 트랜지스터

136 : 트랜지스터

138 : 트랜지스터

140 : 트랜스미션 게이트

142 : 트랜스미션 게이트

144 : 인버터

150 : 트랜지스터

152 : 트랜지스터

154 : 트랜지스터

156 : 트랜지스터

158 : 트랜지스터

160 : 트랜지스터

162 : 트랜스미션 게이트

164 : 트랜스미션 게이트

201 : 반도체 기판

203 : 소자 분리 영역

205p : 웰 영역

207a : 게이트 절연막

207b : 게이트 절연막

209a : 게이트 전극

209b : 게이트 전극

211a : 불순물 영역

211b : 불순물 영역

213a : 불순물 영역

213b : 불순물 영역

215 : 절연막

217 : 절연막

219a : 콘택트 플러그

219b : 콘택트 플러그

219c : 콘택트 플러그

219d : 콘택트 플러그

221 : 절연막

223a : 배선

223b : 배선

223c : 배선

225 : 절연막

227 : 산화물 반도체막

229 : 산화물 반도체막

231 : 절연막

233 : 게이트 전극

235 : 산화물 반도체막

235a : 영역

235b : 영역

235c : 영역

237 : 사이드 월 절연막

239 : 게이트 절연막

241a : 전극

241b : 전극

243 : 절연막

245 : 절연막

249 : 배선

250 : 배선

421 : RF회로

422 : 아날로그 전용선 접속 시스템 회로

423 : 디지털 전용선 접속 시스템 회로

424 : 배터리

425 : 전원 회로

426 : 어플리케이션 프로세서

427 : CPU

428 : DSP

429 : 인터페이스

430 : 플래시 메모리

431 : 디스플레이 컨트롤러

432 : 메모리 회로

433 : 디스플레이

434 : 표시부

435 : 소스 드라이버

436 : 게이트 드라이버

437 : 음성 회로

438 : 키보드

439 : 터치 센서

451 : 배터리

452 : 전원 회로

453 : 마이크로 프로세서

454 : 플래시 메모리

455 : 음성 회로

456 : 키보드

457 : 메모리 회로

458 : 터치 패널

459 : 디스플레이

460 : 디스플레이 컨트롤러

461 : CPU

462 : DSP

463 : 인터페이스

600 : 기판

602 : 하지 절연막

606 : 산화물 반도체막

608 : 게이트 절연막

610 : 게이트 전극

614 : 전극

616 : 층간 절연막

618 : 배선

620 : 보호막

1101 : 하지 절연막

1102 : 매립 절연물

1103a : 제 1 영역

1103b : 제 2 영역

1103c : 제 2 영역

1104 : 게이트 절연막

1105 : 게이트 전극

1106a : 사이드 월 절연막

1106b : 사이드 월 절연막

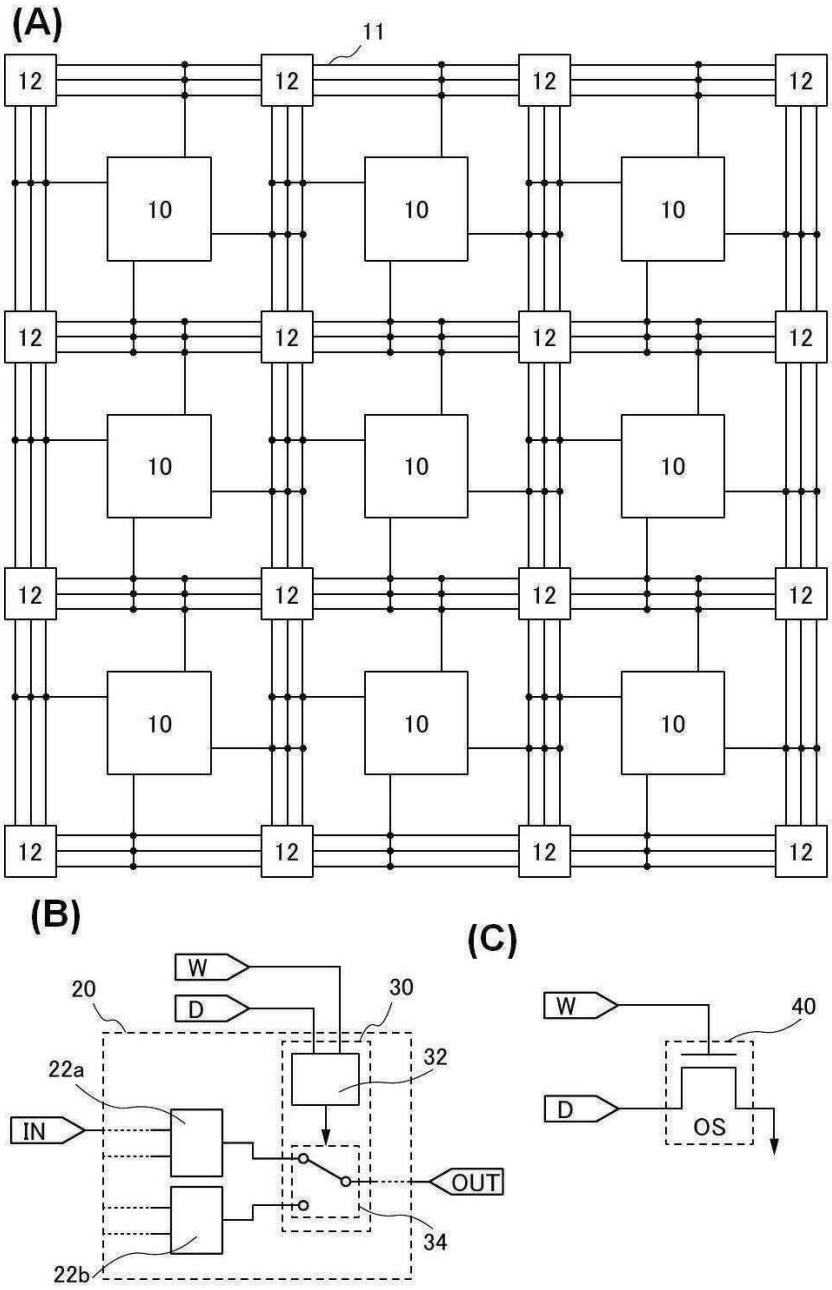
1107 : 절연물

1108a : 소스 전극

1108b : 드레인 전극

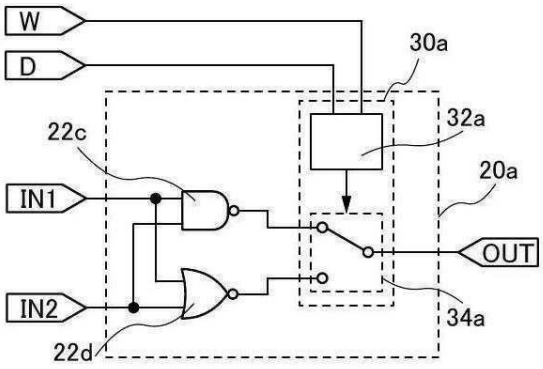
도면

도면1

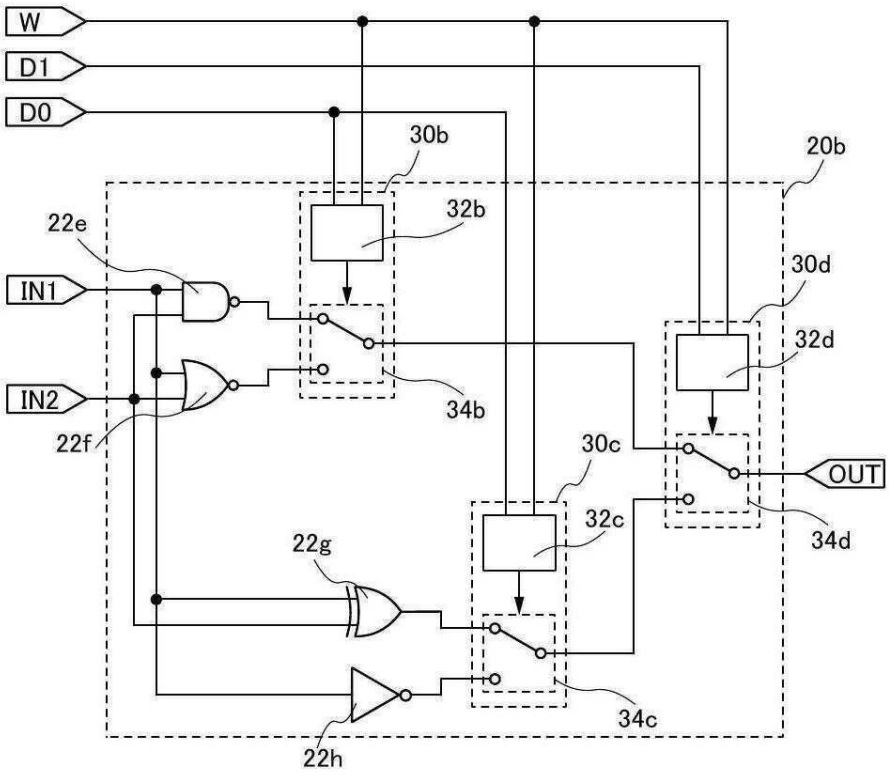


도면2

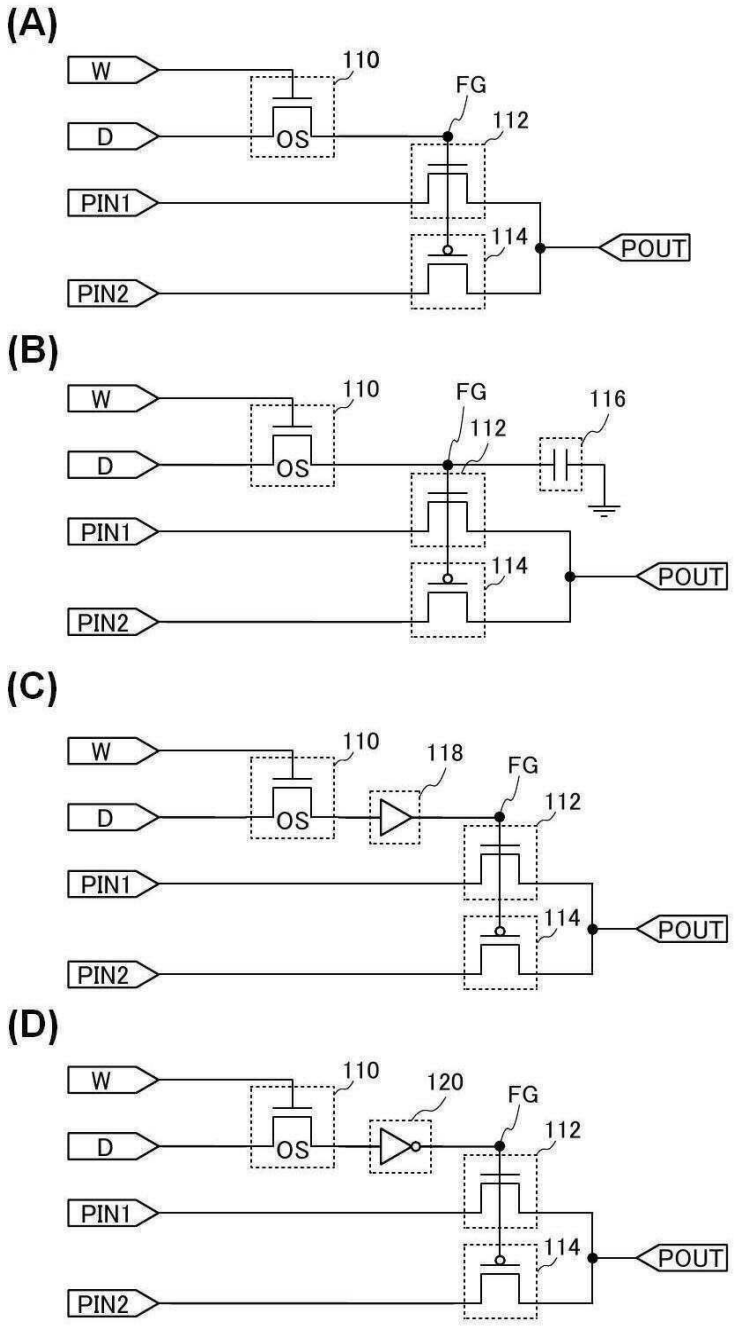
(A)


W
D
30a
32a
22c
20a
IN1
OUT
IN2
34a
22d

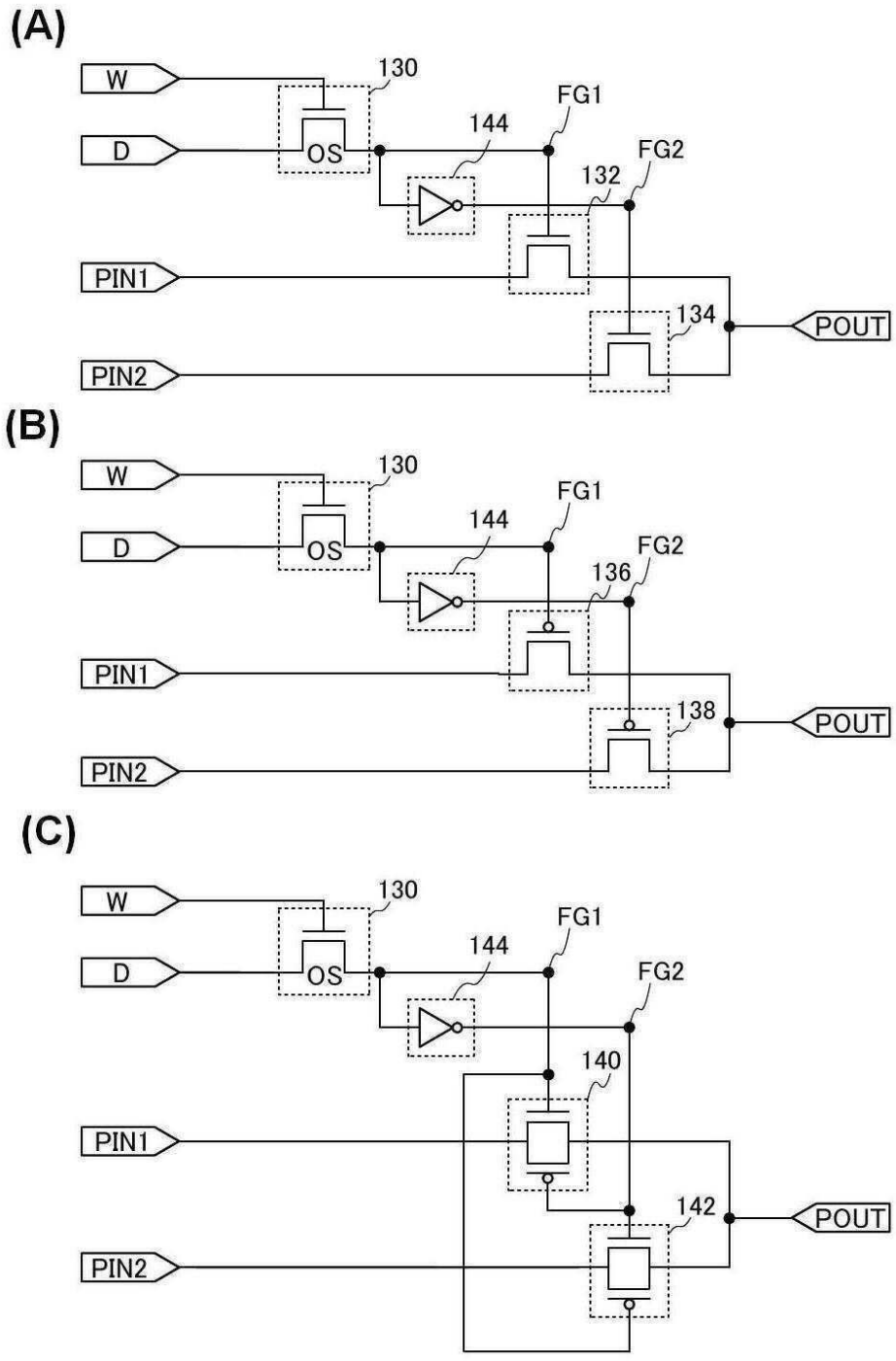
(B)


W
D1
D0
30b
20b
32b
22e
30d
IN1
32d
34b
IN2
22f
30c
OUT
32c
34d
22g
34c
22h

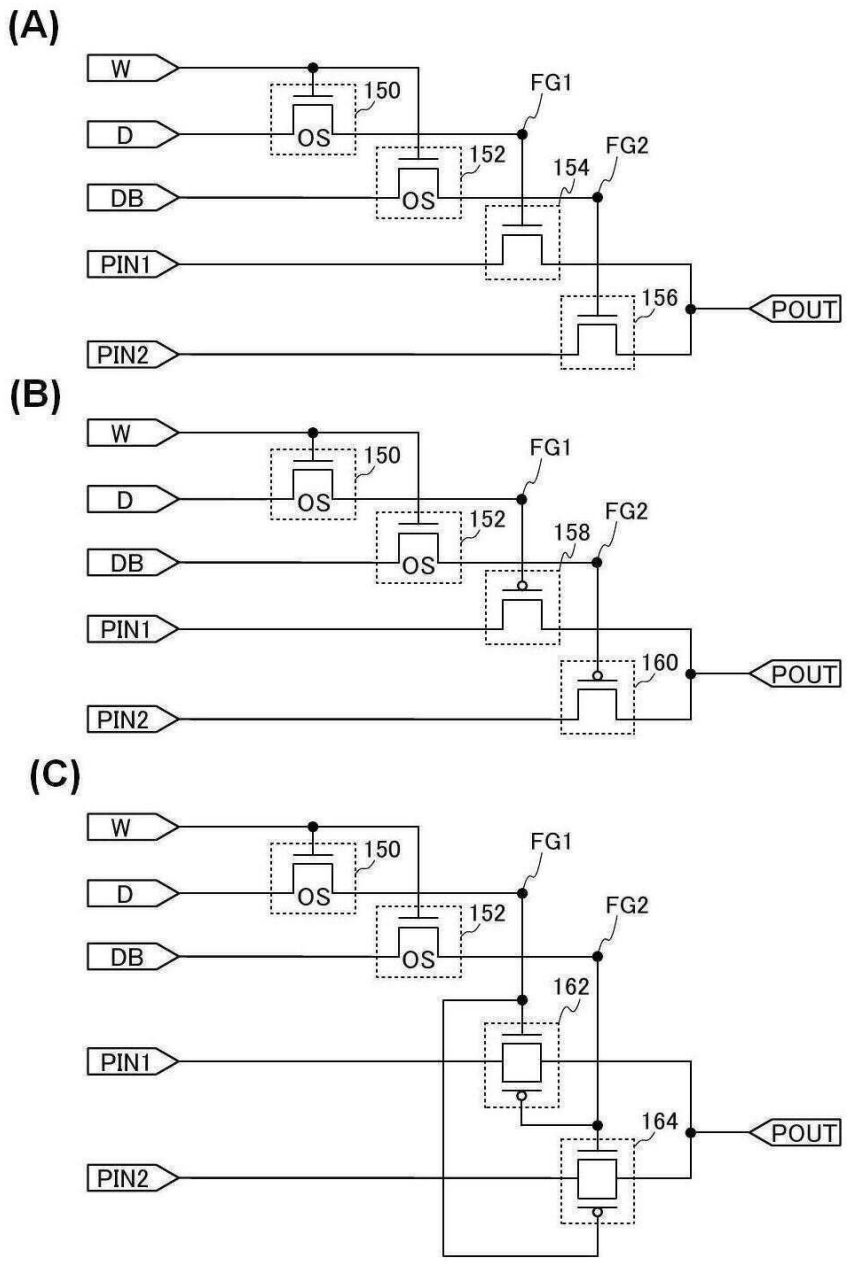
도면3


(A)
W
D
PIN1
PIN2
OS
110
FG
112
114
POUT
(B)
W
D
PIN1
PIN2
OS
110
FG
112
116
114
POUT
(C)
W
D
PIN1
PIN2
OS
110
118
FG
112
114
POUT
(D)
W
D
PIN1
PIN2
OS
110
120
FG
112
114
POUT

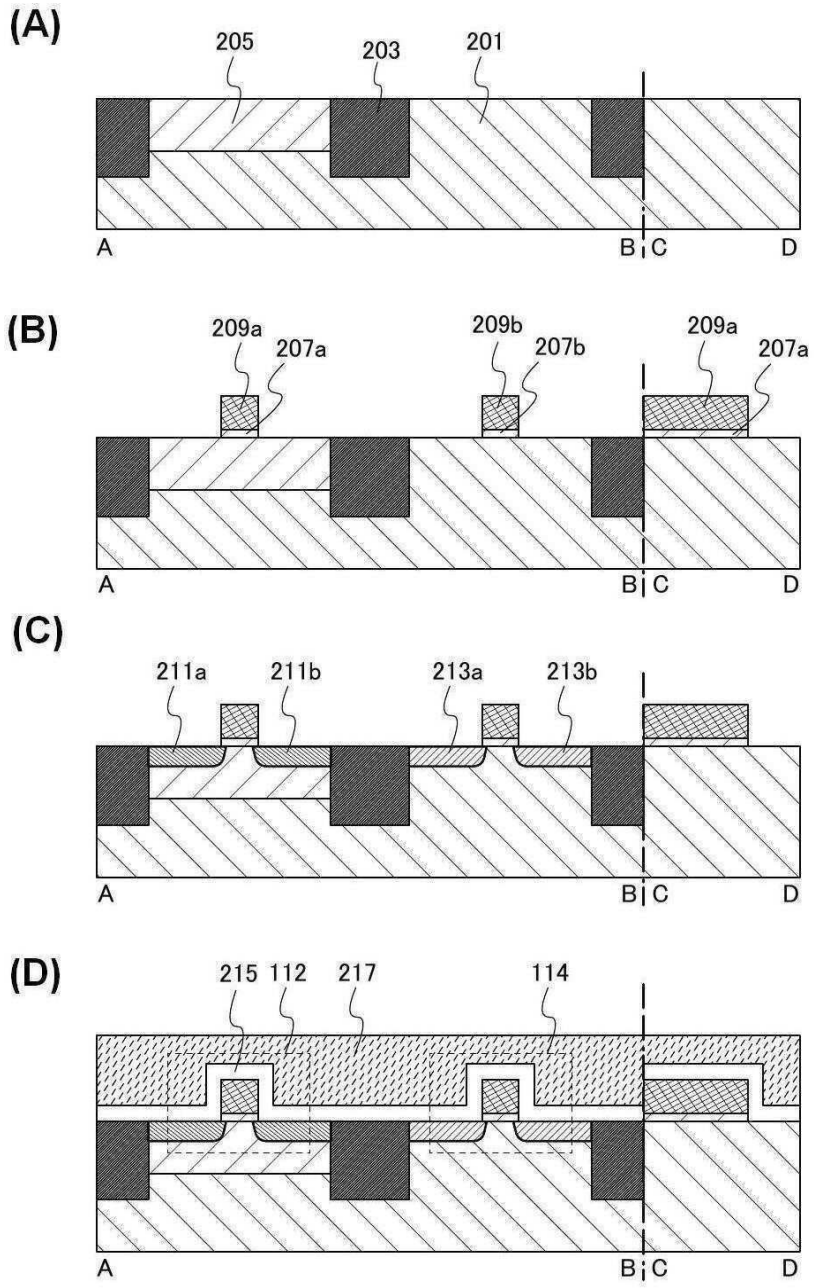
도면4


(A)
W
D
PIN1
PIN2
OS
130
144
FG1
FG2
132
134
POUT
(B)
W
D
PIN1
PIN2
OS
130
144
FG1
FG2
136
138
POUT
(C)
W
D
PIN1
PIN2
OS
130
144
FG1
FG2
140
142
POUT

도면5

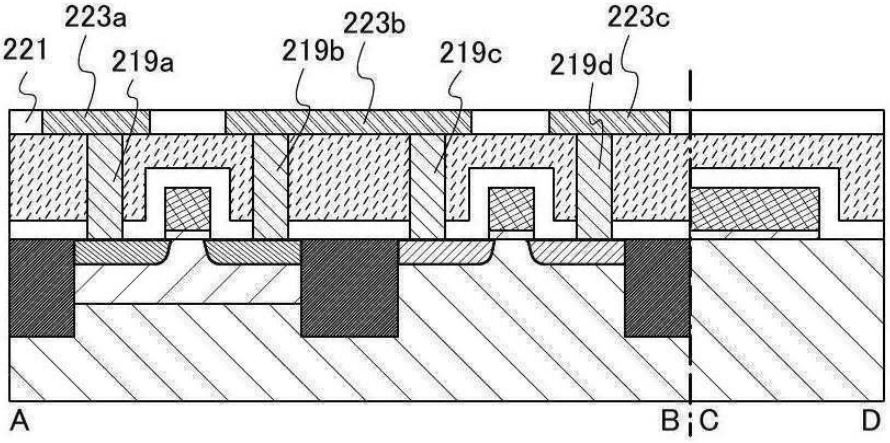

(A)
W
D
DB
PIN1
PIN2
150
152
154
156
FG1
FG2
OS
POUT
(B)
W
D
DB
PIN1
PIN2
150
152
158
160
FG1
FG2
OS
POUT
(C)
W
D
DB
PIN1
PIN2
150
152
162
164
FG1
FG2
OS
POUT

도면6

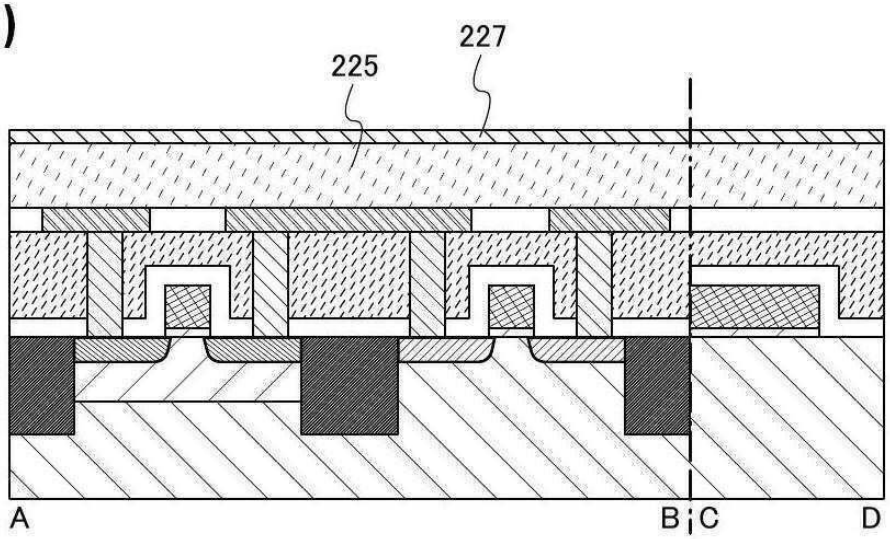

(A)
205
203
201
A
B
C
D
(B)
209a
207a
209b
207b
209a
207a
A
B
C
D
(C)
211a
211b
213a
213b
A
B
C
D
(D)
215
112
217
114
A
B
C
D

도면7

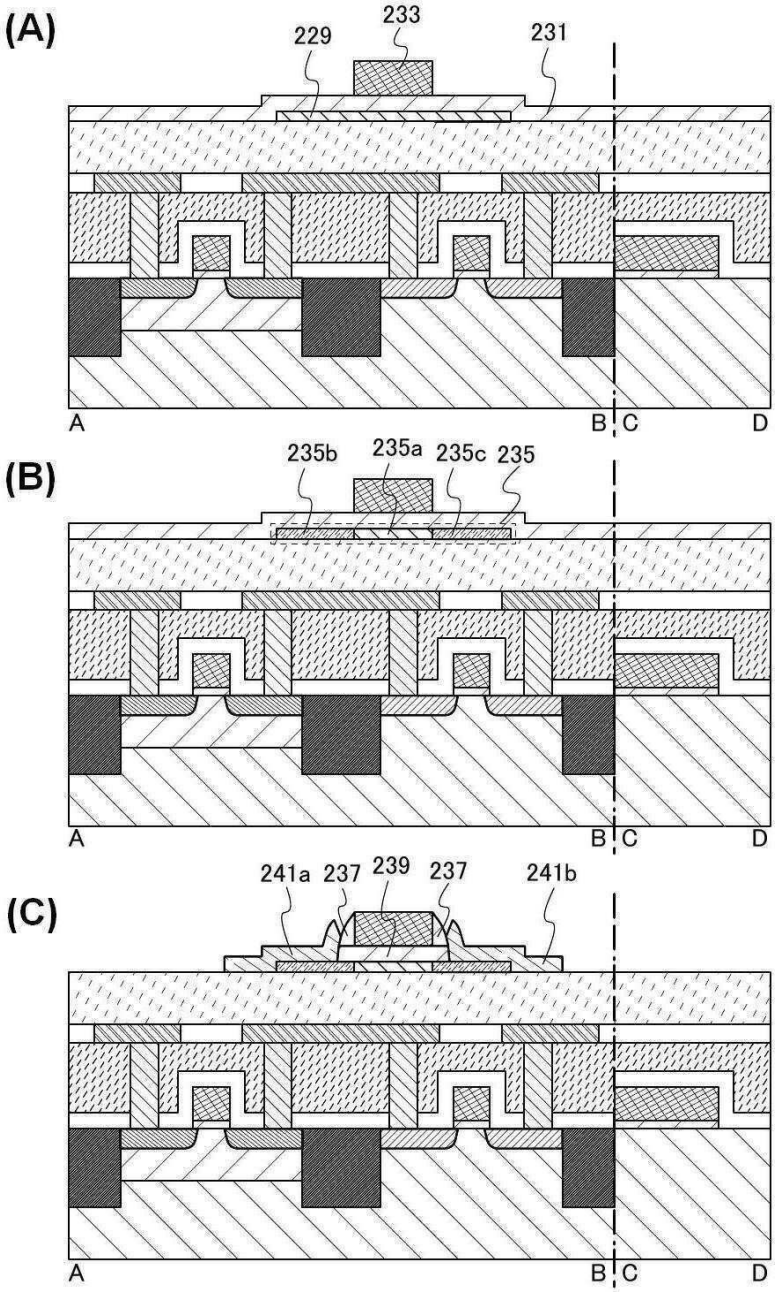
(A)



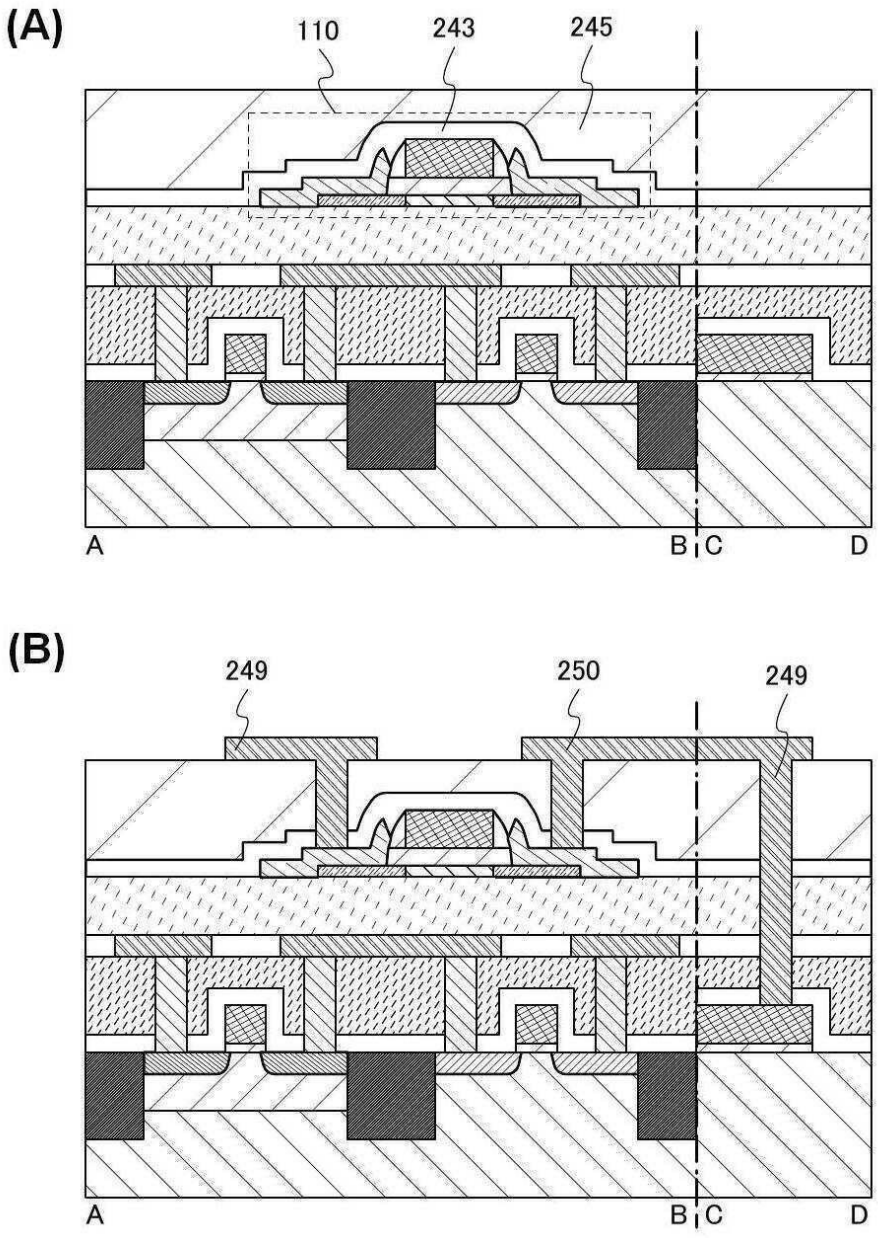
(B)



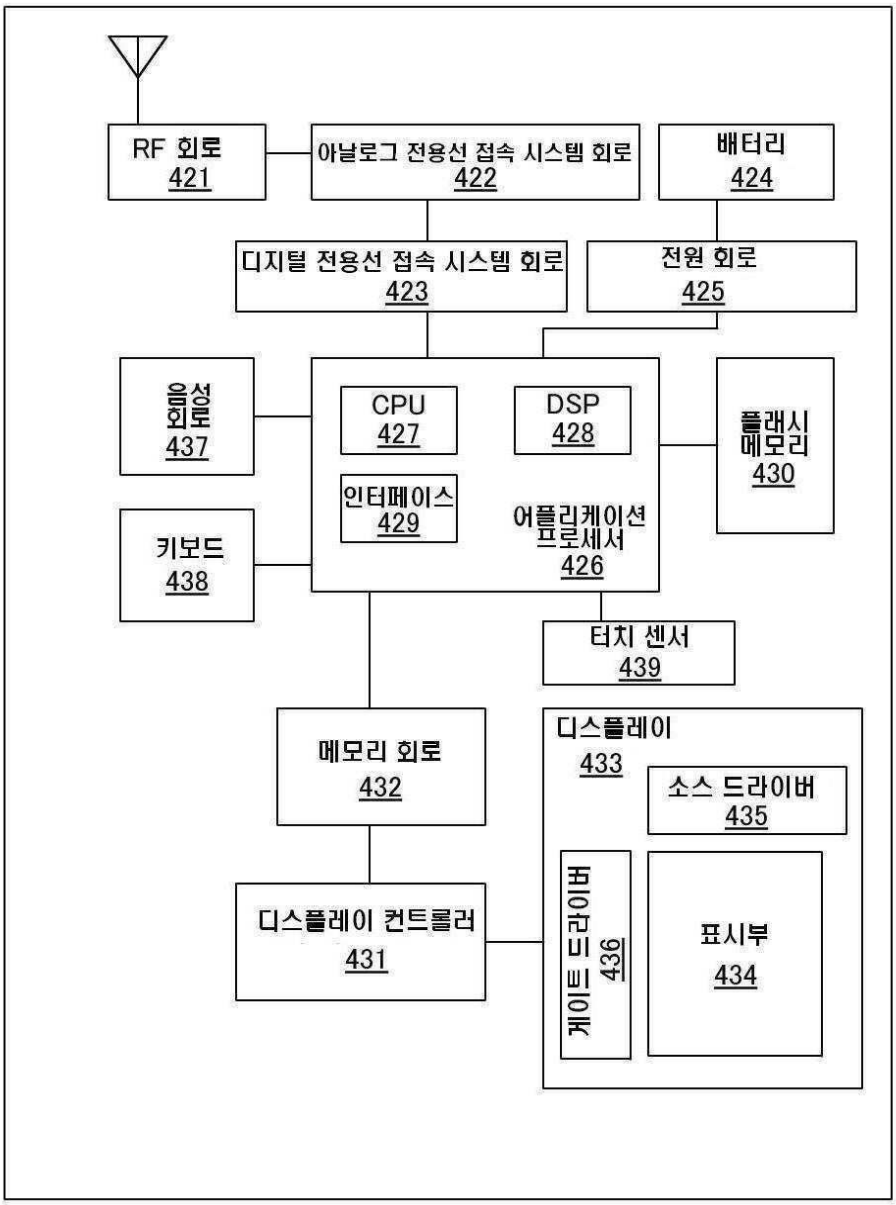
도면8


(A)
229
233
231
A
B
C
D
(B)
235b
235a
235c
235
A
B
C
D
(C)
241a
237
239
237
241b
A
B
C
D

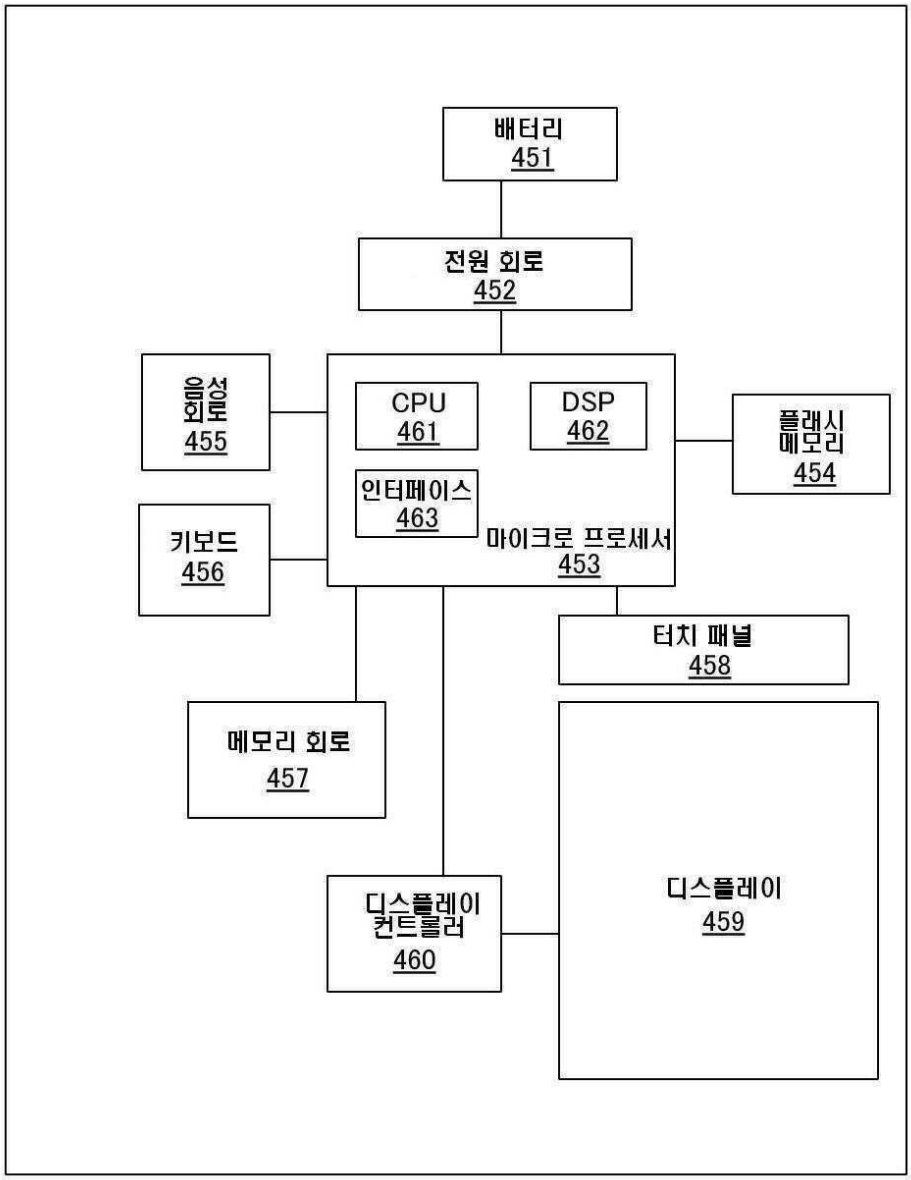
도면9



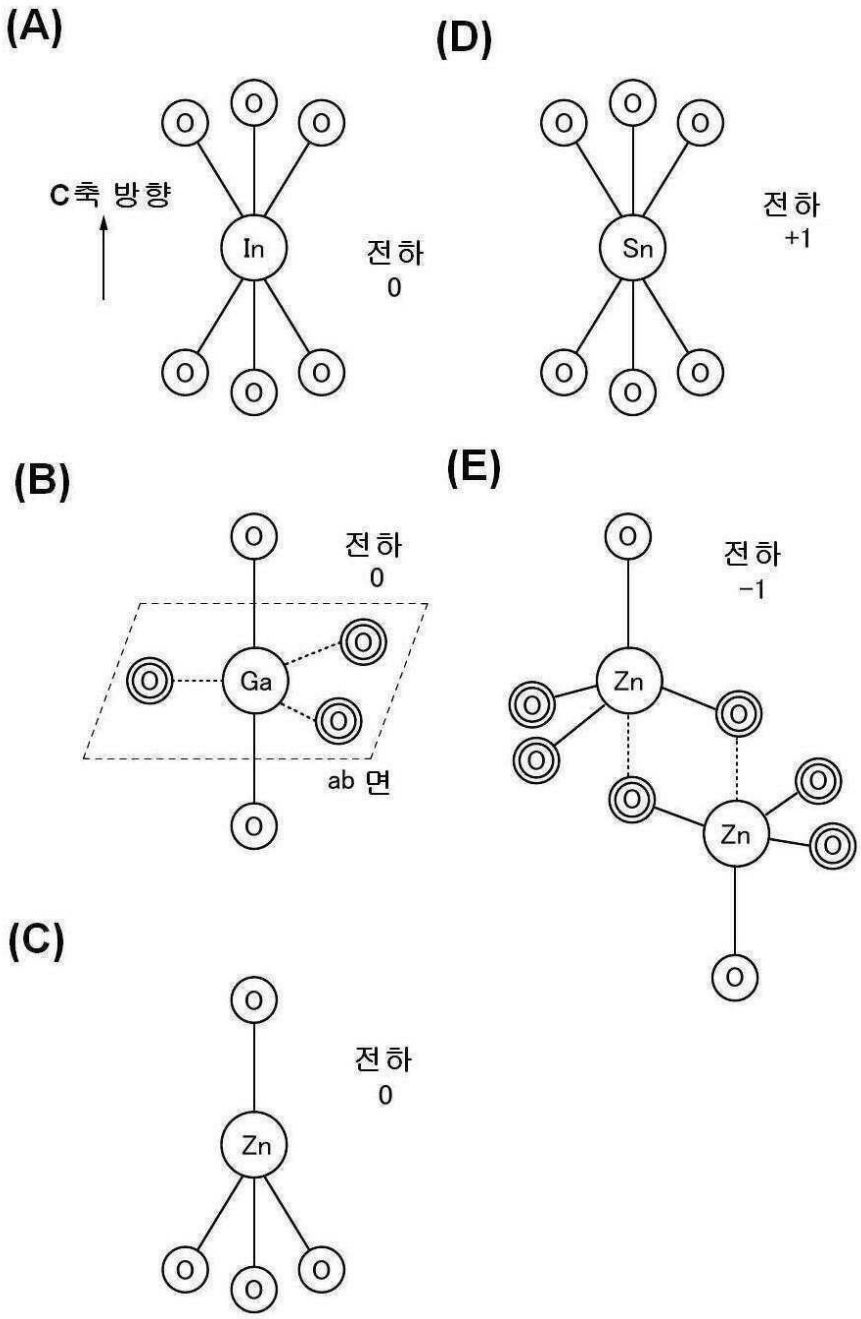
도면10


RF 회로
421
아날로그 전용선 접속 시스템 회로
422
배터리
424
디지털 전용선 접속 시스템 회로
423
전원 회로
425
음성
회로
437
CPU
427
DSP
428
플래시
메모리
430
인터페이스
429
어플리케이션
프로세서
426
키보드
438
터치 센서
439
메모리 회로
432
디스플레이
433
소스 드라이버
435
게이트 드라이버
436
표시부
434
디스플레이 컨트롤러
431

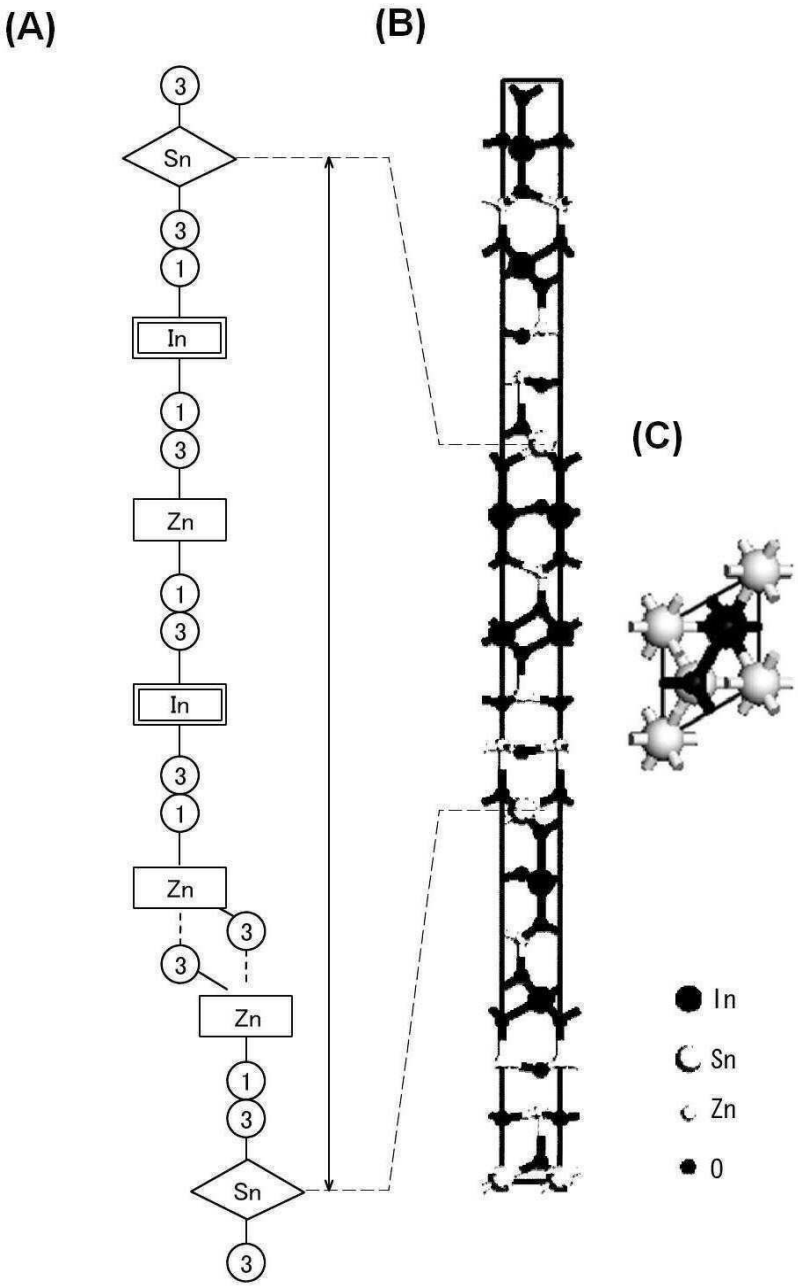
도면11


배터리
451
전원 회로
452
음성
회로
455
CPU
461
DSP
462
플래시
메모리
454
인터페이스
463
키보드
456
마이크로 프로세서
453
터치 패널
458
메모리 회로
457
디스플레이
459
디스플레이
컨트롤러
460

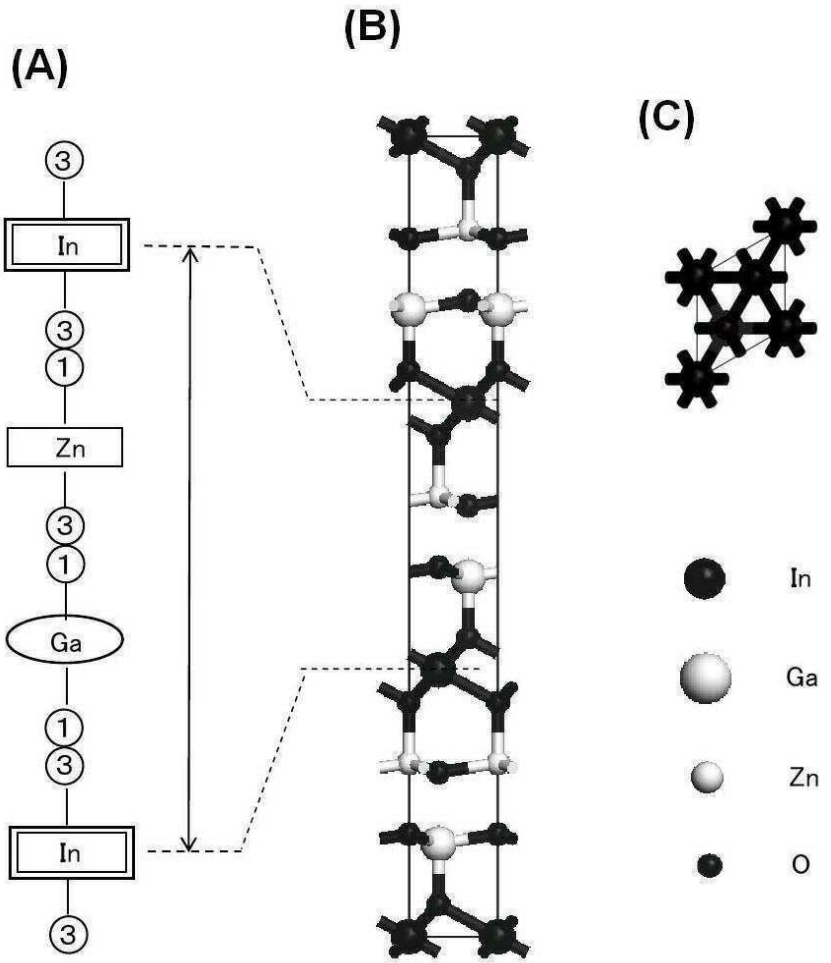
도면12



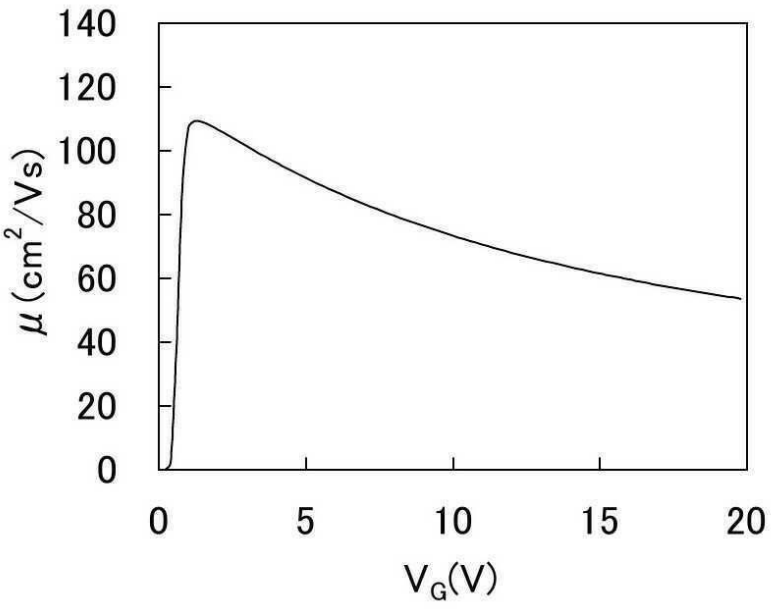
도면13



도면14

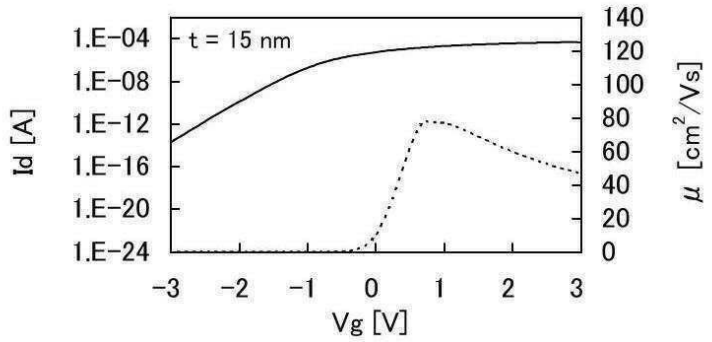

(A)
(B)
(C)
3
In
3
1
Zn
3
1
Ga
1
3
In
3
In
Ga
Zn
O

도면15

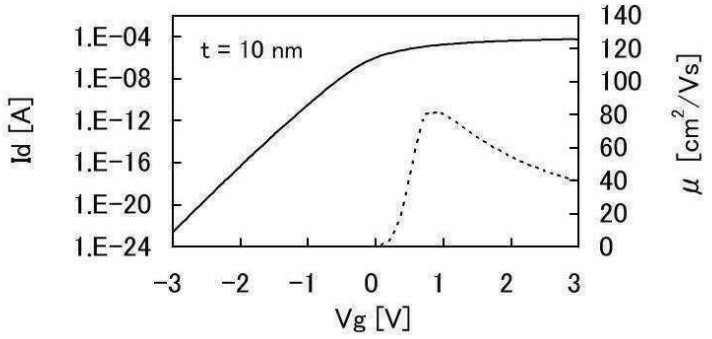

140
120
100
80
60
40
20
0
μ (cm²/Vs)
0
5
10
15
20
V_G(V)

도면16

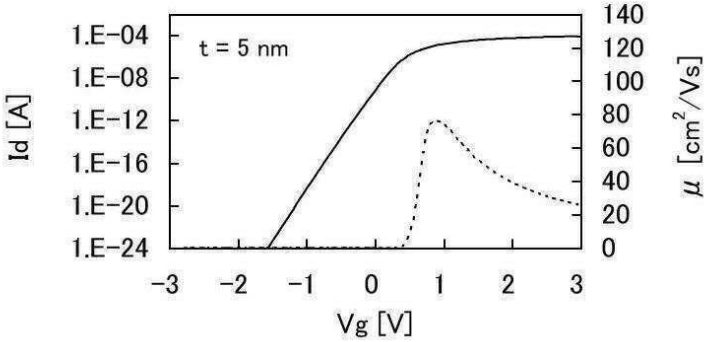
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

(B)

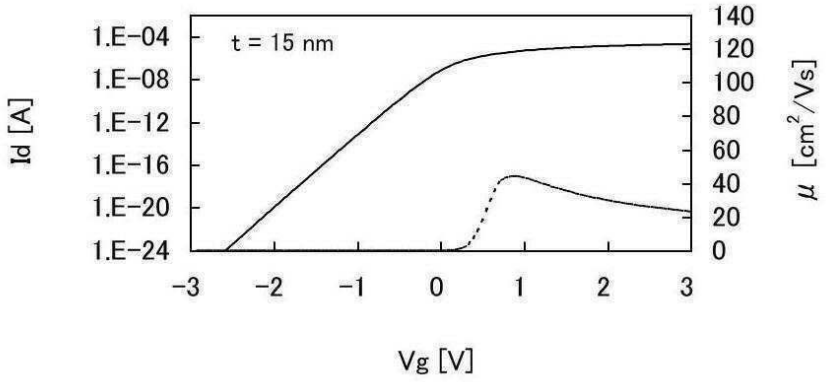

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

(C)

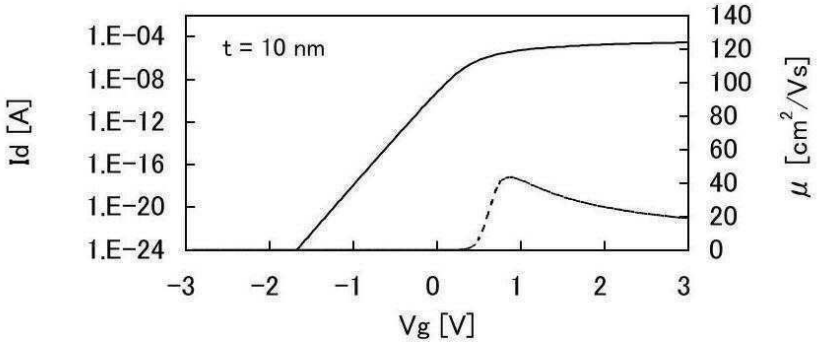

t = 5 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

도면17

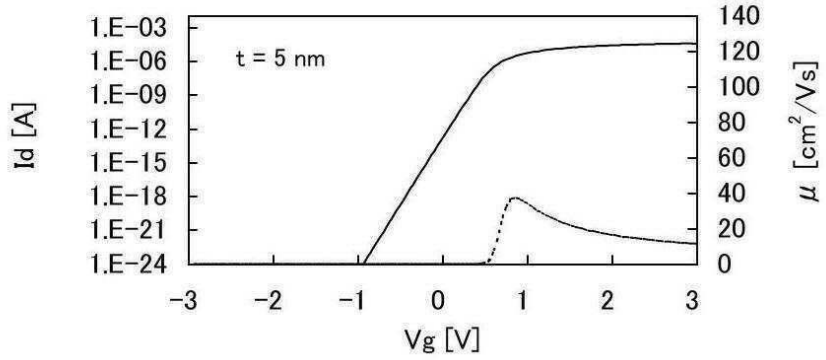
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

(B)

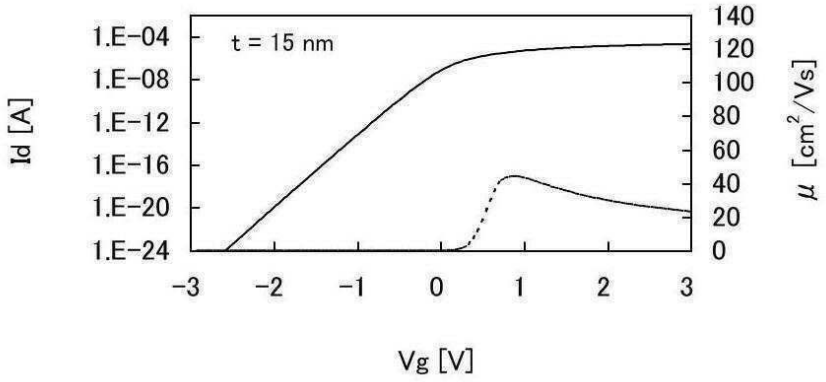

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

(C)

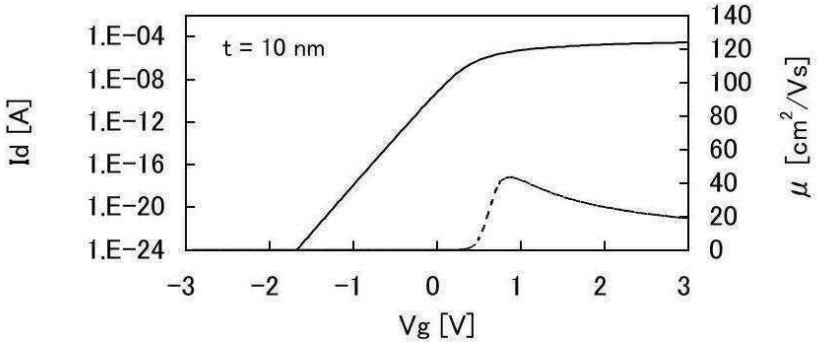

t = 5 nm
Id [A]
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

도면18

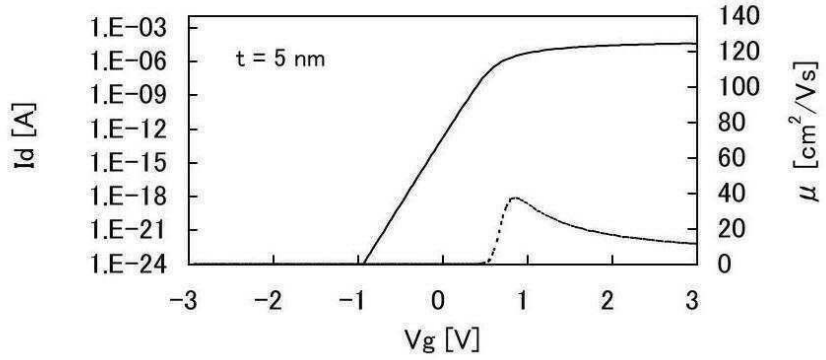
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

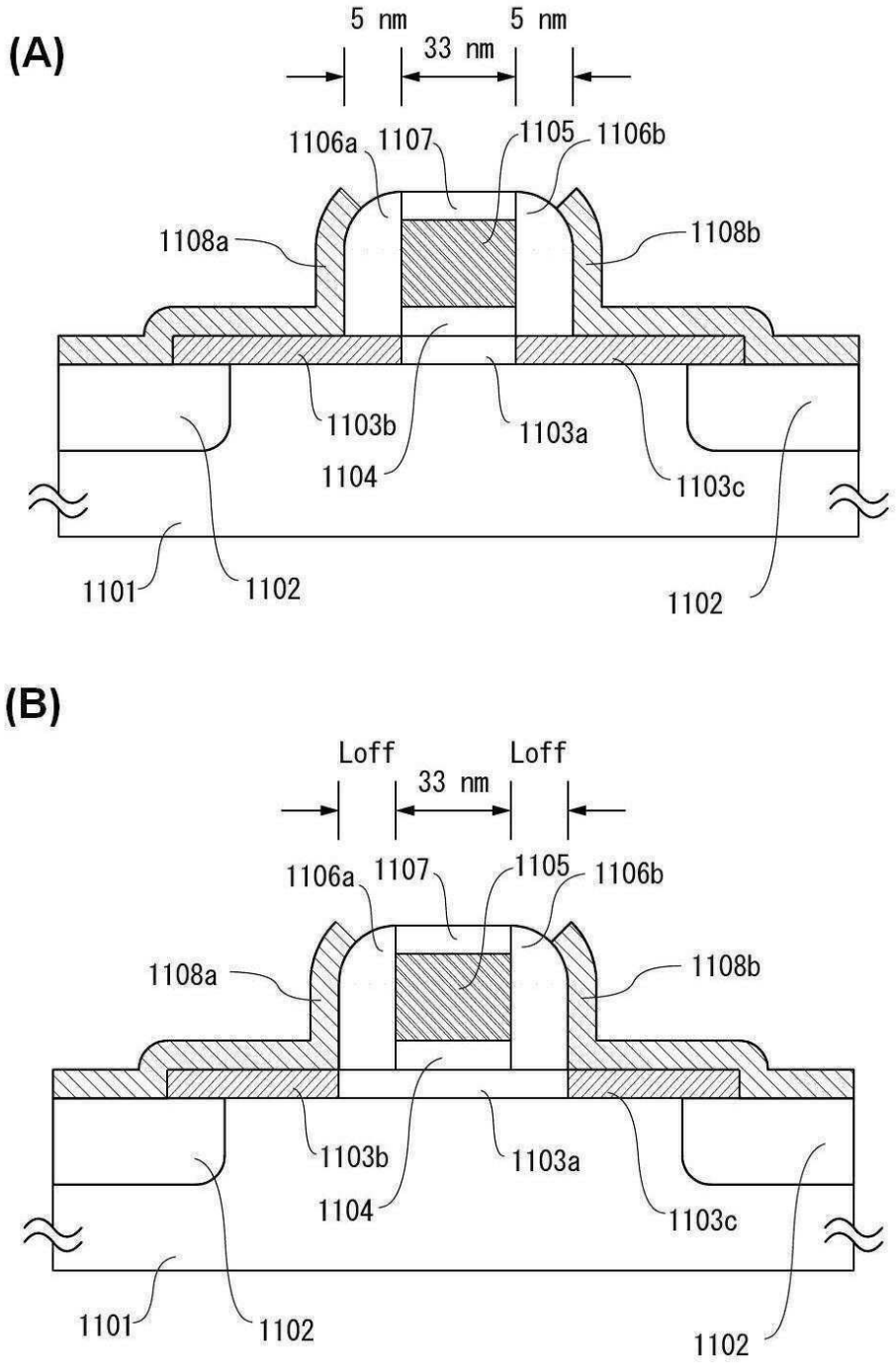
(B)


t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

(C)

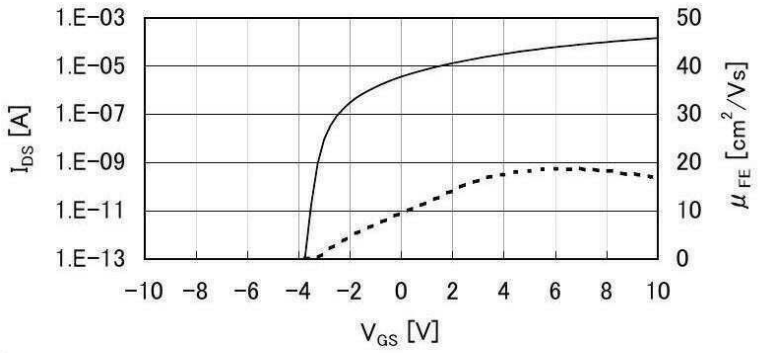

t = 5 nm
Id [A]
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
−3
−2
−1
0
1
2
3
Vg [V]

도면19

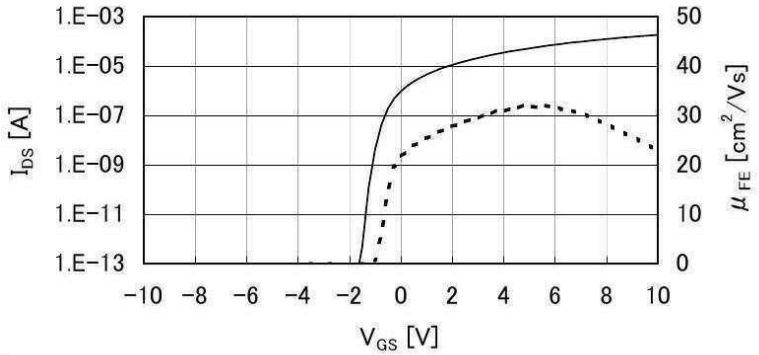

(A)
5 nm
33 nm
5 nm
1106a
1107
1105
1106b
1108a
1108b
1103b
1103a
1104
1103c
1101
1102
1102
(B)
Loff
33 nm
Loff
1106a
1107
1105
1106b
1108a
1108b
1103b
1103a
1104
1103c
1101
1102
1102

도면20

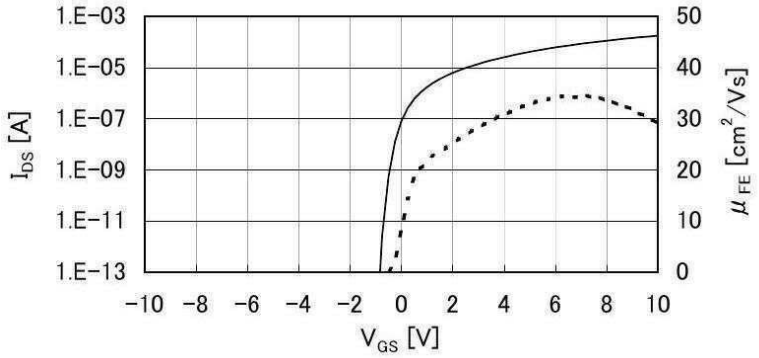
(A)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_{DS} [A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
V_{GS} [V]

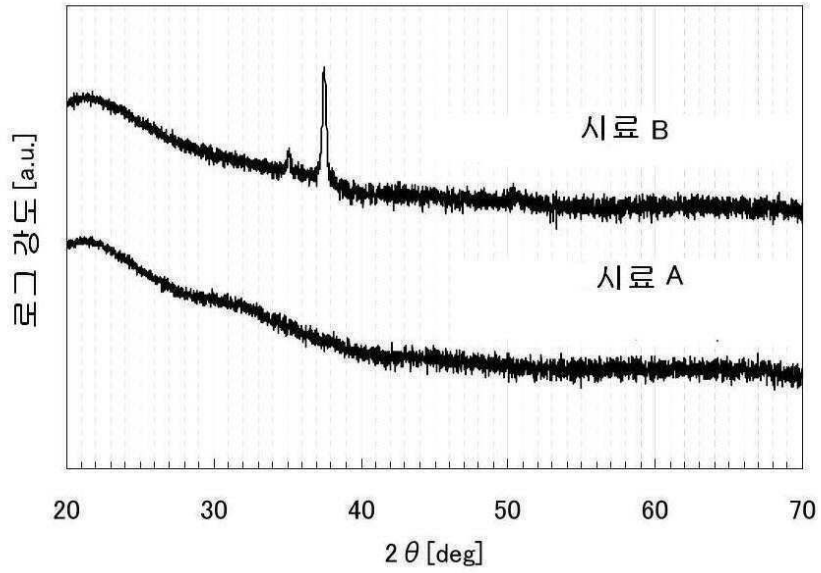
(B)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_{DS} [A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
V_{GS} [V]

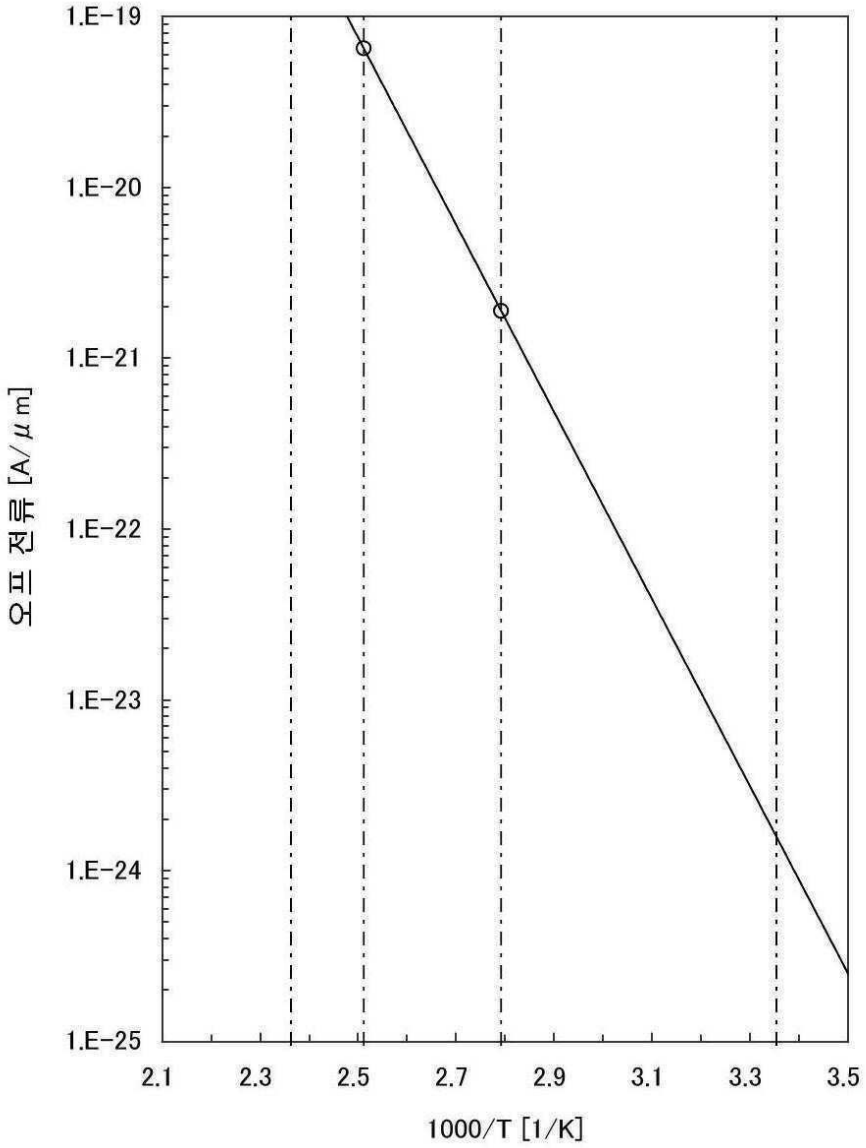
(C)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
I_{DS} [A]
50
40
30
20
10
0
μ_{FE} [cm^2/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
V_{GS} [V]

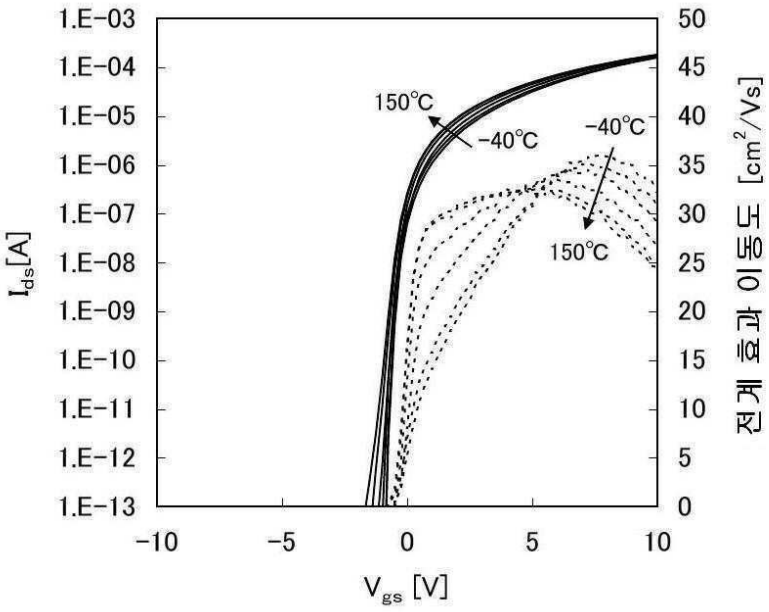
도면21



도면22

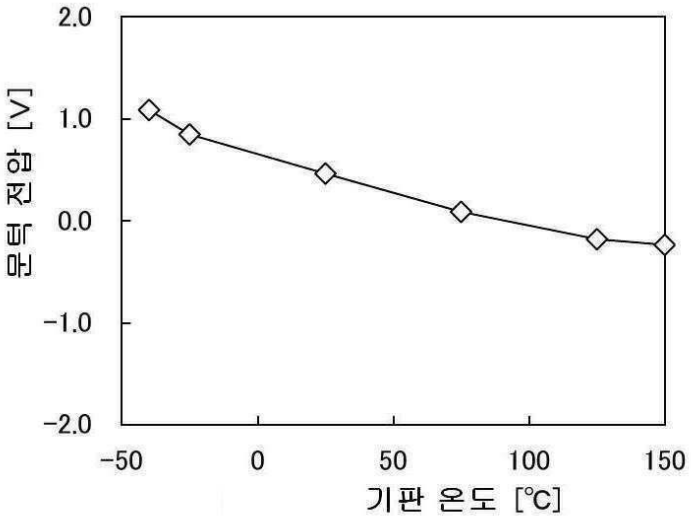

1.E-19
1.E-20
1.E-21
1.E-22
1.E-23
1.E-24
1.E-25
오프 전류 [A/μm]
2.1
2.3
2.5
2.7
2.9
3.1
3.3
3.5
1000/T [1/K]

도면23

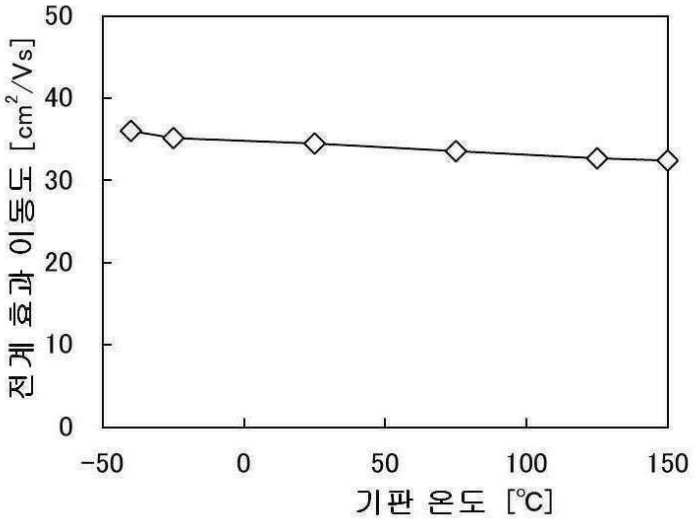

1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
I_{ds}[A]
50
45
40
35
30
25
20
15
10
5
0
전계 효과 이동도 [cm^2/Vs]
−10
−5
0
5
10
V_{gs} [V]
150℃
−40℃
−40℃
150℃

도면24

(A)

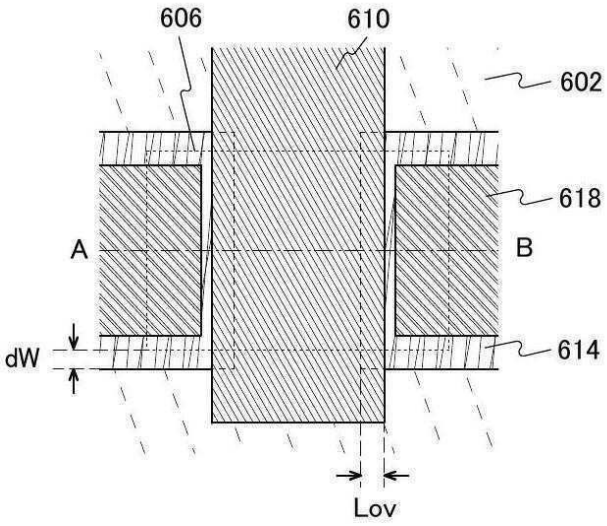

2.0
1.0
0.0
-1.0
-2.0
문턱 전압 [V]
-50
0
50
100
150
기판 온도 [℃]

(B)

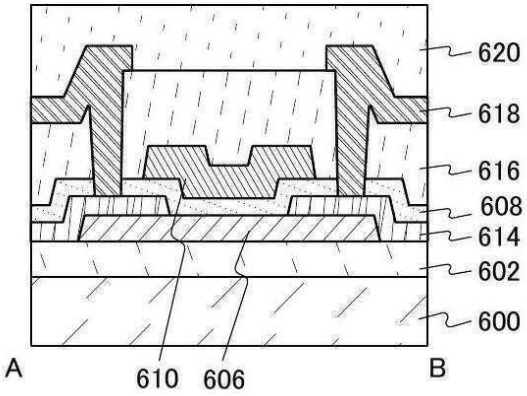

50
40
30
20
10
0
전계 효과 이동도 [cm²/Vs]
-50
0
50
100
150
기판 온도 [℃]

도면25

(A)

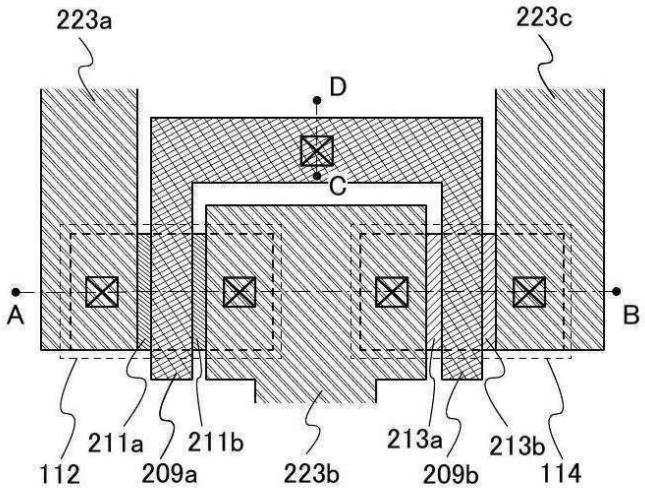

606
610
602
618
A
B
dW
614
Lov

(B)

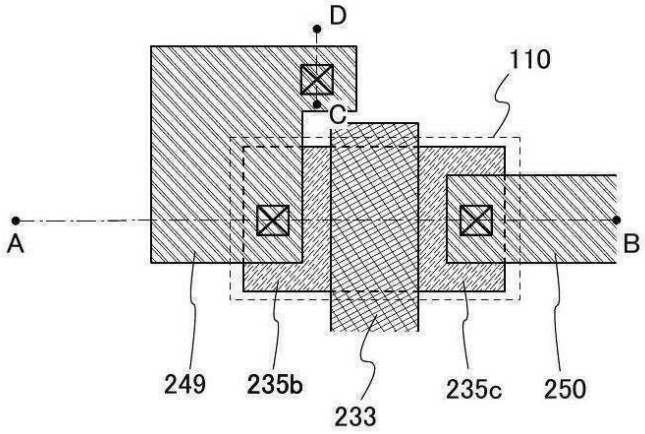

620
618
616
608
614
602
600
A
610
606
B

도면26

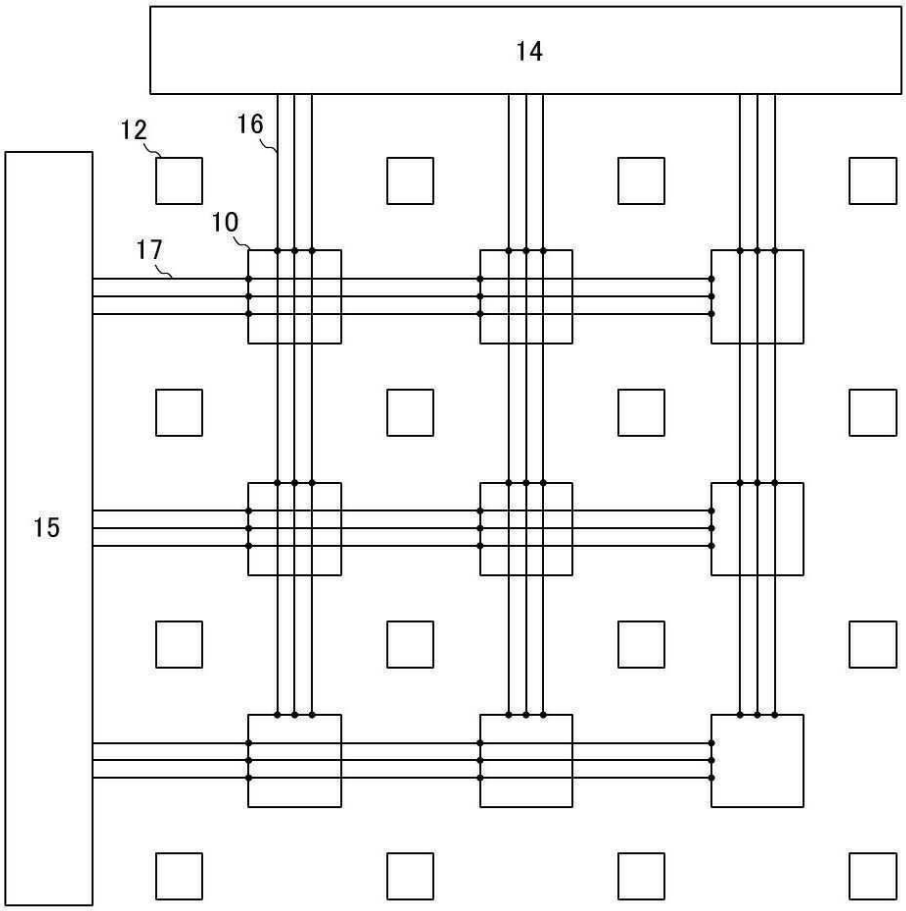
(A)


223a
223c
D
C
A
B
112
211a
209a
211b
223b
213a
209b
213b
114

(B)

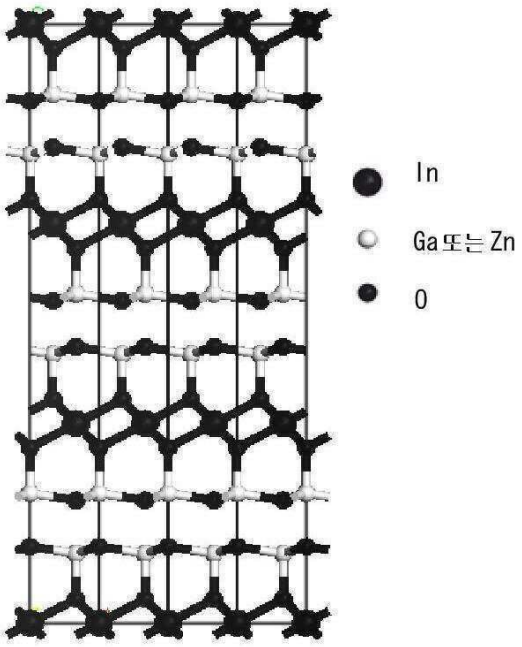

D
110
C
A
B
249
235b
233
235c
250

도면27



도면28

(A)



(B)

