

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成23年4月21日(2011.4.21)

【公開番号】特開2009-223854(P2009-223854A)

【公開日】平成21年10月1日(2009.10.1)

【年通号数】公開・登録公報2009-039

【出願番号】特願2008-70680(P2008-70680)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 06 F 1/12 (2006.01)

G 06 F 1/10 (2006.01)

【F I】

G 06 F 12/00 5 6 4 D

G 06 F 12/00 5 9 7 D

G 06 F 1/04 3 4 0 A

G 06 F 1/04 3 3 0 Z

【手続補正書】

【提出日】平成23年3月8日(2011.3.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1面、および前記第1面とは反対側の第2面を有する配線基板と、

複数の第1データ系端子、複数の第2データ系端子、複数の第3データ系端子、複数の第4データ系端子、第1クロック端子、第2クロック端子、およびコマンド・アドレス端子を有し、前記配線基板の前記第1面に搭載されたデータ処理デバイスと、

複数のデータ系端子、クロック端子、およびコマンド・アドレス端子を有し、前記配線基板の前記第1面に搭載され、かつ、平面視において前記データ処理デバイスの隣に配置された第1メモリデバイスと、

複数のデータ系端子、クロック端子、およびコマンド・アドレス端子を有し、前記配線基板の前記第1面に搭載され、かつ、平面視において前記データ処理デバイスの隣に配置された第2メモリデバイスと、

複数のデータ系端子、クロック端子、およびコマンド・アドレス端子を有し、平面視において前記第1メモリデバイスと重なるように前記配線基板の前記第2面に搭載された第3メモリデバイスと、

複数のデータ系端子、クロック端子、およびコマンド・アドレス端子を有し、平面視において前記第2メモリデバイスと重なるように前記配線基板の前記第2面に搭載され、かつ、平面視において前記第3メモリデバイスの隣に配置された第4メモリデバイスと、を含み、

前記データ処理デバイスの前記複数の第1データ系端子は、前記配線基板の複数の第1データ配線を介して前記第1メモリデバイスの前記複数のデータ系端子と電気的に接続され、

前記データ処理デバイスの前記複数の第2データ系端子は、前記配線基板の複数の第2データ配線を介して前記第2メモリデバイスの前記複数のデータ系端子と電気的に接続され、

前記データ処理デバイスの前記複数の第3データ系端子は、前記配線基板の複数の第3データ配線を介して前記第3メモリデバイスの前記複数のデータ系端子と電気的に接続され、

前記データ処理デバイスの前記複数の第4データ系端子は、前記配線基板の複数の第4データ配線を介して前記第4メモリデバイスの前記複数のデータ系端子と電気的に接続され、

前記データ処理デバイスの前記第1クロック端子は、前記配線基板の第1クロック配線を介して前記第1、第2、第3および第4メモリデバイスのうちの2つの前記クロック端子と電気的に接続されており、

前記データ処理デバイスの前記第2クロック端子は、前記配線基板の第2クロック配線を介して前記第1、第2、第3および第4メモリデバイスのうちの他の2つの前記クロック端子と電気的に接続されていることを特徴とする半導体装置。

【請求項2】

前記第1クロック配線は、前記データ処理デバイスの前記第1クロック端子と、前記第1、第2、第3および第4メモリデバイスのうちの2つの前記クロック端子との間に位置する第1分岐点において、第1部分と第2部分とに分岐され、

前記第2クロック配線は、前記データ処理デバイスの前記第2クロック端子と、前記第1、第2、第3および第4メモリデバイスのうちの他の2つの前記クロック端子との間に位置する第2分岐点において、第1部分と第2部分とに分岐されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記データ処理デバイスの前記第1クロック端子は、前記第1クロック配線の前記第1部分を介して前記第1メモリデバイスの前記クロック端子と電気的に接続されており、

前記データ処理デバイスの前記第1クロック端子は、前記第1クロック配線の前記第2部分を介して前記第3メモリデバイスの前記クロック端子と電気的に接続されており、

前記データ処理デバイスの前記第2クロック端子は、前記第2クロック配線の前記第1部分を介して前記第2メモリデバイスの前記クロック端子と電気的に接続されており、

前記データ処理デバイスの前記第2クロック端子は、前記第2クロック配線の前記第2部分を介して前記第4メモリデバイスの前記クロック端子と電気的に接続されていることを特徴とする請求項2記載の半導体装置。

【請求項4】

前記データ処理デバイスの前記コマンド・アドレス端子は、前記配線基板のコマンド・アドレス配線を介して前記第1、第2、第3および第4メモリデバイスのそれぞれの前記コマンド・アドレス端子と電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】

前記データ処理デバイスは、前記コマンド・アドレス配線を介して前記第1、第2、第3および第4メモリデバイスにコマンド・アドレス信号を第1の周波数で出力し、

前記データ処理デバイスは、前記第1クロック配線を介して前記第1、第2、第3および第4メモリデバイスのうちの2つに第1クロック信号を、前記第1の周波数よりも高い第2の周波数で出力し、

前記データ処理デバイスは、前記第2クロック配線を介して前記第1、第2、第3および第4メモリデバイスのうちの他の2つに第2クロック信号を前記第2の周波数で出力することを特徴とする請求項4記載の半導体装置。

【請求項6】

前記コマンド・アドレス配線は、前記データ処理デバイスの前記コマンド・アドレス端子と、前記第1、第2、第3および第4メモリデバイスの前記コマンド・アドレス端子との間に位置する第1分岐点において、第1部分と第2部分とに分岐され、

前記コマンド・アドレス配線の前記第1部分は、前記第1分岐点と、前記第1、第2、第3および第4メモリデバイスのうちの2つの前記コマンド・アドレス端子との間に位置

する第 2 分岐点において、第 3 部分と第 4 部分とに分岐され、

前記コマンド・アドレス配線の前記第 2 部分は、前記第 1 分岐点と、前記第 1、第 2、第 3 および第 4 メモリデバイスのうちの他の 2 つの前記コマンド・アドレス端子との間に位置する第 3 分岐点において、第 5 部分と第 6 部分とに分岐されていることを特徴とする

請求項 5 記載の半導体装置。