

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-174945

(P2017-174945A)

(43) 公開日 平成29年9月28日 (2017.9.28)

(51) Int.Cl.		F I				テーマコード (参考)
HO1G 4/12 (2006.01)		HO1G 4/12	349			5E001
HO1G 4/30 (2006.01)		HO1G 4/30	301E			5E082

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2016-58680 (P2016-58680)  
 (22) 出願日 平成28年3月23日 (2016.3.23)

(71) 出願人 000006633  
 京セラ株式会社  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 (72) 発明者 藤川 信儀  
 京都府京都市伏見区竹田鳥羽殿町6番地  
 京セラ株式会社内

Fターム(参考) 5E001 AB03 AC04 AD01 AD04 AF06  
 AH01 AH06 AH09 AJ02  
 5E082 AA01 AB03 BC11 BC31 BC32  
 BC40 EE04 EE23 EE35 FG04  
 FG18 FG26 FG46 FG52 FG54  
 FG58 GG10 GG28 JJ02 JJ26  
 KK01 LL02 LL03 MM24 PP08  
 PP09

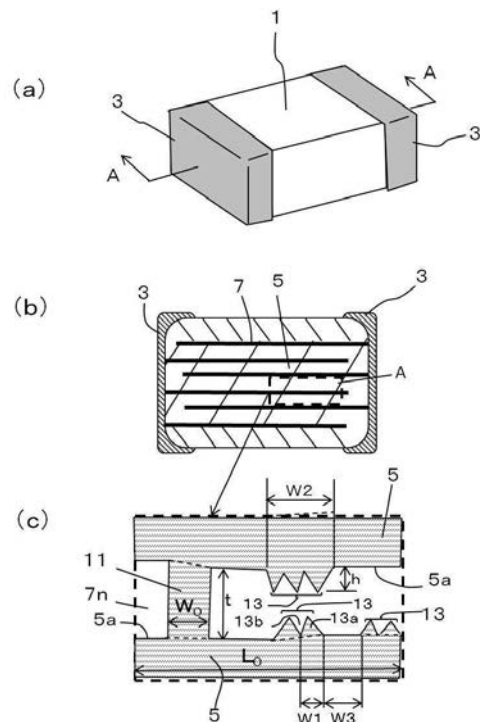
(54) 【発明の名称】 積層型電子部品

(57) 【要約】

【課題】 静電容量が高く、かつデラミネーションの発生し難い積層型電子部品を提供する。

【解決手段】 内部電極層7と、該内部電極層7を両面から挟むように配置されたセラミック層5とを有する電子部品本体1を備えており、電子部品本体1を縦断面視したときの単位面積内に見られるセラミック層5の長さをLとしたときに、内部電極層7を厚み方向に貫通するセラミック製の柱部材11の幅の総和の割合0.1L以下であり、セラミック層5は、その表面5aに、該セラミック層5を構成する結晶粒子が突き出て構成された複数の凸部13aとその間の凹部13bとで形成された凹凸部13を複数有している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

内部電極層と、該内部電極層を両面から挟むように配置されたセラミック層とを有する電子部品本体を備えている積層型電子部品において、前記電子部品本体を縦断面視したときの単位面積内に見られる前記セラミック層の長さ $L$ としたときに、前記単位面積内に見られる前記内部電極層を厚み方向に貫通するセラミック製の柱部材の幅の総和の割合が $0.1L$ 以下であるとともに、前記セラミック層は、その表面に、該セラミック層を構成する結晶粒子が突き出て構成された複数の凸部とその間の凹部とで形成された凹凸部を複数有していることを特徴とする積層型電子部品。

## 【請求項 2】

前記凹凸部の平均の表面粗さは、前記凹凸部以外の前記セラミック層の表面の平均の表面粗さよりも大きいことを特徴とする請求項 1 に記載の積層型電子部品。

## 【請求項 3】

前記単位面積内に見られる前記セラミック層の長さ $L$ に対して、前記単位面積内に見られる前記凹凸部の幅の総和の割合が $0.11L$ 以上であることを特徴とする請求項 1 または 2 に記載の積層型電子部品。

## 【請求項 4】

前記単位面積内において、前記内部電極層を挟んで対面している前記凹凸部の個数割合が、前記セラミック層の片方に在る前記凹凸部の個数に対して、 $70\%$ 以上であることを特徴とする請求項 1 乃至 3 のうちいずれかに記載の積層型電子部品。

## 【請求項 5】

前記凹部および前記凸部は、前記内部電極層を挟んで噛合するように位置していることを特徴とする請求項 1 乃至 4 のうちいずれかに記載の積層型電子部品。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、積層型電子部品に関する。

## 【背景技術】

## 【0002】

近年、積層セラミックコンデンサおよび積層型の圧電アクチュエータに代表される積層型電子部品は、電子機器の小型化および高性能化への対応のために、セラミック層および内部電極層の薄層化および多層化への要求がますます高まっている。

## 【0003】

このような積層型電子部品では、セラミック層および内部電極層を薄層化するほどに、表面の凹凸が小さくなることから、アンカー効果の低下により層間での剥離現象（以下、デラミネーションという。）が発生しやすいものとなる。

## 【0004】

このような課題に対して、以前より、内部電極層を形成するための導電性ペースト中にセラミック粉末を加え、焼成後の内部電極層中に、厚み方向に貫通する柱部材を形成することが提案されている（例えば、特許文献 1 を参照）。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献 1】特開 2003 - 77761 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

ところが、柱部材は、上述のように、内部電極層を厚み方向に貫通するものであることから、柱部材が占める領域は内部電極層の無い、いわゆる無電極部となる。このため、内

10

20

30

40

50

部電極層中に柱部材を増やすほど、層間の剥離は抑えられるものの、内部電極層の導体部分の面積の減少によって、静電容量の低下が大きくなってしまふ。

【0007】

従って、本発明は、静電容量が高く、かつデラミネーションの発生し難い積層型電子部品を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の積層型電子部品は、内部電極層と、該内部電極層を両面から挟むように配置されたセラミック層とを有する電子部品本体を備えている積層型電子部品において、前記電子部品本体を縦断面視したときの単位面積内に見られる前記セラミック層の長さを $L$ としたときに、前記単位面積内に見られる前記内部電極層を厚み方向に貫通するセラミック製の柱部材の幅の総和の割合が $0.1L$ 以下であるとともに、前記セラミック層は、その表面に、該セラミック層を構成する結晶粒子が突き出て構成された複数の凸部とその間の凹部とで形成された凹凸部を複数有している。

10

【発明の効果】

【0009】

本発明によれば、静電容量が高く、かつデラミネーションの発生し難い積層型電子部品を得ることができる。

【図面の簡単な説明】

【0010】

【図1】(a)は、本実施形態の積層型電子部品の一例を示す斜視図、(b)は、(a)におけるA-A線断面図であり、(c)は、(b)におけるA部を拡大した断面図である。

20

【図2】図1(c)の変形例であり、内部電極層の厚みが薄くなった状態での断面模式図である。

【発明を実施するための形態】

【0011】

図1(a)は、本実施形態の積層型電子部品の一例を示す斜視図、(b)は、(a)におけるA-A線断面図であり、(c)は、(b)におけるA部を拡大した断面図である。なお、(c)において、符号 $7n$ で示した部分は、便宜上、図中に示した符号がわかりやすいように、内部電極層を溶解して除去した状態を示している。

30

【0012】

本実施形態の積層型電子部品は、電子部品本体1の両端部に外部電極3を有している。電子部品本体1は、セラミック層5と内部電極層7とが交互に複数積層されて構成されている。言い換えると、この電子部品本体1は、内部電極層7と、該内部電極層7を両面から挟むように配置されたセラミック層5とを有する構成となっている。図1(b)ではセラミック層5と内部電極層7との積層状態を単純化して示しているが、この実施形態の積層型電子部品は、セラミック層5と内部電極層7とが数百層にも及ぶ積層体にも適用されるものである。セラミック層5は結晶粒子と粒界とから構成されている。

40

【0013】

ここで、本実施形態の積層型電子部品は、電子部品本体1を縦断面視したときの単位面積内に見られるセラミック層5の長さを $L$ としたときに、内部電極層7を厚み $t$ 方向に貫通するセラミック製の柱部材11の幅の総和の割合が $0.1L$ 以下である。言い換えると、単位面積内に見られるそれぞれのセラミック層5の長さ $L_0$ の総和の長さを $L$ (以下、セラミック層5の長さ $L$ ということがある)としたときに、内部電極層7を厚み $t$ 方向に貫通するセラミック製の柱部材11の幅 $W_0$ の総和 $W$ (以下、柱部材11の幅 $W$ ということがある)の比 $W/L$ が $0.1L$ 以下である。

【0014】

ここで、電子部品本体1を縦断面視したときの単位面積内に見られるセラミック層5の長さ $L$ とは、内部電極層7を両面から挟むように配置されている2つのセラミック層5の

50

うちの一方側の長さ $L_0$ を合わせた合計の長さのことである。

【0015】

すなわち、観察する単位面積内には、通常、複数のセラミック層5と複数の内部電極層7とが交互に積層されているため、電子部品本体1を縦断面視したときの単位面積内に見られるセラミック層5の長さ $L$ とは、内部電極層7の一方側に配置されているセラミック層5の長さ $L_0$ を合計した長さのことである。例えば、内部電極層7とセラミック層5とが交互に積層されて、それぞれ2層、計4層となっている場合には、それぞれの内部電極層7の上側に積層された2層のセラミック層5の長さ $L_0$ を合わせた合計の長さが、電子部品本体1を縦断面視したときの単位面積内に見られるセラミック層5の長さ $L$ となる。なお、図1(c)では、理解し易いように、1層の内部電極層7と、この内部電極層7を挟むように配置された2層のセラミック層5とを有する場合について示した。この場合には、 $W/L$ は $W_0/L_0$ となる。

10

【0016】

柱部材11の幅 $W_0$ の総和 $W$ についても、単位面積内に見られる複数の柱部材11の幅 $W_0$ の総和のことである。例えば、単位面積内に2層の内部電極層7が存在する場合には、2層の内部電極層7に存在する柱部材11の幅 $W_0$ の合計であり、例えば、2層の内部電極層7にそれぞれ1個の柱部材11が存在する場合には、2個の柱部材11の幅 $W_0$ の合計が、柱部材11の幅 $W_0$ の総和 $W$ となる。

【0017】

本実施形態の積層型電子部品によれば、まず、内部電極層7内において、これを貫通する柱部材11の面積割合が低く、内部電極層7の有効面積が大きいことから、積層型電子部品が、例えば、積層セラミックコンデンサや積層型の圧電アクチュエータである場合には高い静電容量を得ることができる。

20

【0018】

また、この積層型電子部品では、セラミック層5の表面5aに、そのセラミック層5に由来する結晶粒子が突き出て構成された複数の凸部13aと、その間の凹部13bと、で形成される凹凸部13を複数有している。ここで、セラミック層5に由来する結晶粒子とは、セラミック層5を構成する結晶粒子がそのまま凹凸部13を形成しているという意味である。

【0019】

この積層型電子部品は、内部電極層7内を貫通する柱部材11が少ない代わりに、セラミック層5の表面5aから突き出た複数の凸部13aとその間の凹部13bとで形成される凹凸部13が内部電極層7に入り込んだ構造を有している。このため、凹凸部13に基づくアンカー効果によって、セラミック層5と内部電極層7との間の接着強度が高まり、デラミネーションが発生する確率を小さくすることができる。

30

【0020】

また、セラミック層5の表面5aに凹凸部13が形成されている場合には、セラミック層5の表面5aに凹凸部13が無い平坦な場合に比較して、セラミック層5の表面5aの立体的形状としての面積が大きくなり、その分、内部電極層7との接触面積が増えることから静電容量を高めることができる。

40

【0021】

ここで、柱状部材11とは、内部電極層7を厚み方向に貫通し、内部電極層7を両面から挟んでいるセラミック層5を連結しているセラミック粒子または複数のセラミック粒子が粒界を介して結合した焼結体のことである。

【0022】

凹凸部13とは、セラミック層5の表面5aから、そのセラミック層5に由来する複数の結晶粒子が近接して凸状に突き出ている部分のことを言う。すなわち、凹凸部13は、セラミック層5に由来する結晶粒子が凸状に突き出ている部分を凸部13aとしたときに、凸部13aが2~10個ほど集まってできた部位のことである。この場合、凹凸部13を構成している凸部13aは、内部電極層7を厚み方向に貫通しているわけではなく、凸

50

部 1 3 a の先端は、内部電極層 7 の中で厚み方向の途中に止まった状態にある。凸部 1 3 a 間の凹んだ部分が凹部 1 3 b となる。

【 0 0 2 3 】

ここで、凹凸部 1 3 について、さらに説明すると、凸部 1 3 a の高さ  $h$  (セラミック層 5 の表面 5 a からの高さ  $h$ ) は、内部電極層 7 の厚み  $t$  の  $1/10 \sim 1/4$  である。また、近接している凸部 1 3 a の間隔は  $1 \mu\text{m}$  以上  $3 \mu\text{m}$  以下である。ここで、凸部 1 3 a の間隔は、近接している複数の凸部 1 3 a の先端同士を結ぶ距離とする。

【 0 0 2 4 】

また、凸部 1 3 a の 1 個の幅  $w_1$  としては  $0.05 \sim 1.3 \mu\text{m}$  である。また、凹凸部 1 3 の幅  $w_2$  としては  $1 \sim 8 \mu\text{m}$  である。さらに、凹凸部 1 3 同士の間隔  $w_3$  は  $2 \sim 10 \mu\text{m}$  である。

10

【 0 0 2 5 】

なお、セラミック層 5 の長さ  $L$  に対する、柱部材の幅  $W$  の割合  $W/L$  が  $0.1L$  よりも大きくなると、内部電極層 7 の面内に占める柱部材 1 1 の面積が大きくなり、内部電極層 7 の有効面積の低下から静電容量が低下してしまう。

【 0 0 2 6 】

この積層型電子部品では、凹凸部 1 3 の平均の表面粗さ  $R_{max}$  が、セラミック層 5 の表面 5 a の中で、凹凸部 1 3 を除いた領域 (5 a) の平均の表面粗さ  $R_{max}$  よりも大きいものとなっている。この場合、凹凸部 1 3 の平均の表面粗さ  $R_{max}$  は、凹凸部 1 3 を除いた領域 (5 a) の平均の表面粗さ  $R_{max}$  の 2 倍以上である。

20

【 0 0 2 7 】

ここで、積層型電子部品内に形成された柱状部材 1 1 および凹凸部 1 3 の有無およびその割合は、例えば、以下のような方法を用いて作製された試料から求める。

【 0 0 2 8 】

まず、積層型電子部品を研磨して、図 1 ( b ) に示すような断面を露出させる。次いで、その試料を塩化第 2 銅水溶液に浸漬することにより内部電極層 7 を溶解させて、内部電極層 7 の部分を除いて空洞化させる。こうして、図 1 ( c ) に示すような、セラミック層 5 の断面が露出した試料を得ることができる。

【 0 0 2 9 】

次に、得られた試料を走査型電子顕微鏡を用いて観察し、写真を撮影する。観察する際の倍率としては、セラミック層 5 および内部電極層 7 の厚みにも因るが、例えば、 $3000 \sim 7000$  倍で撮影した写真 (面積: 約  $25 \mu\text{m} \times 25 \mu\text{m}$ ) を用いる場合には、撮影した写真内に内部電極層 7 は 4 ~ 7 層となる。この範囲において、まず、内部電極層 7 に接している複数のセラミック層 5 の長さ  $L_0$  を測定し、合計してセラミック層 5 の長さ  $L$  を求める。この場合、内部電極層 7 を両面から挟むように配置されている 2 つのセラミック層 5 のうちの一方側のみ測定し、合計した長さがセラミック層 5 の長さ  $L$  となる。

30

【 0 0 3 0 】

次に、セラミック層 5 の長さ  $L$  に対する、柱部材の幅  $W$  の割合  $W/L$ 、凸部 1 3 a の高さ  $h$  (セラミック層 5 の表面 5 a からの高さ  $h$ )、近接している凸部 1 3 a の間隔  $w_1$ 、凹凸部 1 3 の幅  $w_2$  および凹凸部 1 3 同士の間隔  $w_3$  をそれぞれ測定し、平均値を求める。

40

【 0 0 3 1 】

また、この積層型電子部品では、凹凸部 1 3 の幅  $w_2$  を合わせた総和の長さが、電子部品本体 1 を縦断面視したときの単位面積内に見られるセラミック層 5 の長さを  $L$  としたときに、 $0.4L$  以上であるのが良い。この場合、凹凸部 1 3 の幅  $w_2$  を合わせた総和の長さについても、セラミック層 5 の長さ  $L$  を測定した一方の表面 5 a 側に形成されている凹凸部 1 3 の幅  $w_2$  を測定する。

【 0 0 3 2 】

さらには、凹凸部 1 3 同士は内部電極層 7 を挟んだ対面で部分的にでも重なっている方が良い。対面間で重なっている凹凸部 1 3 の個数割合としては、電子部品本体 1 を縦断面

50

視したときの単位面積内において、セラミック層5の片方に在る（内部電極層7の一方側に形成されている）凹凸部13の個数に対する個数割合で50%以上、特に、70%以上であるのが良い。

【0033】

図2は、図1(c)の変形例であり、内部電極層の厚みが薄くなった状態での断面模式図である。2つのセラミック層5が1枚の内部電極層7を挟んで対面に位置し、凹凸部13が内部電極層7を介して向かい合っている状態の中では、凸部13aおよび凹部13bが、内部電極層7を挟んで噛合するように配置されているのが良い。

【0034】

凸部13aおよび凹部13bが内部電極層7を挟んで噛合するように配置されていると、内部電極層7の中で、例えば、凸部13aの高さhよりも薄い部分が存在しても、凸部13a同士が内部電極層7の厚み方向で接触する確率が低くなる。

【0035】

つまり、内部電極層7を挟んで凹凸部13同士が噛合する部分では、内部電極層7の有効面積の低下がほとんど無いことから、高い静電容量を得ることができる。

【0036】

また、このような場合には、凸部13aが内部電極層7の厚みtに対して進入している割合が大きいことから、凹凸部13によるアンカー効果が高まり、セラミック層5と内部電極層7との間でデラミネーションが発生する確率をさらに小さくすることができる。

【0037】

なお、内部電極層7を挟んで凹凸部13同士が部分的にでも噛合している割合としては、例えば、凹凸部13の個数として多い方が良いが、後述する実施例から、電子部品本体1を縦断面視したときの単位面積内の個数割合で10%以上であるのが良い。この場合、内部電極層7の平均厚みtに対する凸部13aの平均の高さhの比としては、0.2~0.7が好適な範囲となる。より具体的には、内部電極層7の平均厚みtが0.3~0.8 $\mu\text{m}$ 、凸部13aに高さhが0.2~0.5 $\mu\text{m}$ であるのが良い。

【0038】

なお、内部電極層7を挟んで凹凸部13同士が部分的に噛合わさった状態は、セラミックペーストの印刷精度および積層時の位置合わせ精度を、通常公差の1/2に調整することによって変化させる。

【0039】

また、凹凸部13は、内部電極層7を両面から挟むように配置された2つセラミック層5の対向する両方の面に設けられているのが良いが、片面だけに設けられていても良く、この場合にも静電容量の向上が図れると同時に、デラミネーションが発生する確率を低下させることができる。

【0040】

次に、本実施形態の積層型電子部品の製造方法について説明する。本実施形態の積層型電子部品は、セラミックグリーンシートの両表面に凹凸部13となる模様を形成しておく工程を加える以外は、慣用的な方法を基にして製造することができる。セラミックグリーンシートの両表面に凹凸部13となる模様を形成しておく方法としては、例えば、セラミックグリーンシートの表面をサンドブラストなどにより荒らす方法、セラミックグリーンシートの表面に有機ピヒクルを印刷して、その表面を覆っている有機バインダを溶解させる方法、あるいはセラミックグリーンシートの表面にセラミックペーストを印刷して、その表面に部分的に盛り上り部を形成する方法などを挙げることができる。

【実施例】

【0041】

以下、積層型電子部品の例としてコンデンサを具体的に作製し、誘電特性の評価を行った。まず、原料粉末として、純度が99.9%であり、粒度分布の範囲が0.05~0.2 $\mu\text{m}$ 、平均粒径(D50)が0.09 $\mu\text{m}$ 、Ba/Tiのモル比が1.005のチタン酸バリウム粉末を準備した。これに以下の成分を添加して誘電体粉末を調製した。誘電体

10

20

30

40

50

粉末の組成は、チタン酸バリウム粉末 100 モルに対して、 $V_2O_5$  粉末を 0.05 モル、 $MgO$  粉末を 0.7 モル、希土類元素 ( $Dy_2O_3$ ) の酸化物粉末を 0.4 モル、 $MnCO_3$  粉末を 0.2 モルとし、さらに  $SiO_2$  を含む焼結助剤をチタン酸バリウム粉末 100 質量部に対して 1 質量部添加したものとした。

**【0042】**

次に、得られた誘電体粉末を、ポリビニルブチラール樹脂と、トルエンおよびアルコールの混合溶媒中に投入し、直径 1 mm のジルコニアボールを用いて湿式混合してセラミックスラリを調製し、ドクターブレード法により厚み 2.6  $\mu m$  のセラミックグリーンシートを作製した。

**【0043】**

次に、このセラミックグリーンシートの両方の表面に、平均粒径が 30 nm のチタン酸バリウム粉末を含んだセラミックペーストを印刷した。凸部の間隔は、線径および開口率の異なる印刷用スクリーンを用いることによって調整した。また、凹凸部が内部電極層を挟んで噛合するように配置の割合を高くする場合には、セラミックペーストの印刷および積層の精度 (公差) を、他の試料を作製する際の 1/2 に設定した。

**【0044】**

次に、セラミックペーストを印刷したセラミックグリーンシートの表面に、Ni を主成分とする導体ペーストを矩形状の内部電極パターンとなるように複数形成した。内部電極パターンを形成するための導体ペーストは、平均粒径が 0.3  $\mu m$  の Ni 粉末 100 質量部に対してチタン酸バリウム粉末を添加したものをを用いた。

**【0045】**

次に、内部電極パターンを印刷したセラミックグリーンシートを 400 枚積層し、その上下面に内部電極パターンを印刷していないセラミックグリーンシートをそれぞれ 20 枚積層し、プレス機を用いて温度 60、圧力  $10^7 Pa$ 、時間 10 分の条件で密着させて積層体を作製し、しかる後、この積層体を、所定の寸法に切断して電子部品本体となる生の成形体を形成した。

**【0046】**

次に、この生の成形体を大気中で脱バインダ処理した後、水素 - 窒素中、昇温速度を 2000 / h とし、最高温度を 1200 に設定して焼成を行い、電子部品本体を作製した。この焼成にはローラーハースキルンを用いた。

**【0047】**

作製した電子部品本体について、続いて、最高温度を 1000 に設定し、保持時間を 5 時間として、窒素雰囲気中にて再酸化処理を行った。この電子部品本体のサイズは、2.05 mm x 1.28 mm x 1.28 mm、誘電体層の平均厚み (凸部 13 a を除いた表面 5 a 間) は 2  $\mu m$ 、内部電極層の厚みは約 0.7  $\mu m$ 、内部電極層の 1 層の有効面積は 1.78 mm<sup>2</sup> であった。ここで有効面積とは、電子部品本体の異なる端面にそれぞれ露出するように、積層方向に交互に形成された内部電極層同士の重なる部分の面積のことである。

**【0048】**

次に、電子部品本体をバレル研磨した後、電子部品本体の両端部に Cu 粉末とガラスとを含んだ外部電極ペーストを塗布し、850 で焼き付けを行って外部電極を形成した。その後、電解バレル機を用いて、この外部電極の表面に、順に Ni メッキ及び Sn メッキを行い、積層型電子部品であるコンデンサを得た。

**【0049】**

次に、作製したコンデンサについて以下の評価を行った。室温 (25) における静電容量は LCR メータ (ヒューレットパッカー社製) を用いて、温度 25、周波数 1.0 kHz、AC 電圧を 1.0 V /  $\mu m$  として測定した。試料数は 20 個とし、平均値を求めた。

**【0050】**

デラミネーションの評価は、耐熱衝撃試験と同様の方法を用いて行った。具体的には、

10

20

30

40

50

作製したコンデンサを、305 (  $T = 280$  ) および 325 (  $T = 300$  ) に加温した半田浴に約 1 秒間浸漬させた後、その外観を実体顕微鏡を用いて観察し、デラミネーションの有無を評価した。試料数は各温度 100 個とした。

【0051】

柱状部材および凹凸部の有無およびその割合は、作製したコンデンサを研磨して、図 1 ( b ) に示すような断面を露出させた試料を作製し、走査型電子顕微鏡を用いて撮影した写真 ( 倍率 : 5000 倍 ) から求めた。

【0052】

まず、内部電極層に接しているセラミック層の長さ  $L$  ( セラミック層の長さ  $L_0$  の総和長さ ) を測定した。この場合、内部電極層を両面から挟むように配置されている 2 つのセラミック層のうち一方側みの長さの総和を測定した。次に、セラミック層の長さ  $L$  に対する、柱部材の幅  $W$  の比  $W/L$ 、凸部の高さ  $h$  ( セラミック層 5 の表面からの高さ  $h$  )、近接している凸部の間隔  $w_1$ 、凹凸部の幅  $w_2$  および凹凸部同士の間隔  $w_3$  をそれぞれ測定し、平均値を求めた。

10

【0053】

また、セラミック層の長さ  $L$  に対する凹凸部の幅  $w_2$  の総和の比 (  $w_2/L$  ) を求めた。

【0054】

さらに、観察した領域において、凹凸部が対面した位置にある個数割合、および対面している凹凸部の中で、対面で噛み合っている個数割合を求めた。

20

【0055】

内部電極層が存在していた領域を介して対面している凹凸部の中で、対面で噛み合っている個数は、1 箇所凹凸部の幅 (  $w_2$  ) の  $1/2$  以上が噛み合わさった状態である箇所をカウントした。

【0056】

作製したセラミック層の表面に凹凸部を有する試料は、いずれも凹凸部の表面粗さ (  $R_{max}$  ) が凹凸部以外の領域の表面粗さ (  $R_{max}$  ) よりも大きかった。

【0057】

比較例として、導体ペーストに含ませるセラミック粉末を 1.5 倍とし、柱部材の幅の比 (  $W/L$  ) を 0.15 とした試料 ( 試料 No. 1 ) および凹凸部を形成しなかった試料 ( 試料 No. 2 ) を作製して、同様の評価を行った。

30

【0058】

【表 1】

試料 No.	内部電極 層の厚み		柱部材 w/L	凹凸部の 配置*		凸部			凹凸部					静電容量		デラミネーションの発生個数	
	μm	h		高さの比#	高さ	幅	間隔	幅の総和	対面した位 置にある個 数割合*	対面で噛 合している 個数割合	μF	個/100個	ΔT280°C	ΔT300°C			
															w1	w2	w3
1	0.7	0.15	-	対面	1.1	0.2	0.28	2.1	4.1	0.11	90	5	9.2	0	2		
2	0.7	0.05			凹凸部群無し												
3	0.7	0.05		対面	1.1	0.2	0.28	2.1	4.1	0.11	90	5	10.3	2	6		
4	0.7	0.05		対面	1.1	0.2	0.28	2.1	4.1	0.11	90	10	10.3	1	4		
5	0.4	0.05		対面	1.1	0.2	0.5	2.1	4.1	0.11	90	10	10.3	0	2		
6	0.7	0.05		片面	1.1	0.2	0.28	2.1	4.1	0.11	0	0	10.1	6	10		
7	0.7	0.1		対面	1.1	0.2	0.28	2.1	4.1	0.11	90	5	9.5	1	3		
8	0.7	0.05		対面	1.1	0.2	0.28	2.1	4.1	0.8	90	5	10.2	4	9		
9	0.7	0.05		対面	1.1	0.2	0.28	2.1	4.1	0.11	70	5	10.3	3	7		
10	0.7	0.05		対面	1.1	0.2	0.28	2.1	4.1	0.11	60	5	10.3	5	9		

\* 対面: 内部電極層を挟んで対面する両方の位置、片面: 対面する位置のうち、一方の位置にある場合。

# 内部電極層の厚み(平均厚み)を1としたときの高さ(平均高さ)。

\* 凹凸部群が内部電極層を挟んで対面する両方の位置に在る場合に、上下の凹凸部群を投影したときにわずかも重なった状態。

【0059】

表1の結果から明らかなように、電子部品本体を縦断面視したときの単位面積内に見ら

れるセラミック層の長さLに対する、内部電極層を厚み方向に貫通するセラミック製の柱部材の幅Wの比 $W/L$ が0.1以下であり、また、その断面に凹凸部を有するようにした試料(試料No. 3~10)は、柱部材の幅Wの比( $W/L$ )が0.15の試料(試料No. 1)に比較して、静電容量が大きく、また、凹凸部材を形成しなかった試料(試料No. 2)に比較して、デラミネーションの発生個数が少なく、T280において100個中6個以下、T300においても100個中10個以下であった。

【0060】

この中で、凹凸部を、内部電極層を両面から挟むように配置した2つのセラミック層の両側に設けた試料(試料No. 3~5、7~10)は、デラミネーションの発生個数が、T280において100個中5個以下、T300においても100個中9個以下であった。

10

【0061】

さらに、内部電極層を挟んで対面に位置している凹凸部の個数割合を70%以上とした試料(試料No. 3~5、7~9)は、デラミネーションの発生個数が、T280において100個中4個以下、T300においても100個中9個以下であった。

【0062】

またさらに、凹凸部の中で、それを構成する凸部および凹部が内部電極層を挟んで噛合するように配置されている割合が10%の試料は、(試料No. 4、5)は、デラミネーションの発生個数が、T280において100個中1個以下、T300においても100個中4個以下であった。

20

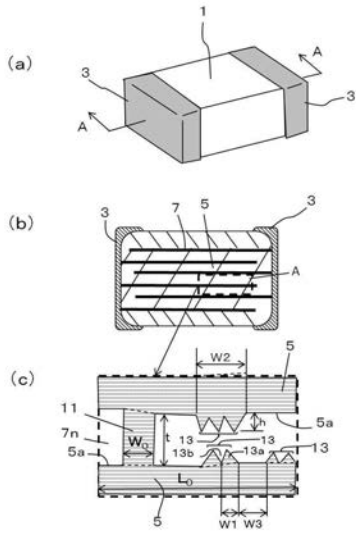
【符号の説明】

【0063】

- 1 電子部品本体
- 3 外部電極
- 5 セラミック層
- 5 a (セラミック層の)表面
- 7 内部電極層
- 1 1 柱部材
- 1 3 凹凸部
- 1 3 a 凸部
- 1 3 b 凹部

30

【 図 1 】



【 図 2 】

