

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-43927

(P2010-43927A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 V	2 G 1 3 2
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 T	5 F 0 3 8
H O 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号	特願2008-207680 (P2008-207680)	(71) 出願人	000003078
(22) 出願日	平成20年8月12日 (2008.8.12)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	山下 高廣
			東京都港区芝浦一丁目1番1号 株式会社
			東芝内
		Fターム(参考)	2G132 AA00 AD01 AK07 AL11
			5F038 BG09 CD04 CD09 DF01 DT12
			DT16 EZ20

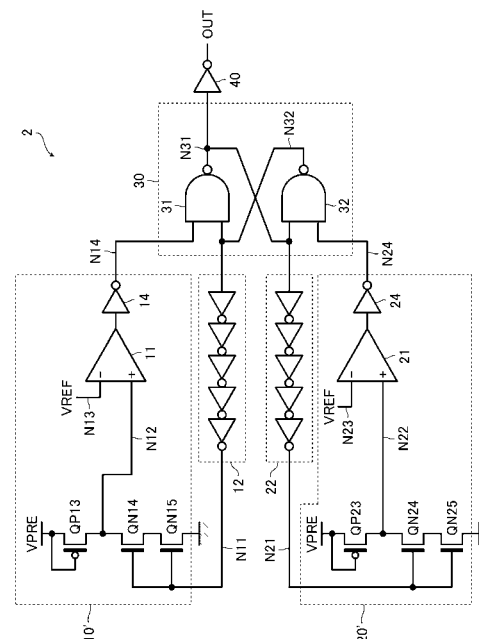
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 nMOSトランジスタ及びpMOSトランジスタのそれぞれのリーク電流を正確に測定することのできる半導体集積回路を提供する。

【解決手段】 半導体集積回路は、リーク電流によりノードN12をプリチャージするpMOSトランジスタQP13、及び第1の信号を出力するコンパレータ11からなる信号遅延回路10'と、リーク電流によりノードN22をプリチャージするpMOSトランジスタQP23、及び第2の信号を出力するコンパレータ21からなる信号遅延回路20'とを備える。信号遅延回路10'は、信号遅延回路20'がノードN22をプリチャージして第2の信号を出力する間にノードN12をディスチャージする一方、信号遅延回路20'は、信号遅延回路10'がノードN12をプリチャージして第1の信号を出力する間にノードN22をディスチャージする。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

一端を第 1 のノードに接続されて第 1 制御信号により導通又は非導通状態が切り替わり前記第 1 のノードをディスチャージする第 1 のディスチャージ素子、前記第 1 のノードと電源との間に接続されてリーク電流により前記第 1 のノードをプリチャージする第 1 のプリチャージ素子、及び前記第 1 のノードの電位を参照電位と比較して第 1 の信号を出力する第 1 の信号出力回路からなる第 1 の信号遅延回路と、

一端を第 2 のノードに接続されて第 2 制御信号により導通又は非導通状態が切り替わり前記第 2 のノードをディスチャージする第 2 のディスチャージ素子、前記第 2 のノードと電源との間に接続されてリーク電流により前記第 2 のノードをプリチャージする第 2 のプリチャージ素子、及び前記第 2 のノードの電位を参照電位と比較して第 2 の信号を出力する第 2 の信号出力回路からなる第 2 の信号遅延回路と、

前記第 1 及び第 2 の信号によりパルス幅が決定されるパルス信号を生成するパルス信号生成回路と、

前記パルス信号を遅延させて前記第 1 制御信号を出力する第 1 の遅延回路と、

前記パルス信号の反転信号を遅延させて前記第 2 制御信号を出力する第 2 の遅延回路とを備え、

前記第 1 の信号遅延回路は、前記第 2 の信号遅延回路が前記第 2 のプリチャージ素子を介して前記第 2 のノードをプリチャージして前記第 2 の信号を出力する間に前記第 1 のディスチャージ素子を介して前記第 1 のノードをディスチャージする一方、前記第 2 の信号遅延回路は、前記第 1 の信号遅延回路が前記第 1 のプリチャージ素子を介して前記第 1 のノードをプリチャージして前記第 1 の信号を出力する間に前記第 2 のディスチャージ素子を介して前記第 2 のノードをディスチャージする

ことを特徴とする半導体集積回路。

【請求項 2】

第 3 のノードと電源との間に接続されて第 3 制御信号により導通又は非導通状態が切り替わり前記第 3 のノードをプリチャージする第 3 のプリチャージ素子、一端を前記第 3 のノードに接続されてリーク電流により前記第 3 のノードをディスチャージする第 3 のディスチャージ素子、及び前記第 3 のノードの電位を参照電位と比較して第 3 の信号を出力する第 3 の信号出力回路からなる第 3 の信号遅延回路と、

第 4 のノードと電源との間に接続されて第 4 制御信号により導通又は非導通状態が切り替わり前記第 4 のノードをプリチャージする第 4 のプリチャージ素子、一端を前記第 4 のノードに接続されてリーク電流により前記第 4 のノードをディスチャージする第 4 のディスチャージ素子、及び前記第 4 のノードの電位を参照電位と比較して第 4 の信号を出力する第 4 の信号出力回路からなる第 4 の信号遅延回路と、

前記第 3 及び第 4 の信号によりパルス幅が決定されるパルス信号を生成するパルス信号生成回路と、

前記パルス信号を遅延させて前記第 3 制御信号を出力する第 3 の遅延回路と、

前記パルス信号の反転信号を遅延させて前記第 4 制御信号を出力する第 4 の遅延回路とを備え、

前記第 3 の信号遅延回路は、前記第 4 の信号遅延回路が前記第 4 のディスチャージ素子を介して前記第 4 のノードをディスチャージして前記第 4 の信号を出力する間に前記第 3 のプリチャージ素子を介して前記第 3 のノードをプリチャージする一方、前記第 4 の信号遅延回路は、前記第 3 の信号遅延回路が前記第 3 のディスチャージ素子を介して前記第 3 のノードをディスチャージして前記第 3 の信号を出力する間に前記第 4 のプリチャージ素子を介して前記第 4 のノードをプリチャージする

ことを特徴とする半導体集積回路。

【請求項 3】

第 3 のノードと電源との間に接続されて第 3 制御信号により導通又は非導通状態が切り替わり前記第 3 のノードをプリチャージする第 3 のプリチャージ素子、一端を前記第 3 の

ノードに接続されてリーク電流により前記第 3 のノードをディスチャージする第 3 のディスチャージ素子、及び前記第 3 のノードの電位を参照電位と比較して第 3 の信号を出力する第 3 の信号出力回路からなる第 3 の信号遅延回路と、

第 4 のノードと電源との間に接続されて第 4 制御信号により導通又は非導通状態が切り替わり前記第 4 のノードをプリチャージする第 4 のプリチャージ素子、一端を前記第 4 のノードに接続されてリーク電流により前記第 4 のノードをディスチャージする第 4 のディスチャージ素子、及び前記第 4 のノードの電位を参照電位と比較して第 4 の信号を出力する第 4 の信号出力回路からなる第 4 の信号遅延回路と、

前記第 3 及び第 4 の信号によりパルス幅が決定されるパルス信号を生成するパルス信号生成回路と、

10

前記パルス信号を遅延させて前記第 3 制御信号を出力する第 3 の遅延回路と、

前記パルス信号の反転信号を遅延させて前記第 4 制御信号を出力する第 4 の遅延回路とをさらに備え、

前記第 3 の信号遅延回路は、前記第 4 の信号遅延回路が前記第 4 のディスチャージ素子を介して前記第 4 のノードをディスチャージして前記第 4 の信号を出力する間に前記第 3 のプリチャージ素子を介して前記第 3 のノードをプリチャージする一方、前記第 4 の信号遅延回路は、前記第 3 の信号遅延回路が前記第 3 のディスチャージ素子を介して前記第 3 のノードをディスチャージして前記第 3 の信号を出力する間に前記第 4 のプリチャージ素子を介して前記第 4 のノードをプリチャージする

ことを特徴とする請求項 1 記載の半導体集積回路。

20

【請求項 4】

前記第 1 のディスチャージ素子、前記第 2 のディスチャージ素子、前記第 3 のプリチャージ素子又は前記第 4 のプリチャージ素子は、直列接続された複数のトランジスタであることを特徴とする請求項 1 乃至 3 のいずれか記載の半導体集積回路。

【請求項 5】

前記パルス信号に基づいて、半導体基板に印加される基板バイアスを制御する基板バイアス制御回路をさらに有する

ことを特徴とする請求項 1 乃至 3 のいずれか記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体集積回路に関し、特に半導体基板上に形成されたトランジスタのリーク電流を測定する半導体集積回路に関する。

【背景技術】

【0002】

従来、半導体基板上に形成された半導体集積回路の性能を測定するための種々の測定装置が知られている（特許文献 1 参照）。特許文献 1 には、半導体集積回路の試験として、半導体集積回路の伝搬遅延時間を測定して良否を判定するための遅延時間測定回路及び遅延時間測定方法が記載されている。

【0003】

40

また、半導体集積回路のトランジスタのリーク電流を測定し、その測定結果に基づいて半導体集積回路の電源電圧や基板バイアスを制御して、半導体集積回路におけるトランジスタの特性のばらつきを抑える構成が知られている。ここで、半導体基板上に形成されたトランジスタの性能を測定する方法として、チップのダイシングラインにプロセスモータとしての 4 端子トランジスタを設ける方法が用いられることがある。しかし、この方法では、ダイシングラインのトランジスタに接続してトランジスタの性能を測定する専用の測定装置を外部に設ける必要があり、また、チップを切り分けた後にトランジスタの位置を特定するのが難しいという問題があった。

【0004】

そのため、トランジスタの性能測定方法として、チップ上に半導体集積回路とともにリ

50

ングオシレータやディレイチェーンのような形でモニタ回路を置く方法が用いられている（非特許文献 1 参照）。しかし、非特許文献 1 に記載されたリングオシレータを用いたトランジスタの測定装置では、n MOS トランジスタ及び p MOS トランジスタによる立ち上がり時間と立ち下がり時間との両方が影響するため、n MOS トランジスタ及び p MOS トランジスタのそれぞれの特性を別々に検出することができない。

【特許文献 1】特開平 11 - 101851 号公報

【非特許文献 1】Tschanz, J.W.; Narendra, S.; Nair, R.; De, V. "Effectiveness of adaptive supply voltage and body bias for reducing impact of parameter variations in low power and high performance microprocessors", IEEE Journal of Solid-State Circuits, May 2003, Volume 38, Issue 5, p.826-829.

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、n MOS トランジスタ及び p MOS トランジスタのそれぞれのリーク電流を正確に測定することのできる半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様に係る半導体集積回路は、一端を第 1 のノードに接続されて第 1 制御信号により導通又は非導通状態が切り替わり前記第 1 のノードをディスチャージする第 1 のディスチャージ素子、前記第 1 のノードと電源との間に接続されてリーク電流により前記第 1 のノードをプリチャージする第 1 のプリチャージ素子、及び前記第 1 のノードの電位を参照電位と比較して第 1 の信号を出力する第 1 の信号出力回路からなる第 1 の信号遅延回路と、一端を第 2 のノードに接続されて第 2 制御信号により導通又は非導通状態が切り替わり前記第 2 のノードをディスチャージする第 2 のディスチャージ素子、前記第 2 のノードと電源との間に接続されてリーク電流により前記第 2 のノードをプリチャージする第 2 のプリチャージ素子、及び前記第 2 のノードの電位を参照電位と比較して第 2 の信号を出力する第 2 の信号出力回路からなる第 2 の信号遅延回路と、前記第 1 及び第 2 の信号によりパルス幅が決定されるパルス信号を生成するパルス信号生成回路と、前記パルス信号を遅延させて前記第 1 制御信号を出力する第 1 の遅延回路と、前記パルス信号の反転信号を遅延させて前記第 2 制御信号を出力する第 2 の遅延回路とを備え、前記第 1 の信号遅延回路は、前記第 2 の信号遅延回路が前記第 2 のプリチャージ素子を介して前記第 2 のノードをプリチャージして前記第 2 の信号を出力する間に前記第 1 のディスチャージ素子を介して前記第 1 のノードをディスチャージする一方、前記第 2 の信号遅延回路は、前記第 1 の信号遅延回路が前記第 1 のプリチャージ素子を介して前記第 1 のノードをプリチャージして前記第 1 の信号を出力する間に前記第 2 のディスチャージ素子を介して前記第 2 のノードをディスチャージすることを特徴とする。

20

30

【0007】

本発明の他の一態様に係る半導体集積回路は、第 3 のノードと電源との間に接続されて第 3 制御信号により導通又は非導通状態が切り替わり前記第 3 のノードをプリチャージする第 3 のプリチャージ素子、一端を前記第 3 のノードに接続されてリーク電流により前記第 3 のノードをディスチャージする第 3 のディスチャージ素子、及び前記第 3 のノードの電位を参照電位と比較して第 3 の信号を出力する第 3 の信号出力回路からなる第 3 の信号遅延回路と、第 4 のノードと電源との間に接続されて第 4 制御信号により導通又は非導通状態が切り替わり前記第 4 のノードをプリチャージする第 4 のプリチャージ素子、一端を前記第 4 のノードに接続されてリーク電流により前記第 4 のノードをディスチャージする第 4 のディスチャージ素子、及び前記第 4 のノードの電位を参照電位と比較して第 4 の信号を出力する第 4 の信号出力回路からなる第 4 の信号遅延回路と、前記第 3 及び第 4 の信号によりパルス幅が決定されるパルス信号を生成するパルス信号生成回路と、前記パルス信号を遅延させて前記第 3 制御信号を出力する第 3 の遅延回路と、前記パルス信号の反転信号を遅延させて前記第 4 制御信号を出力する第 4 の遅延回路とを備え、前記第 3 の信号

40

50

遅延回路は、前記第4の信号遅延回路が前記第4のディスチャージ素子を介して前記第4のノードをディスチャージして前記第4の信号を出力する間に前記第3のプリチャージ素子を介して前記第3のノードをプリチャージする一方、前記第4の信号遅延回路は、前記第3の信号遅延回路が前記第3のディスチャージ素子を介して前記第3のノードをディスチャージして前記第3の信号を出力する間に前記第4のプリチャージ素子を介して前記第4のノードをプリチャージすることを特徴とする。

【発明の効果】

【0008】

本発明によれば、nMOSトランジスタ及びpMOSトランジスタのそれぞれのリーク電流を正確に測定することのできる半導体集積回路を提供することができる。

10

【発明を実施するための最良の形態】

【0009】

以下、添付した図面を参照して本発明の実施の形態について説明する。

【0010】

[第1の実施の形態]

(第1の実施の形態に係る半導体集積回路の構成)

図1は、本発明の実施の形態に係る半導体集積回路の基本構成、すなわち半導体基板上の集積回路が形成されるコアCとそのコアC内に設けられた制御回路の構成を示している。

【0011】

20

図1に示すように、半導体基板には複数のコアC(本実施の形態ではC1~C4)が形成されている。また、コアC1~C4にはそれぞれ制御回路が設けられている。制御回路は、コアCごとのトランジスタの特性を測定する。そして、測定されたトランジスタの特性に基づいてコアCごとに電源電圧や基板バイアスを制御して、トランジスタの特性のばらつきを抑える。本実施の形態においては、nMOSトランジスタのリーク電流の測定を行い、測定されたnMOSトランジスタの特性に基づいて、電源電圧や基板バイアスを制御する構成について説明する。なお、後述する第2の実施の形態において、pMOSトランジスタのリーク電流の測定を行い、測定されたpMOSトランジスタの特性に基づいて、電源電圧や基板バイアスを制御する構成について説明する。このnMOSトランジスタ及びpMOSトランジスタのリーク電流の測定は、組み合わせて実施することも可能である。

30

【0012】

図1は、説明のため、コアC内には制御回路の構成のみを示しているが、コアCにはそれぞれ所定の動作を実行するように半導体集積回路が設けられている。このコアCは演算コアに限定されず、メモリマクロ単体やその一部である小さなブロック単位、あるいは演算コア群等を複合した大きなブロック単位であってもよい。

【0013】

コアC内の制御回路は、nMOSリークモニタ1、pMOSリークモニタ2、発振数カウンタ3、nMOS基板制御回路4、pMOS基板制御回路5、電源電圧制御回路6からなる。

40

【0014】

nMOSリークモニタ1は、コアCに形成されたnMOSトランジスタを流れるリーク電流を測定する。また、pMOSリークモニタ2は、コアCに形成されたpMOSトランジスタを流れるリーク電流を測定する。そして、nMOSリークモニタ1及びpMOSリークモニタ2は、各トランジスタのリーク電流量に基づくパルス幅を有するパルス信号を出力する。

【0015】

発振数カウンタ3は、nMOSリークモニタ1及びpMOSリークモニタ2が出力するパルス信号の所定時間での発振数を計数して、nMOS、pMOSトランジスタのリーク電流量を測定する。nMOS基板制御回路4及びpMOS基板制御回路5は、それぞれn

50

MOS、pMOSトランジスタのリーク電流量の値が所定の値より小さい場合に、半導体基板に順方向の基板バイアスを印加する。一方、nMOS基板制御回路4及びpMOS基板制御回路5は、それぞれnMOS、pMOSトランジスタのリーク電流量の値が所定の値より大きい場合に、半導体基板に逆方向の基板バイアスを印加する。電源電圧制御回路6は、nMOS又はpMOSトランジスタのリーク電流量の値が所定の値より小さい場合に、電源電圧を減少させ、nMOS又はpMOSトランジスタのリーク電流量の値が所定の値より大きい場合に、電源電圧を増加させる。nMOS基板制御回路4、pMOS基板制御回路5及び電源電圧制御回路6は、発振数カウンタ3で計数される各トランジスタのリーク電流量に基づく発振数が一定の値となるように基板バイアス及び電源電圧を制御するように構成されていてもよい。

10

【0016】

次に、図2を参照してnMOSリークモニタ1の構成例について説明する。図2は、本実施の形態に係るnMOSリークモニタ1の構成例を示す回路図である。

【0017】

nMOSリークモニタ1は、信号遅延回路10、20、遅延回路12、22、パルス信号生成回路30及びインバータ40を備えて構成されている。

【0018】

信号遅延回路10は、pMOSトランジスタQP11、QP12、nMOSトランジスタQN10及びコンパレータ11からなる。

【0019】

2つのpMOSトランジスタQP11、QP12は直列に接続されている。トランジスタQP12のソースは電源VPRE（電圧Vpre）に接続されており、トランジスタQP11のドレインはノードN12に接続されている。また、2つのトランジスタQP11、QP12のゲートには、ノードN11がそれぞれ接続されている。このノードN11の電位が“L”状態のとき2つのトランジスタQP11、QP12は導通して、ノードN12を電源VPREの電圧Vpreまで充電（プリチャージ）して、ノードN12の電位を上昇させる。

20

【0020】

また、nMOSトランジスタQN10は、ドレインがノードN12に接続されており、ゲート及びソースが接地されている。このトランジスタQN10は、ノードN12に接続されたドレイン側から接地されたソース側にリーク電流を流すことによりノードN12を放電（ディスチャージ）して、ノードN12の電位を低下させる。nMOSリークモニタ1は、このnMOSトランジスタQN10のリーク電流量を測定する。ここで、リーク電流が測定されるトランジスタQN10は、コアC内のその他の回路に用いられるトランジスタと同一の工程により形成されており、特性の面でコアC内の他のnMOSトランジスタと一定の関係を有している。

30

【0021】

そして、コンパレータ11は、ノードN12及び電源VREF（電位Vref）に接続されたノードN13が入力端子に接続されている。コンパレータ11は、ノードN12の電位がノードN13の電位Vrefよりも高い場合には“H”信号をノードN14に出力する。一方、ノードN12の電位がノードN13の電位Vrefよりも低い場合には“L”信号をノードN14に出力する。

40

【0022】

信号遅延回路10は、全体として、ノードN11から入力された信号をnMOSトランジスタQN10のリーク電流量に基づく量だけ遅延させてノードN14に出力する。

【0023】

遅延回路12は、バッファとしての複数段のインバータにより構成され、後述するパルス信号生成回路30から出力されたノードN32の“H”信号又は“L”信号を所定時間遅延させてノードN11に入力するために用いられる。

【0024】

50

ここで、信号遅延回路 20 は、pMOS トランジスタ QP21、QP22、nMOS トランジスタ QN20 及びコンパレータ 21 からなる。信号遅延回路 20 のトランジスタ QP21、QP22 は信号遅延回路 10 のトランジスタ QP11、QP12 と対応し、nMOS トランジスタ QN20 及びコンパレータ 21 は、nMOS トランジスタ QN10 及びコンパレータ 11 と対応する同様の構成を有しているため、その説明を省略する。

【0025】

nMOS リークモニタ 1 において、信号遅延回路 10、20 は、一方のノード（例えばノード N12）をディスチャージしてトランジスタ QN10 のリーク電流量を測定している間に、他方のノード（例えばノード N22）のプリチャージを行う。そのため、ノード N12、N22 のプリチャージ時間は、nMOS トランジスタ QN10、QN20 のディスチャージ時間に基づくリーク電流の測定に影響を与えることがない。

10

【0026】

また、遅延回路 22 は、バッファとしての複数段のインバータにより構成され、後述するパルス信号生成回路 30 から出力されたノード N31 の“H”信号又は“L”信号を所定時間遅延させてノード N21 に入力するために用いられる。

【0027】

パルス信号生成回路 30 は、ノード N14 及びノード N24 が論理ゲート 31 及び論理ゲート 32 の入力端子にそれぞれ接続されたセット/リセットフリップフロップ回路である。パルス信号生成回路 30 は、ノード N14 及びノード N24 の信号に基づいてパルス幅が決定されるパルス信号を生成する。このパルス信号は、インバータ 40 を介して nMOS リークモニタ 1 の出力信号として出力される。また、論理ゲート 31 の出力端子に接続されたノード N31 は、遅延回路 22 を介してノード N21 に接続されており、論理ゲート 32 の出力端子に接続されたノード N32 は、遅延回路 12 を介してノード N11 に接続されている。

20

【0028】

（第 1 の実施の形態に係る半導体集積回路の動作）

次に、図 3 を参照して nMOS リークモニタ 1 の動作について説明する。図 3 は、本実施の形態に係る nMOS リークモニタ 1 の動作における各ノードの電位を示すタイミングチャートである。

【0029】

30

nMOS リークモニタ 1 は、半導体集積回路の動作とともに nMOS トランジスタ QN10、QN20 のリーク電流の測定を開始する。ある時刻 t0 において、パルス信号生成回路 30 の 2 つの論理ゲート 31、32 から出力されるノード N31、N32 の状態は、前者が“L”状態から“H”状態へ、後者が“H”状態から“L”状態に切り替わるものとする。また、時刻 t0 において、ノード N11、N22、N24 の電位は“H”状態、ノード N12、N14、N21 の電位は“L”状態であるものとする。

【0030】

時刻 t1 において、ノード N31 の“H”状態の電位が遅延回路 22 により所定時間だけ遅れてノード N21 に与えられる。これによりノード N21 が“L”状態から“H”状態に変化する。同様に、ノード N32 の“L”状態の電位が遅延回路 12 により所定時間だけ遅れてノード N11 に与えられる。これによりノード N11 が“H”状態から“L”状態に変化する。ここで、遅延回路 12、22 による遅延時間は t1 - t0 である。

40

【0031】

ノード N11 の電位が“L”状態であるため、pMOS トランジスタ QP11、QP12 のゲートが“L”状態となる。そのため、pMOS トランジスタ QP11、QP12 が導通し、電源 VPRE によりノード N12 がプリチャージされ、電位が“H”状態となる。ここで、ノード N12 の電位が、ノード N13 の電位 Vref を超えたときに、コンパレータ 11 の出力信号が反転し、ノード N14 の電位が“L”状態から“H”状態となる。

【0032】

50

一方、ノードN21に与えられた“H”状態の電位により、pMOSトランジスタQP21、QP22が非導通状態となり、ノードN22へのプリチャージが停止する。プリチャージが停止されたノードN22からは、トランジスタQN20を介してリーク電流が流れ、電位が漸減していく。

【0033】

時刻t2において、ノードN22の電位がノードN23の電位Vrefを下回った時点で、コンパレータ21から出力されているノードN24の“H”状態が“L”状態に反転する。

【0034】

時刻t3において、ノードN24の電位が“H”状態から“L”状態に変化するとともに、パルス信号生成回路30の出力信号も反転する。すなわち論理ゲート32にはノードN24の“L”状態が与えられて、ノードN32が“L”状態から“H”状態に変化する。論理ゲート31にはノードN32の“H”状態及びノードN14の“H”状態が与えられて、ノードN31が“H”状態から“L”状態に変化する。

【0035】

時刻t4において、“H”状態に変化したノードN32の電位が遅延回路12により所定時間だけ遅れてノードN11に与えられる。これによりノードN11が“L”状態から“H”状態に変化する。同様に、“L”状態に変化したノードN31の電位が遅延回路22により所定時間だけ遅れてノードN21に与えられる。これによりノードN21が“H”状態から“L”状態に変化する。ここで、遅延回路12、22による遅延時間は $t4 - t3 (= t1 - t0)$ である。

【0036】

ノードN11に与えられた“H”状態の電位により、pMOSトランジスタQP11、QP12が非導通状態となり、時刻t4以降ノードN12へのプリチャージが停止する。プリチャージが停止されたノードN12からは、トランジスタQN10を介してリーク電流が流れ、電位が漸減していく。

【0037】

一方、ノードN21の電位が“L”状態であるため、pMOSトランジスタQP21、QP22のゲートが“L”状態となる。そのため、pMOSトランジスタQP21、QP22が導通し、電源VPREによりノードN22がプリチャージされ、電位が“H”状態となる。ここで、ノードN22の電位が、ノードN23の電位Vrefを超えたとき(時刻t4-1)に、コンパレータ21の出力信号が反転し、ノードN24の電位が“L”状態から“H”状態となる。

【0038】

このように、nMOSリークモニタ1において、信号遅延回路10のノードN12をディスチャージしてトランジスタQN10に流れるリーク電流量を測定している間に、信号遅延回路20のノードN22のプリチャージを行う。ノードN22のプリチャージ時間は、nMOSトランジスタQN10のディスチャージ時間に基づくリーク電流の測定に影響を与えない。

【0039】

時刻t5において、ノードN12の電位がノードN13の電位Vrefを下回った時点でコンパレータ11から出力されているノードN14の“H”状態が“L”状態に反転する。

【0040】

時刻t6において、ノードN14の電位が“H”状態から“L”状態に変化するとともに、パルス信号生成回路30の出力信号も反転する。すなわち論理ゲート31にはノードN14の“L”状態が与えられて、ノードN31が“L”状態から“H”状態に変化する。論理ゲート32にはノードN31の“H”状態及びノードN24の“H”状態が与えられて、ノードN32が“H”状態から“L”状態に変化する。

【0041】

10

20

30

40

50

時刻 t_7 において、“H”状態に変化したノード N_{31} の電位が遅延回路 22 により所定時間だけ遅れてノード N_{21} に与えられる。これによりノード N_{21} が“L”状態から“H”状態に変化する。同様に、“L”状態に変化したノード N_{32} の電位が遅延回路 12 により所定時間だけ遅れてノード N_{11} に与えられる。これによりノード N_{11} が“H”状態から“L”状態に変化する。ここで、遅延回路 12、22 による遅延時間は $t_7 - t_6 (= t_4 - t_3 = t_1 - t_0)$ である。

【0042】

ノード N_{11} の電位が“L”状態であるため、pMOSトランジスタ Q_{P11} 、 Q_{P12} のゲートが“L”状態となる。そのため、pMOSトランジスタ Q_{P11} 、 Q_{P12} が導通し、電源 V_{PRE} によりノード N_{12} がプリチャージされ、電位が“H”状態となる。ここで、ノード N_{12} の電位が、ノード N_{13} の電位 V_{ref} を超えたときに、コンパレータ 11 の出力信号が反転し、ノード N_{14} の電位が“L”状態から“H”状態となる。

10

【0043】

一方、ノード N_{21} に与えられた“H”状態の電位により、pMOSトランジスタ Q_{P21} 、 Q_{P22} が非導通状態となり、時刻 t_7 以降ノード N_{22} へのプリチャージが停止する。プリチャージが停止されたノード N_{22} からは、トランジスタ Q_{N20} を介してリーク電流が流れ、電位が漸減していく。

【0044】

そして、時刻 t_8 において、各ノードの電位は時刻 t_2 と同様の電位の状態となる。以下、時刻 t_8 、 t_9 、 t_{10} ・・・において、nMOSリークモニタ 1 は、時刻 t_2 、 t_3 、 t_4 ・・・と同様の動作を繰り返す。

20

【0045】

これにより、ノード N_{31} の状態は、“H”状態と“L”状態とを繰り返す。そして、このノード N_{31} の状態がインバータ 40 を介して nMOSリークモニタ 1 の出力信号として出力される。

【0046】

このリーク電流量の測定において、遅延回路 12、22 による遅延時間 ($t_7 - t_6 = t_4 - t_3 = t_1 - t_0$) は、遅延回路 12、22 の構成により決定され、遅延時間は所定の値となる。また、パルス信号生成回路 30 の状態の変化に要する時間 ($t_3 - t_2$ 、 $t_6 - t_5$ 、 $t_9 - t_8$) も、パルス信号生成回路の構成により決定され、パルス信号生成回路 30 の状態の変化に要する時間は所定の値となる。

30

【0047】

そのため、ノード N_{31} の発振の 1 周期の半分 (時刻 $t_2 \sim t_5$) に要する時間は、トランジスタ Q_{N10} を流れるリーク電流によりノード N_{12} の電位が電位 V_{ref} まで低下する時間 (時刻 $t_4 \sim t_5$) に基づいて決定される。同様に、ノード N_{31} の発振の 1 周期の半分 (時刻 $t_5 \sim t_8$) に要する時間は、トランジスタ Q_{N20} を流れるリーク電流によりノード N_{22} の電位が電位 V_{ref} まで低下する時間 (時刻 $t_7 \sim t_8$) に基づいて決定される。よって、nMOSリークモニタ 1 の出力するパルス信号は、nMOSトランジスタ Q_{N10} 、 Q_{N20} のリーク電流に基づいて決定される周波数を有することになる。

40

【0048】

ここで、nMOSリークモニタ 1 において、信号遅延回路 10 のノード N_{12} をディスチャージしてトランジスタ Q_{N10} に流れるリーク電流量を測定している間に、信号遅延回路 20 のノード N_{22} のプリチャージが行われている。同様に、信号遅延回路 20 のノード N_{22} をディスチャージしてトランジスタ Q_{N20} に流れるリーク電流量を測定している間に、信号遅延回路 10 のノード N_{12} のプリチャージが行われている。nMOSリークモニタ 1 は、ノード N_{12} 、 N_{22} のディスチャージに要する時間に基づいてパルス信号を出力するため、ノード N_{12} 、 N_{22} のプリチャージに要する時間が nMOSリークモニタ 1 の出力するパルス信号に反映されることはない。

50

【 0 0 4 9 】

発振数カウンタ3は、nMOSリークモニタ1が出力するパルス信号の発振数を計数してnMOSトランジスタQN10、QN20のリーク電流量を測定する。nMOS基板制御回路4は、nMOSトランジスタQN10、QN20のリーク電流量の値が所定の値より小さい場合に、半導体基板に印加される基板バイアスを大きくする。一方、nMOS基板制御回路4は、各トランジスタのリーク電流量の値が所定の値以上である場合に、半導体基板に印加される基板バイアスを小さくする。電源電圧制御回路6は、nMOSトランジスタQN10、QN20のリーク電流量の値が所定の値より小さい場合に、電源電圧を減少させ、各トランジスタのリーク電流量の値が所定の値より大きい場合に、電源電圧を増加させる。

10

【 0 0 5 0 】

(第1の実施の形態に係る半導体集積回路の効果)

このように、本実施の形態の半導体集積回路は、nMOSトランジスタQN10、QN20のリーク電流に基づいて決定される周波数を有する信号を出力するnMOSリークモニタ1を有する。ここで、図2に示すnMOSリークモニタ1を用いたnMOSトランジスタのリーク電流測定のシミュレーション結果を図4に示す。図4において、軸Vtnは、nMOSリークモニタ1のnMOSトランジスタQN10、QN20のしきい値電圧を示し、軸Vtpは、nMOSリークモニタ1のpMOSトランジスタQP11、QP12又はQP21、QP22のしきい値電圧を示す。軸Vtn、軸Vtpにおいては、しきい値電圧0(V)で示している箇所が各トランジスタに求められるしきい値電圧を有する場合を示し、軸Vtn、軸Vtpはその求められるしきい値電圧からの変動量を示している。また、縦軸は、nMOSリークモニタ1から出力されるパルス信号の発振周期である。

20

【 0 0 5 1 】

図4に示すように、nMOSリークモニタ1において、nMOSトランジスタQN10、QN20のリーク電流量が変化してしきい値電圧が変動した場合、パルス信号の発振周期は大きく変化する。一方、pMOSトランジスタQP11、QP12又はQP21、QP22のリーク電流が変化してしきい値電圧が変動した場合、パルス信号の発振周期はほとんど変化しない。このため、nMOSリークモニタ1は、pMOSトランジスタQP11、QP12又はQP21、QP22のリーク電流量に関わらず、nMOSトランジスタQN10、QN20のリーク電流量を測定することができる。

30

【 0 0 5 2 】

また、nMOSリークモニタ1において、2つのnMOSトランジスタQN10、QN20のうち、一方のノードをディスチャージしてトランジスタのリーク電流量を測定している間に、他方のトランジスタが接続されたノードのプリチャージを行っている。そのため、ノードN12、N22のプリチャージ時間は、nMOSトランジスタQN10、QN20のリーク電流の測定に影響を与えることがない。

【 0 0 5 3 】

そして、nMOSリークモニタ1において、pMOSトランジスタQP11、QP12又はQP21、QP22は、直列接続されている。pMOSトランジスタが非導通状態となり、nMOSトランジスタのリーク電流を測定する際、2つのpMOSトランジスタの中間ノードの電圧が下がる。そのため、それぞれのpMOSトランジスタのドレイン・ソース間電圧が減少してpMOSトランジスタからのリーク電流が減る。これとともに、pMOSトランジスタQP11、QP21には基板バイアスがかかり、pMOSトランジスタからのリーク電流をさらに減らすことができる。よって、pMOSトランジスタQP11、QP12又はQP21、QP22からのリーク電流による測定誤差を低減することができる。

40

【 0 0 5 4 】

本実施の形態に係る半導体集積回路によれば、pMOSトランジスタの影響を受けることなくnMOSトランジスタのリーク電流を正確に測定することができる。

【 0 0 5 5 】

50

[第 2 の実施の形態]

(第 2 の実施の形態に係る半導体集積回路の構成)

次に、本発明に係る半導体集積回路の第 2 の実施の形態について図 5 を参照して説明する。図 5 は、本実施の形態に係る p M O S リークモニタ 2 の構成例を示す回路図である。

【 0 0 5 6 】

ここで、第 2 の実施形態に係る p M O S リークモニタ 2 の構成は、第 1 の実施形態に係る n M O S リークモニタ 1 とほぼ同様である。第 2 の実施の形態に係る p M O S リークモニタ 2 において、第 1 の実施の形態と同一の構成を有する箇所には、同一の符号を付すことによりその説明を省略する。本実施の形態に係る p M O S リークモニタ 2 は、信号遅延回路 1 0 ' の構成が、第 1 の実施の形態に係る信号遅延回路 1 0 と異なる。また、遅延回路 1 2、2 2 が奇数段のインバータにより構成されている点においても第 1 の実施の形態に係る信号遅延回路 1 0 と異なる。

10

【 0 0 5 7 】

信号遅延回路 1 0 ' は、p M O S トランジスタ Q P 1 3、n M O S トランジスタ Q N 1 4、Q N 1 5、コンパレータ 1 1 及びインバータ 1 4 からなる。

【 0 0 5 8 】

p M O S トランジスタ Q P 1 3 は、ドレインがノード N 1 2 に接続されており、ゲート及びソースが電源 V P R E (電圧 V p r e) に接続されている。このトランジスタ Q P 1 3 は、電源 V P R E に接続されたソース側からノード N 1 2 に接続されたドレイン側にリーク電流を流すことによりノード N 1 2 を充電 (プリチャージ) して、ノード N 1 2 の電位を上昇させる。p M O S リークモニタ 2 は、この p M O S トランジスタ Q P 1 3 のリーク電流量を測定する。ここで、リーク電流が測定されるトランジスタ Q P 1 3 は、コア C 内のその他の回路に用いられるトランジスタと同一の工程により形成されており、特性の面でコア C 内の他の p M O S トランジスタと一定の関係を有している。

20

【 0 0 5 9 】

また、2つの n M O S トランジスタ Q N 1 4、Q N 1 5 は直列に接続されている。トランジスタ Q N 1 4 のドレインはノード N 1 2 に接続されており、トランジスタ Q N 1 5 のソースは接地されている。また、2つのトランジスタ Q N 1 4、Q N 1 5 のゲートには、ノード N 1 1 がそれぞれ接続されている。このノード N 1 1 の電位が “ H ” 状態のとき2つのトランジスタ Q N 1 4、Q N 1 5 は導通して、ノード N 1 2 を放電 (デイスチャージ) して、ノード N 1 2 の電位を低下させる。

30

【 0 0 6 0 】

そして、コンパレータ 1 1 は、ノード N 1 2 及び電源 V R E F (電位 V r e f) に接続されたノード N 1 3 が入力端子に接続されている。コンパレータ 1 1 は、ノード N 1 2 の電位がノード N 1 3 の電位 V r e f よりも高い場合には “ H ” 信号をインバータ 1 4 に出力し、インバータ 1 4 は “ L ” 信号をノード N 1 4 に出力する。一方、コンパレータ 1 1 は、ノード N 1 2 の電位がノード N 1 3 の電位 V r e f よりも低い場合には “ L ” 信号をインバータ 1 4 に出力し、インバータ 1 4 は “ H ” 信号をノード N 1 4 に出力する。

【 0 0 6 1 】

信号遅延回路 1 0 ' は、全体として、ノード N 1 1 から入力された信号を p M O S トランジスタ Q P 1 3 のリーク電流量に基づく量だけ遅延させてノード N 1 4 に出力する。

40

【 0 0 6 2 】

また、奇数段のインバータにより構成された遅延回路 1 2、2 2 は、パルス信号生成回路 3 0 から出力されたノード N 3 1、N 3 2 の “ H ” 信号又は “ L ” 信号を反転させてノード N 1 1 に入力するために用いられる。

【 0 0 6 3 】

ここで、信号遅延回路 2 0 ' は、p M O S トランジスタ Q P 2 3、n M O S トランジスタ Q N 2 4、Q N 2 5、コンパレータ 2 1 及びインバータ 2 4 からなる。信号遅延回路 2 0 ' のトランジスタ Q P 2 3 は信号遅延回路 1 0 ' のトランジスタ Q P 1 3 と対応し、n M O S トランジスタ Q N 2 4、Q N 2 5、コンパレータ 2 1 及びインバータ 2 4 は、n M

50

ＯＳトランジスタＱＮ１４、ＱＮ１５、コンパレータ１１及びインバータ１４と対応する同様の構成を有しているため、その説明を省略する。

【００６４】

ｐＭＯＳリークモニタ２において、信号遅延回路１０'、２０'は、一方のノード（例えばノードＮ１２）をプリチャージしてトランジスタＱＰ１３のリーク電流量を測定している間に、他方のノード（例えばノードＮ２２）のディスチャージを行う。そのため、ノードＮ１２、Ｎ２２の一方のディスチャージ時間は、他方のプリチャージ時間に基づくリーク電流の測定に影響を与えることがない。

【００６５】

（第２の実施の形態に係る半導体集積回路の動作）

10

次に、図６を参照してｐＭＯＳリークモニタ２の動作について説明する。図６は、本実施の形態に係るｐＭＯＳリークモニタ２の動作における各ノードの電位を示すタイミングチャートである。

【００６６】

ｐＭＯＳリークモニタ２は、半導体集積回路の動作とともにｐＭＯＳトランジスタＱＰ１３、ＱＰ２３のリーク電流の測定を開始する。ある時刻 t_{20} において、パルス信号生成回路３０の２つの論理ゲート３１、３２から出力されるノードＮ３１、Ｎ３２の状態は、前者が“Ｌ”状態から“Ｈ”状態へ、後者が“Ｈ”状態から“Ｌ”状態に切り替わるものとする。また、時刻 t_{20} において、ノードＮ１２、Ｎ２１、Ｎ２４の電位は“Ｈ”状態、ノードＮ１１、Ｎ１４、Ｎ２２の電位は“Ｌ”状態であるものとする。

20

【００６７】

時刻 t_{21} において、“Ｈ”状態に変化したノードＮ３１の電位が、遅延回路２２により反転し、所定時間だけ遅れてノードＮ２１に与えられる。これによりノードＮ２１が“Ｈ”状態から“Ｌ”状態に変化する。同様に、“Ｌ”状態に変化したノードＮ３２の電位が、遅延回路１２により反転し、所定時間だけ遅れてノードＮ１１に与えられる。これによりノードＮ１１が“Ｌ”状態から“Ｈ”状態に変化する。ここで、遅延回路１２、２２による遅延時間は $t_{21} - t_{20}$ である。

【００６８】

ノードＮ１１に与えられた“Ｈ”状態の電位により、ｎＭＯＳトランジスタＱＮ１４、ＱＮ１５が導通状態となり、ノードＮ１２へのプリチャージが停止する。プリチャージが停止されたノードＮ１２からは、トランジスタＱＮ１４、ＱＮ１５を介して電流が流れ、電位が“Ｈ”状態から“Ｌ”状態となる。

30

【００６９】

一方、ノードＮ２１の電位が“Ｌ”状態であるため、ｎＭＯＳトランジスタＱＮ２４、ＱＮ２５のゲートが“Ｌ”状態となる。そのため、ｎＭＯＳトランジスタＱＮ２４、ＱＮ２５は非導通状態となり、ｐＭＯＳトランジスタＱＰ２３のリーク電流によりノードＮ２２がプリチャージされる。

【００７０】

時刻 t_{22} において、ノードＮ２２の電位がノードＮ２３の電位 V_{ref} を上回った時点で、インバータ２４を介してコンパレータ２１から出力されているノードＮ２４の“Ｈ”状態が“Ｌ”状態に反転する。

40

【００７１】

時刻 t_{23} において、ノードＮ２４の電位が“Ｈ”状態から“Ｌ”状態に変化するとともに、パルス信号生成回路３０の出力信号も反転する。すなわち論理ゲート３２にはノードＮ２４の“Ｌ”状態が与えられて、ノードＮ３２が“Ｌ”状態から“Ｈ”状態に変化する。論理ゲート３１にはノードＮ３２の“Ｈ”状態及びノードＮ１４の“Ｈ”状態が与えられて、ノードＮ３１が“Ｈ”状態から“Ｌ”状態に変化する。

【００７２】

時刻 t_{24} において、“Ｈ”状態に変化したノードＮ３２の電位が、遅延回路１２により反転し、所定時間だけ遅れてノードＮ１１に与えられる。これによりノードＮ１１が“

50

H”状態から“L”状態に変化する。同様に、“L”状態に変化したノードN31の電位が、遅延回路22により反転し、所定時間だけ遅れてノードN21に与えられる。これによりノードN21が“L”状態から“H”状態に変化する。ここで、遅延回路12、22による遅延時間は $t_{24} - t_{23} (= t_{21} - t_{20})$ である。

【0073】

ノードN11の電位が“L”状態であるため、nMOSトランジスタQN14、QN15のゲートが“L”状態となる。そのため、nMOSトランジスタQN14、QN15は非導通状態となり、pMOSトランジスタQP13のリーク電流によりノードN12がプリチャージされる。

【0074】

一方、ノードN21に与えられた“H”状態の電位により、nMOSトランジスタQN24、QN25が導通状態となり、ノードN22へのプリチャージが停止する。プリチャージが停止されたノードN22からは、トランジスタQN24、QN25を介して電流が流れ、電位が“H”状態から“L”状態となる。

【0075】

このように、pMOSリークモニタ2において、信号遅延回路10'のノードN12をプリチャージしてトランジスタQP13に流れるリーク電流量を測定している間に、信号遅延回路20'のノードN22のディスチャージを行う。ノードN22のディスチャージ時間は、ノードN12のプリチャージ時間に基づくリーク電流の測定に影響を与えることがない。

【0076】

時刻 t_{25} において、ノードN12の電位がノードN13の電位 V_{ref} を上回った時点で、インバータ14を介してコンパレータ11から出力されているノードN14の“H”状態が“L”状態に反転する。

【0077】

時刻 t_{26} において、ノードN14の電位が“H”状態から“L”状態に変化するとともに、パルス信号生成回路30の出力信号も反転する。すなわち論理ゲート31にはノードN14の“L”状態が与えられて、ノードN31が“L”状態から“H”状態に変化する。論理ゲート32にはノードN31の“H”状態及びノードN24の“H”状態が与えられて、ノードN32が“H”状態から“L”状態に変化する。

【0078】

時刻 t_{27} において、“H”状態に変化したノードN31の電位が、遅延回路22により反転し、所定時間だけ遅れてノードN21に与えられる。これによりノードN21が“H”状態から“L”状態に変化する。同様に、“L”状態に変化したノードN32の電位が、遅延回路12により反転し、所定時間だけ遅れてノードN11に与えられる。これによりノードN11が“L”状態から“H”状態に変化する。ここで、遅延回路12、22による遅延時間は $t_{27} - t_{26} (= t_{24} - t_{23} = t_{21} - t_{20})$ である。

【0079】

ノードN11に与えられた“H”状態の電位により、nMOSトランジスタQN14、QN15が導通状態となり、ノードN12へのプリチャージが停止する。プリチャージが停止されたノードN12からは、トランジスタQN14、QN15を介して電流が流れ、電位が“H”状態から“L”状態となる。

【0080】

一方、ノードN21の電位が“L”状態であるため、nMOSトランジスタQN24、QN25のゲートが“L”状態となる。そのため、nMOSトランジスタQN24、QN25は非導通状態となり、pMOSトランジスタQP23のリーク電流によりノードN22がプリチャージされる。

【0081】

そして、時刻 t_{28} において、各ノードの電位は時刻 t_{22} と同様の電位の状態となる。以下、時刻 t_{28} 、 t_{29} 、 $t_{30} \dots$ において、pMOSリークモニタ2は、時刻

10

20

30

40

50

t_{22} 、 t_{23} 、 t_{24} ・・・と同様の動作を繰り返す。

【0082】

これにより、ノードN31の状態は、“H”状態と“L”状態とを繰り返す。そして、このノード31の状態がインバータ40を介してpMOSリークモニタ2の出力信号として出力される。

【0083】

このリーク電流量の測定において、遅延回路12、22による遅延時間($t_{27} - t_{26} = t_{24} - t_{23} = t_{21} - t_{20}$)は、遅延回路12、22の構成により決定され、遅延時間は所定の値となる。また、パルス信号生成回路30の状態の変化に要する時間($t_{23} - t_{22}$ 、 $t_{26} - t_{25}$ 、 $t_{29} - t_{28}$)も、パルス信号生成回路の構成により決定され、パルス信号生成回路30の状態の変化に要する時間は所定の値となる。

10

【0084】

そのため、ノードN31の発振の1周期の半分(時刻 $t_{22} \sim t_{25}$)に要する時間は、トランジスタQP13を流れるリーク電流によりノードN12の電位が電位Vrefまで上昇する時間(時刻 $t_{24} \sim t_{25}$)に基づいて決定される。同様に、ノードN31の発振の1周期の半分(時刻 $t_{25} \sim t_{28}$)に要する時間は、トランジスタQP23を流れるリーク電流によりノードN22の電位が電位Vrefまで上昇する時間(時刻 $t_{27} \sim t_{28}$)に基づいて決定される。よってpMOSリークモニタ2の出力するパルス信号は、pMOSトランジスタQP13、QP23のリーク電流に基づいて決定される周波数を有することになる。

20

【0085】

ここで、pMOSリークモニタ2において、信号遅延回路10'のノードN12をプリチャージしてトランジスタQP13に流れるリーク電流量を測定している間に、信号遅延回路20'のノードN22のディスチャージが行われている。同様に、信号遅延回路20'のノードN22をプリチャージしてトランジスタQP23に流れるリーク電流量を測定している間に、信号遅延回路10'のノードN12のディスチャージが行われている。pMOSリークモニタ2は、ノードN12、N22のプリチャージに要する時間に基づいてパルス信号を出力するため、ノードN12、N22のディスチャージに要する時間がpMOSリークモニタ2の出力するパルス信号に反映されることはない。

【0086】

30

発振数カウンタ3は、pMOSリークモニタ2が出力するパルス信号の発振数を計数してpMOSトランジスタQP13、QP23のリーク電流量を測定する。pMOS基板制御回路5は、pMOSトランジスタQP13、QP23のリーク電流量の値が所定の値より小さい場合に、半導体基板に印加される基板バイアスを大きくする。一方、pMOS基板制御回路5は、各トランジスタのリーク電流量の値が所定の値以上である場合に、半導体基板に印加する基板バイアスを小さくする。電源電圧制御回路6は、pMOSトランジスタQP13、QP23のリーク電流量の値が所定の値より小さい場合に、電源電圧を減少させ、各トランジスタのリーク電流量の値が所定の値より大きい場合に、電源電圧を増加させる。

【0087】

40

(第2の実施の形態に係る半導体集積回路の効果)

このように、本実施の形態の半導体集積回路は、pMOSトランジスタQP13、QP23のリーク電流に基づいて決定される周波数を有する信号を出力するpMOSリークモニタ2を有する。ここで、図5に示すpMOSリークモニタ2を用いたpMOSトランジスタのリーク電流測定のシミュレーション結果を図7に示す。

【0088】

図7に示すように、pMOSリークモニタ2において、pMOSトランジスタQP13、QP23のリーク電流量が変化してしきい値電圧が変動した場合、パルス信号の発振周期は大きく変化する。一方、nMOSトランジスタQN14、QN15又はQN24、QN25のリーク電流が変化してしきい値電圧が変動した場合、パルス信号の発振周期はほ

50

とんど変化しない。このため、p MOS リークモニタ 2 は、n MOS トランジスタ Q N 1 4、Q N 1 5 又は Q N 2 4、Q N 2 5 のリーク電流量に関わらず、p MOS トランジスタ Q P 1 3、Q P 2 3 のリーク電流量を測定することができる。

【 0 0 8 9 】

また、p MOS リークモニタ 2 において、2 つの p MOS トランジスタ Q P 1 3、Q P 2 3 のうち、一方のノードをプリチャージしてトランジスタのリーク電流量を測定している間に、他方のトランジスタが接続されたノードのディスチャージを行っている。そのため、ノード N 1 2、N 2 2 のディスチャージ時間は、p MOS トランジスタ Q P 1 3、Q P 2 3 のリーク電流の測定に影響を与えることがない。

【 0 0 9 0 】

そして、p MOS リークモニタ 2 において、n MOS トランジスタ Q N 1 4、Q N 1 5 又は Q N 2 4、Q N 2 5 は、直列接続されている。これにより第 1 の実施の形態と同様に、n MOS トランジスタ Q N 1 4、Q N 1 5 又は Q N 2 4、Q N 2 5 へのリーク電流による測定誤差を低減することができる。

【 0 0 9 1 】

本実施の形態に係る半導体集積回路によれば、n MOS トランジスタの影響を受けることなく p MOS トランジスタのリーク電流を正確に測定することができる。

【 0 0 9 2 】

以上、本発明の実施の形態を説明したが、本発明はこれらに限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、組み合わせ等が可能である。例えば、第 1 の実施の形態の p MOS トランジスタ Q P 1 1 及び Q P 1 2、Q P 2 1 及び Q P 2 2、第 2 の実施の形態の n MOS トランジスタ Q N 1 4 及び Q N 1 5、Q N 2 4 及び Q N 2 5 は、直列接続されていたが、これはそれぞれ 1 つのトランジスタにより構成することもできる。また、パルス信号生成部 3 0 には、論理ゲート 3 1、3 2 として N A N D ゲートを用いているが、この論理ゲートとして N O R ゲートを用いてパルス信号生成部 3 0 を構成することも可能である。

【図面の簡単な説明】

【 0 0 9 3 】

【図 1】第 1 の実施の形態の半導体集積回路の構成を示すブロック図である。

【図 2】第 1 の実施の形態の半導体集積回路を示す回路図である。

【図 3】第 1 の実施の形態の半導体集積回路の動作における各ノードの電位を示すタイミングチャートである。

【図 4】第 1 の実施の形態の半導体集積回路の効果を示すグラフである。

【図 5】第 2 の実施の形態の半導体集積回路を示す回路図である。

【図 6】第 2 の実施の形態の半導体集積回路の動作における各ノードの電位を示すタイミングチャートである。

【図 7】第 2 の実施の形態の半導体集積回路の効果を示すグラフである。

【符号の説明】

【 0 0 9 4 】

1・・・n MOS リークモニタ、 2・・・p MOS リークモニタ、 3・・・発振数カウンタ、 4・・・n MOS 基板制御回路、 5・・・p MOS 基板制御回路、 6・・・電源電圧制御回路、 10、20・・・信号遅延回路、 11、21・・・コンパレータ、 12、22・・・遅延回路 14、24・・・インバータ、 30・・・パルス信号生成回路、 31、32・・・論理ゲート、 40・・・インバータ。

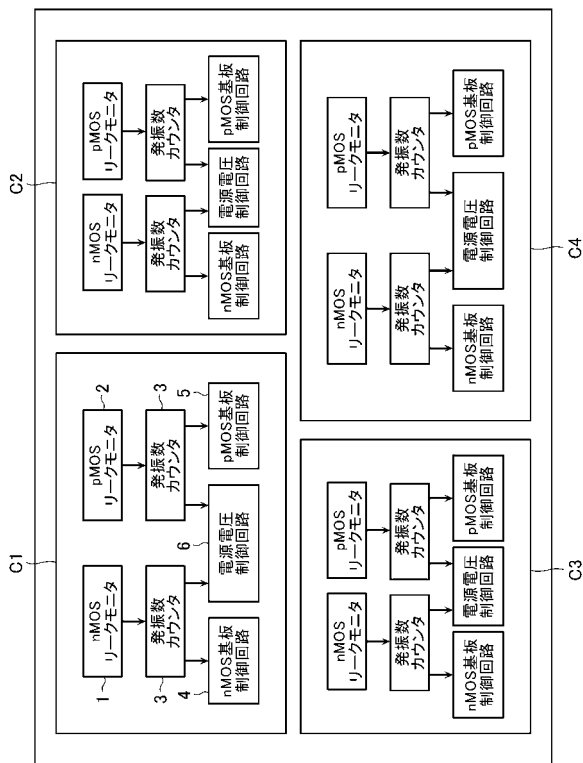
10

20

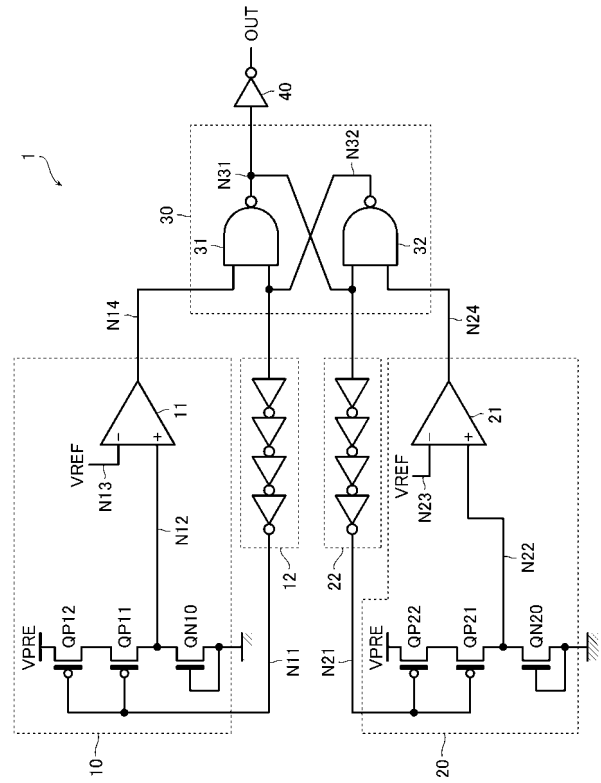
30

40

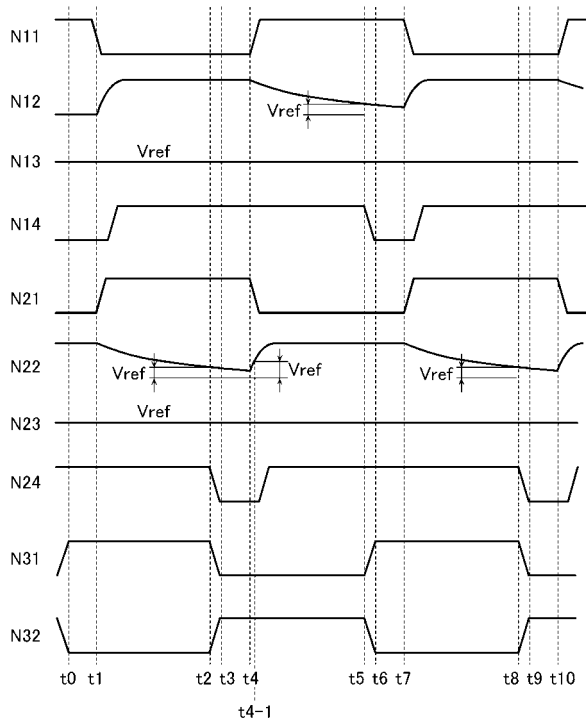
【図 1】



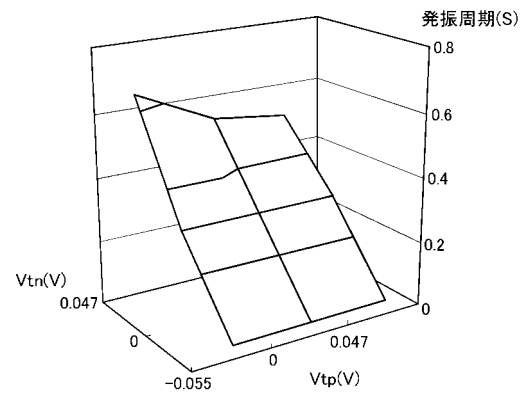
【図 2】



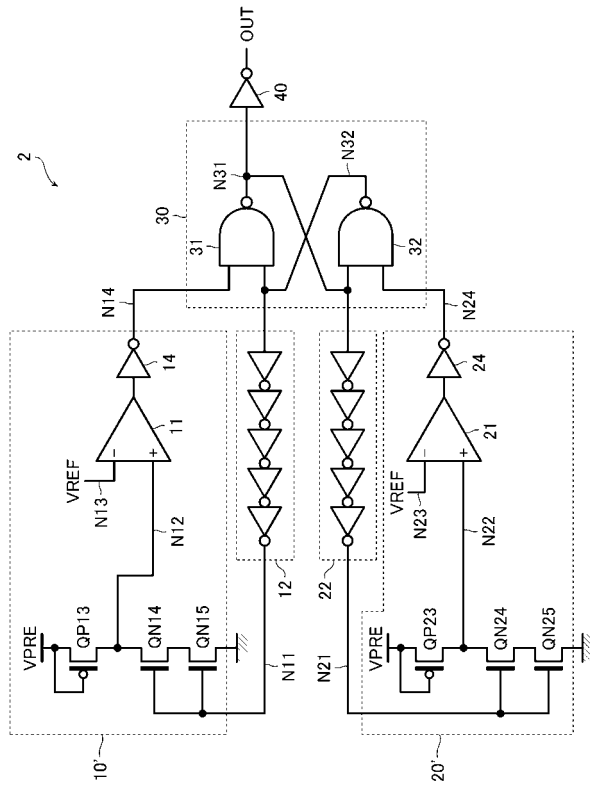
【図 3】



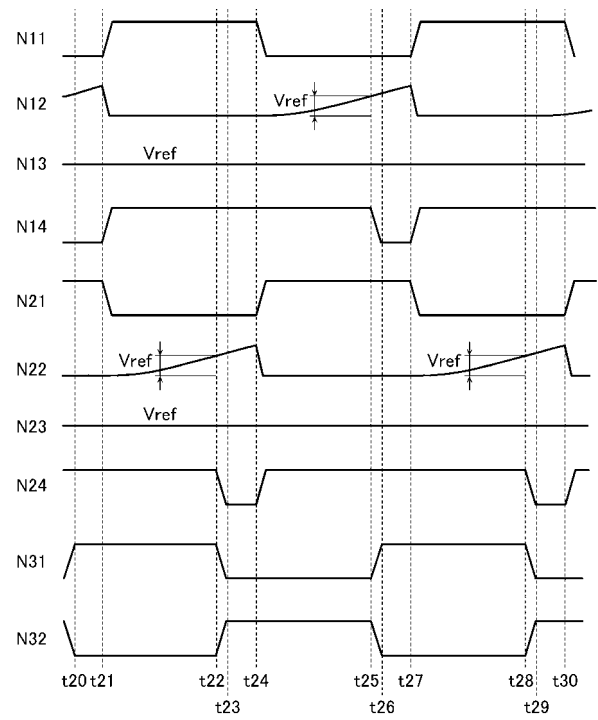
【図 4】



【図 5】



【図 6】



【図 7】

