(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月16日(16.08.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/147332 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/32* (2006.01)
G01T 1/20 (2006.01) *H04N 5/369* (2011.01)
H01L 27/144 (2006.01) *H04N 5/374* (2011.01)

(21) 国際出願番号： PCT/JP2018/004230

(22) 国際出願日： 2018年2月7日(07.02.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-022757 2017年2月10日(10.02.2017) JP

(71) 出願人:シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

(72) 発明者:美▲崎▼ 克紀(**MISAKI Katsunori**).

(74) 代理人: 川上 桂子, 外 (**KAWAKAMI Keiko** et al.); 〒5300001 大阪府大阪市北区梅田2－4－9ブリーゼタワー12階 特許事務所イノベンティア Osaka (JP).

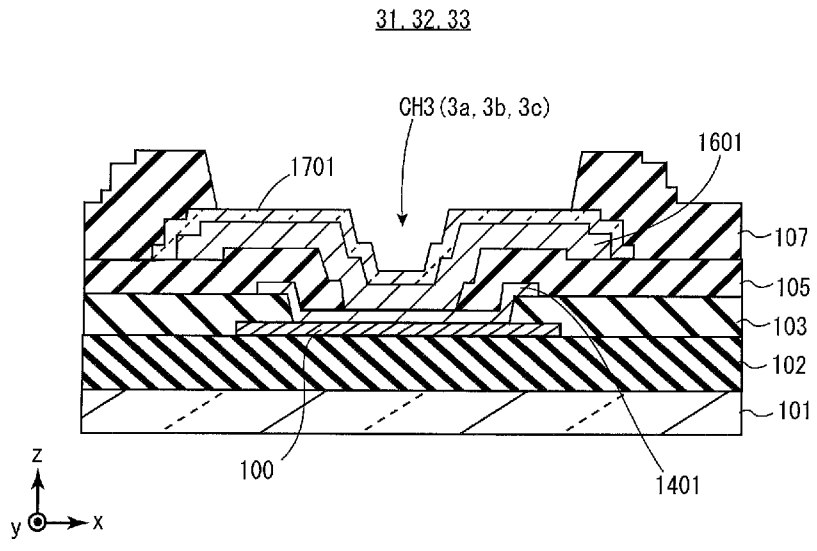
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

WO 2018/147332 A1

(54) **Title:** IMAGING PANEL AND METHOD FOR PRODUCING SAME

(54) 発明の名称： 撮像パネル及びその製造方法

[図5A]



(57) **Abstract:** Provided are an X-ray imaging panel and a method for producing the X-ray imaging panel, which are able to improve the productivity. An imaging panel 1 according to the present invention has an active region and a terminal region in a substrate 101. The terminal region is provided with: a first conductive layer 100; a first insulating film 103 for terminals, which has a first opening and is configured from the same material as a first insulating film of the active region; a second conductive layer 1701 which is configured from the same material as a conductive film of the active

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

region and is superposed on the first conductive layer 100 at the position where the opening is formed; and a cover layer which is arranged between the first conductive layer 100 and the second conductive layer 1701 at the position where the first opening is formed. The first conductive layer 100 is configured from a material that is the same as the material of a gate electrode or a source electrode of a thin film transistor in the active region or the material of a lower electrode. The cover layer is configured from a material that is the same as the material of at least one element which is selected from among the source electrode in the active region, the lower electrode and a bias wire, and which is arranged above an element that is configured from the same material as the first conductive layer 100.

(57) 要約:生産性を向上させ得るＸ線撮像パネル及びその製造方法を提供する。撮像パネル１は、基板１０１にアクティブ領域と端子領域を有する。端子領域は、第１の導電層１００と、アクティブ領域の第１の絶縁膜と同じ材料で構成された第１の開口を有する端子用第１絶縁膜１０３と、アクティブ領域の導電膜と同じ材料で構成され、第１の開口が設けられた位置に第１の導電層１００と重なる第２の導電層１７０１と、第１の開口が設けられた位置に第１の導電層１００と第２の導電層１７０１の間に配置されたカバー層を備える。第１の導電層１００は、アクティブ領域の薄膜トランジスタのゲート電極又はソース電極及び下部電極のいずれか１つと同じ材料で構成される。カバー層は、アクティブ領域のソース電極、下部電極、バイアス配線のうち、第１の導電層１００と同じ材料からなる素子より上層に配置される少なくとも１つの素子と同じ材料で構成される。

明　細　書

発明の名称 ： 撮像パネル及びその製造方法

技術分野

[0001] 本発明は、撮像パネル及びその製造方法に関する。

背景技術

[0002] 複数の画素部を備える撮像パネルにより、Ｘ線画像を撮影するＸ線撮像装置が知られている。このようなＸ線撮像装置においては、例えば、フォトダイオードにより、照射されたＸ線が電荷に変換される。変換された電荷は、画素部が備える薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」とも称する。）を動作させることにより、読み出される。このようにして電荷が読み出されることにより、Ｘ線画像が得られる。特開２０１３－４６０４３号公報には、このような撮像パネルが開示されている。特開２０１３－４６０４３号公報におけるフォトダイオードは、ｎ層、ｉ層、ｐ層の半導体膜を積層したＰＩＮ構造を有する。フォトダイオードの上部には透明導電膜からなる上部電極が設けられ、フォトダイオードの下部にはアルミニウム等の金属を含む下部電極が設けられている。上部電極は、バイアス電圧を供給する共通電極配線と接続されている。

発明の開示

[0003] ところで、薄膜トランジスタのゲート電極やソース電極、バイアス電圧を供給するバイアス配線と接続される各端子は、薄膜トランジスタやフォトダイオードが設けられるアクティブ領域の製造工程で同時に作製することが望ましい。しかしながら、端子のパッド部分に用いられる導電膜が、アクティブ領域に形成されるバイアス配線やフォトダイオードの電極等に用いられる導電膜と同じ材料で構成される場合、アクティブ領域のバイアス配線や電極を形成する際のエッチング工程によって端子のパッド部分となる導電膜も消失する場合がある。

[0004] 本発明は、アクティブ領域の作製と同時に端子を確実に形成し、生産効率

を向上させ得るＸ線の撮像パネル及びその製造方法を提供することを目的とする。

[0005] 上記課題を解決する本発明の撮像パネルは、被写体を通過したＸ線から得られたシンチレーション光に基づいて画像を生成する撮像パネルであって、基板と、前記基板上にアクティブ領域と端子領域とを有し、前記アクティブ領域は、前記基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの上に設けられた第１の絶縁膜と、前記第１の絶縁膜の上に設けられた下部電極と、前記下部電極の上に設けられ、前記シンチレーション光を電荷に変換する光電変換層と、前記光電変換層の上に設けられた上部電極と、前記上部電極の上に離間して配置され、コンタクトホールを有する第２の絶縁膜と、前記第２の絶縁膜の上に配置され、前記コンタクトホールを介して前記上部電極と接続された導電膜と、前記第２の絶縁膜の上に配置され、前記導電膜と接続されたバイアス配線と、を備え、前記端子領域は、前記基板上に設けられ、前記薄膜トランジスタのゲート電極又はソース電極と接続された第１の導電層と、前記第１の絶縁膜又は前記第２の絶縁膜と同じ材料で構成され、前記第１の導電層の一部の上に離間して設けられ、第１の開口を有する端子用第１絶縁膜と、前記導電膜と同じ材料で構成され、前記端子用第１絶縁膜の上層に設けられ、前記第１の開口が設けられた位置において、前記第１の導電層と重なる第２の導電層と、前記第１の開口が設けられた位置において、前記第１の導電層と前記第２の導電層との間に重なって配置されたカバー層とを備え、前記第１の導電層は、前記ゲート電極、前記ソース電極、及び前記下部電極のいずれか１つの素子と同じ材料で構成され、前記カバー層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される少なくとも１つの素子と同じ材料で構成される。

[0006] 本発明によれば、アクティブ領域の作製と同時に端子を確実に形成し、生産効率を向上させることができる。

図面の簡単な説明

[0007] [図1]図１は、実施形態におけるＸ線撮像装置を示す模式図である。

[図2]図２は、図１に示す撮像パネルの概略構成を示す模式図である。

[図3A]図３Ａは、図２に示す撮像パネルの一の画素部分を模式的に表した平面図である。

[図3B]図３Ｂは、図３Ａに示す画素をＡ－Ａ線で切断した断面図である。

[図4A]図４Ａは、図１に示す撮像パネルのＧ端子領域を模式的に表した平面図である。

[図4B]図４Ｂは、図１に示す撮像パネルのＳ端子及びＢ端子領域を模式的に表した平面図である。

[図5A]図５Ａは、図４Ａに示すＧ端子をＢ－Ｂ線、Ｓ端子及びＢ端子をＢ’－Ｂ’線で切断した断面図である。

[図5B]図５Ｂは、図４Ｂに示すＳ－Ｇコンタクトを Ｃ－Ｃ線で切断した断面図である。

[図5C]図５Ｃは、図４Ｂに示すＳ－Ｂコンタクトを Ｄ－Ｄ線で切断した断面図である。

[図6A]図６Ａは、ＴＦＴ領域と端子領域の製造工程を説明する図であって、基板の上に、ゲート絶縁膜とゲート電極及びゲート層とＴＦＴの半導体層と順に形成する工程を示す断面図である。

[図6B]図６Ｂは、図６Ａに示す半導体層上に第１絶縁膜を形成し、ＴＦＴ領域にソース電極及びドレイン電極を形成し、端子領域にソース層を形成する工程を示す断面図である。

[図6C]図６Ｃは、図６Ｂに示すＴＦＴ領域にコンタクトホールＣＨ１、端子領域に開口１０３ａを形成する工程を示す断面図である。

[図6D]図６Ｄは、図６Ｃにおける第１絶縁膜の上に第２絶縁膜を形成する工程を示す断面図である。

[図6E]図６Ｅは、図６ＤにおけるＴＦＴ領域に第２絶縁膜の開口を形成する工程を示す断面図である。

[図6F]図６Ｆは、図６Ｅに示すＴＦＴ領域及び端子領域に金属膜を成膜する

工程を示す断面図である。

[図6G]図６Ｇは、図６Ｆに示すＴＦＴ領域に下部電極、端子領域に下部電極層を形成し、ｎ型非晶質半導体層、真性非晶質半導体層及びｐ型非晶質半導体層と、透明導電膜を成膜する工程を示す断面図である。

[図6H]図６Ｈは、図６Ｇに示すＴＦＴ領域に上部電極を形成し、端子領域の半導体層及び透明導電膜を除去する工程を示す断面図である。

[図6I]図６Ｉは、図６Ｈに示すＴＦＴ領域に光電変換層を形成する工程を示す断面図である。

[図6J]図６Ｊは、図６Ｉに示すＴＦＴ領域及び端子領域に第３絶縁膜を形成する工程を示す断面図である。

[図6K]図６Ｋは、図６Ｊに示すＴＦＴ領域の第３絶縁膜にコンタクトホールＣＨ２を形成し、端子領域の第３絶縁膜に開口１０５ａを形成する工程を示す断面図である。

[図6L]図６Ｌは、図６Ｋにおける第３絶縁膜の上に第４絶縁膜を形成する工程を示す断面図である。

[図6M]図６Ｍは、図６ＬにおけるＴＦＴ領域の第４絶縁膜に開口を形成し、端子領域における第４絶縁膜を除去する工程を示す断面図である。

[図6N]図６Ｎは、図６ＭにおけるＴＦＴ領域及び端子領域に金属膜を形成する工程を示す断面図である。

[図6O]図６Ｏは、図６Ｎにおける透明導電膜をパターンニングし、ＴＦＴ領域にバイアス配線を形成し、端子領域にバイアス配線層を形成する工程を示す断面図である。

[図6P]図６Ｐは、図６ＯにおけるＴＦＴ領域及び端子領域に透明導電膜を形成する工程を示す断面図である。

[図6Q]図６Ｑは、図６Ｐにおける透明導電膜をパターンニングし、ＴＦＴ領域に導電膜を形成し、端子領域に透明導電膜を形成する工程を示す断面図である。

[図6R]図６Ｒは、図６ＱにおけるＴＦＴ領域及び端子領域に第５絶縁膜を形

成する工程を示す断面図である。

[図6S]図６Ｓは、図６Ｒにおける第５絶縁膜をパターンニングして、端子領域に第５絶縁膜の開口１０７ａを形成する工程を示す断面図である。

[図6T]図６Ｔは、図６Ｓにおける第５絶縁膜の上に第６絶縁膜を形成する工程を示す断面図である。

[図6U]図６Ｕは、図６Ｔにおける第６絶縁膜をパターンニングして、端子領域の第６絶縁膜を除去する工程を示す断面図である。

[図7]図７は、第１実施形態の変形例におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図8]図８は、図７に示すＢ端子とバイアス配線とを接続するコンタクトの構造を示す断面図である。

[図9]図９は、第２実施形態におけるＧ端子の構造を示す断面図である。

[図10]図１０は、変形例（１）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図11]図１１は、変形例（３）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図12]図１２は、変形例（４）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図13]図１３は、変形例（５）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図14]図１４は、変形例（６）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図15]図１５は、変形例（６）における図１４とは異なる構造のＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

[図16]図１６は、変形例（７）におけるＧ端子、Ｓ端子及びＢ端子の構造例を示す断面図である。

発明を実施するための形態

[0008] 本発明の一実施形態に係る撮像パネルは、被写体を通過したＸ線から得ら

れたシンチレーション光に基づいて画像を生成する撮像パネルであって、基板と、前記基板上にアクティブ領域と端子領域とを有し、前記アクティブ領域は、前記基板上に設けられた薄膜トランジスタと、前記薄膜トランジスタの上に設けられた第１の絶縁膜と、前記第１の絶縁膜の上に設けられた下部電極と、前記下部電極の上に設けられ、前記シンチレーション光を電荷に変換する光電変換層と、前記光電変換層の上に設けられた上部電極と、前記上部電極の上に離間して配置され、コンタクトホールを有する第２の絶縁膜と、前記第２の絶縁膜の上に配置され、前記コンタクトホールを介して前記上部電極と接続された導電膜と、前記第２の絶縁膜の上に配置され、前記導電膜と接続されたバイアス配線と、を備え、前記端子領域は、前記基板上に設けられ、前記薄膜トランジスタのゲート電極又はソース電極と接続された第１の導電層と、前記第１の絶縁膜又は前記第２の絶縁膜と同じ材料で構成され、前記第１の導電層の一部の上に離間して設けられ、第１の開口を有する端子用第１絶縁膜と、前記導電膜と同じ材料で構成され、前記端子用第１絶縁膜の上層に設けられ、前記第１の開口が設けられた位置において、前記第１の導電層と重なる第２の導電層と、前記第１の開口が設けられた位置において、前記第１の導電層と前記第２の導電層との間に重なって配置されたカバー層とを備え、前記第１の導電層は、前記ゲート電極、前記ソース電極、及び前記下部電極のいずれか１つの素子と同じ材料で構成され、前記カバー層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される少なくとも１つの素子と同じ材料で構成される（第１の構成）。

[0009] 第１の構成によれば、撮像パネルはアクティブ領域と複数の端子領域とを有する。端子領域には、基板上に第１の導電層、端子用第１絶縁膜、第２の導電層、カバー層とが設けられる。第１の導電層は、アクティブ領域におけるゲート電極又はソース電極又は下部電極と同じ材料で構成され、端子用第１絶縁膜は、アクティブ領域における第１絶縁膜と同じ材料で構成される。第２の導電層は、端子用第１絶縁膜の上層に設けられ、アクティブ領域にお

ける導電膜と同じ材料で構成され、第１の開口が設けられた位置において第１の導電層と重なる。カバー層は、ソース電極、下部電極、及びバイアス配線のうち、第１の導電層と同じ材料からなる素子よりも上層に配置される少なくとも１つと同じ材料で構成される。カバー層は、第１の開口が設けられた位置において、第１の導電層と第２の導電層との間に重なって配置される。つまり、第１の導電層、カバー層、第２の導電層は、第１の開口が設けられた位置において接続されている。そのため、少なくともカバー層と同じ材料からなるアクティブ領域の素子を形成する際のエッチングによって第１の導電層は消失しにくい。よって、アクティブ領域の作製と同時に端子領域を作製しやすく、撮像パネルの生産効率を向上させることができる。また、第１の導電層、カバー層、及び第２の導電層は第１の開口が設けられた位置、すなわち、平面視で同じ位置に接続される。そのため、第１の導電層、カバー層、及び第２の導電層が異なる位置で接続される場合と比べて接続不良を抑制できる。

[0010] 第１の構成において、前記カバー層は、前記第１の導電層が前記ソース電極と同じ材料で構成される場合、前記下部電極と同じ材料で構成された下部電極層と、前記バイアス配線と同じ材料で構成されたバイアス配線層とからなることとしてもよい（第２の構成）。

[0011] 第２の構成によれば、ソース電極と同じ材料からなる第１の導電層は、下部電極層とバイアス配線層とを含むカバー層に覆われるため、アクティブ領域における下部電極及びバイアス配線を形成する際のエッチングによって消失しない。

[0012] 第１の構成において、前記カバー層は、前記第１の導電層が前記ゲート電極と同じ材料で構成される場合、前記下部電極と同じ材料で構成された下部電極層と、前記バイアス配線と同じ材料で構成されたバイアス配線層と、前記ソース電極と同じ材料で構成されたソース層のうちの少なくとも２つの層からなることとしてもよい（第３の構成）。

[0013] 第３の構成によれば、ゲート電極と同じ材料からなる第１の導電層は、下

部電極層、バイアス配線層、ソース層のうちの少なくとも２つの層からなるカバー層に覆われる。そのため、アクティブ領域におけるソース電極、下部電極、バイアス配線を形成する際のエッチングによって消失しにくい。

[0014] 第１から第３のいずれかの構成において、前記端子領域には、複数の端子が設けられ、前記端子領域において、前記複数の端子のうち、少なくとも１つの端子が設けられた領域における前記第１の導電層は、前記ゲート電極と接続され、他の端子が設けられた領域における前記第１の導電層は、前記ソース電極と接続されることとしてもよい（第４の構成）。

[0015] 第４の構成によれば、複数の端子をアクティブ領域を作製する工程で同時に作製することができるので、撮像パネルの生産効率を向上させることができる。

[0016] 第１から第４のいずれかの構成において、前記薄膜トランジスタのゲート電極及びソース電極と、前記下部電極と、前記バイアス配線は、同じ材料を含むこととしてもよい（第５の構成）。

[0017] 第５の構成によれば、第１の導電層の上に下部電極とバイアス配線と同じ材料からなる下部電極層とバイアス配線層が重なって配置されるため、下部電極及びバイアス配線を形成する際のエッチングによって第１の導電層が消失しない。

[0018] 本発明の一実施形態に係る撮像パネルの製造方法は、被写体を通過したＸ線から得られたシンチレーション光に基づいて画像を生成する撮像パネルの製造方法であって、基板上のアクティブ領域に、薄膜トランジスタを形成し、前記薄膜トランジスタの上に第１の絶縁膜を形成し、前記薄膜トランジスタのドレイン電極の上に、前記第１の絶縁膜を貫通する第１のコンタクトホールを形成し、前記第１の絶縁膜を覆う下部電極用導電膜を形成し、前記下部電極用導電膜をエッチングし、前記第１の絶縁膜の上に、前記第１のコンタクトホールを介して前記ドレイン電極と接続された下部電極を形成し、前記下部電極の上に光電変換層を形成して前記光電変換層の上に上部電極を形成し、前記上部電極を覆う第２の絶縁膜を形成して前記第２の絶縁膜を貫通

する第２のコンタクトホールを形成し、前記第２の絶縁膜の上層にバイアス配線用導電膜を形成し、前記バイアス配線用導電膜をエッチングして、バイアス電圧が印加されるバイアス配線を形成し、前記第２のコンタクトホールを介して前記上部電極と接続された導電膜を形成し、前記薄膜トランジスタ又は前記下部電極を形成する工程において、前記基板上の端子領域に、前記薄膜トランジスタのゲート電極又はソース電極、又は前記下部電極のいずれか１つの素子と同じ材料で構成された第１の導電層を形成し、前記第１の絶縁膜又は前記第２の絶縁膜を形成する工程において、前記第１の絶縁膜又は前記第２の絶縁膜と同じ材料で構成され、前記第１の導電層の一部の上に第１の開口を有する端子用第１絶縁膜を形成し、前記導電膜を形成する工程において、前記導電膜と同じ材料で構成され、前記端子用第１絶縁膜の上層に、前記第１の開口が設けられた位置において、前記第１の導電層と重なる第２の導電層を形成し、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される少なくとも１つの素子が形成される工程において、当該少なくとも１つの素子と同じ材料で構成され、前記第１の開口が設けられた位置に、前記第１の導電層と前記第２の導電層との間に配置されたカバー層を形成する（第１の製造方法）。

[0019] 第１の製造方法によれば、端子領域には、基板上に第１の導電層、端子用第１絶縁膜、第２の導電層及びカバー層が設けられる。第１の導電層は、アクティブ領域におけるゲート電極又はソース電極又は下部電極と同じ材料で構成され、端子用第１絶縁膜は、アクティブ領域における第１絶縁膜と同じ材料で構成される。。第２の導電層は、端子用第１絶縁膜の上層に設けられ、アクティブ領域における導電膜と同じ材料で構成され、第１の開口が設けられた位置において第１の導電層と重なる。カバー層は、ソース電極、下部電極、及びバイアス配線のうち、第１の導電層と同じ材料からなる素子よりも上層に配置される少なくとも１つと同じ材料で構成される。カバー層は、第１の開口が設けられた位置において、第１の導電層と第２の導電層との間

に重なって配置される。つまり、第１の導電層、カバー層、第２の導電層は、第１の開口が設けられた位置において接続されている。

[0020] そのため、少なくともカバー層と同じ材料からなるアクティブ領域の素子を形成する際のエッチングによって第１の導電層は消失しにくい。よって、アクティブ領域の作製と同時に端子領域を作製しやすく、撮像パネルの生産効率を向上させることができる。また、第１の導電層、カバー層、及び第２の導電層は第１の開口が設けられた位置、すなわち、平面視で同じ位置に接続される。そのため、第１の導電層、カバー層、及び第２の導電層が異なる位置で接続される場合と比べて接続不良を抑制できる。

[0021] 第１の製造方法において、前記第１の導電層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される素子を形成する工程のエッチングに対し、エッチング選択性が高い材料を含むこととしてもよい（第２の製造方法）。

[0022] 第２の製造方法によれば、ソース電極、下部電極、及びバイアス配線のうち、第１の導電層が設けられる層より上層に配置される素子を形成する工程のエッチングによって第１の導電層は消失しない。

[0023] 前記第１の導電層と接する前記カバー層における最下層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち当該最下層と同じ材料からなる素子よりも上層に配置される素子を形成する工程のエッチングに対し、エッチング選択性が高い材料を含むこととしてもよい（第３の製造方法）。

[0024] 第３の製造方法によれば、ソース電極、下部電極、及びバイアス配線のうち、カバー層の最下層より上層に配置される素子を形成する工程のエッチングによって当該最下層は消失せず、第１の導電層も消失しない。

[0025] 第３の製造方法において、前記カバー層は、前記薄膜トランジスタのソース電極が形成される工程において形成され、前記ソース電極と同じ材料からなるソース層と、前記バイアス配線が形成される工程において形成され、前記バイアス配線と同じ材料からなるバイアス配線層とを含み、前記端子領域

は、さらに、前記第２の絶縁膜を形成する工程において、前記第２の絶縁膜と同じ材料で構成され、前記端子用第１絶縁膜を覆い、前記第１の開口よりも内側に第２の開口を有する端子用第２絶縁膜が形成され、前記ソース層は、前記第１の開口において前記第１の導電層と接続され、前記端子用第１絶縁膜は、前記ソース層の一部の上に形成され、前記バイアス配線層は、前記端子用第２絶縁膜の上に形成され、前記第２の開口において前記ソース層と接続され、前記第２の導電層は、前記第１の開口と重なる前記第２の開口において、前記カバー層を介して前記第１の導電層と接続されることとしてもよい（第４の製造方法）。

[0026] 第４の製造方法によれば、端子用第２絶縁膜の第２の開口が、端子用第１絶縁膜の第１の開口よりも内側に設けられるため、第１の開口と第２の開口とが重なる部分において、ソース層及びバイアス配線層を介して、第１の導電層と第２の導電層とを確実に接続することができる。

[0027] 第４の製造方法において、前記ソース電極及び前記ソース層は、前記下部電極を形成する際のエッチングに対してエッチング選択性が低い第１の材料と、前記エッチングに対してエッチング選択性が高い第２の材料とが積層されて構成され、前記第２の絶縁膜及び前記端子用第２絶縁膜の膜厚は、前記第１の材料の膜厚よりも厚く、前記バイアス配線及び前記バイアス配線層は、前記第１の材料を含む複数の層で構成され、前記バイアス配線及び前記バイアス配線層の膜厚は、前記ソース電極及び前記ソース層の前記第１の材料の膜厚よりも厚いこととしてもよい（第５の製造方法）。

[0028] 第５の製造方法によれば、ソース層の第１の材料は下部電極を形成する際のエッチングによってエッチングされやすいが、端子用第２絶縁膜とバイアス配線層の膜厚は、ソース層の第１の材料の膜厚よりも厚い。そのため、端子用第１絶縁膜をソース層の一部の上に重ねて形成した場合において、ソース層の第１の材料が下部電極を形成する際のエッチングで消失し、端子用第１絶縁膜とソース層との間に隙間ができても、端子用第２絶縁膜によって隙間部分を覆うことができる。また、端子用第２絶縁膜の一部と第２の開口を

バイアス配線層で確実に覆うことができるので、第２の開口において、第２の導電層を、バイアス配線層及びソース層を介して第１の導電層に確実に接続させることができる。

[0029] 第１の製造方法において、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記カバー層の形成に用いられない素子の材料は、複数の材料が積層された積層構造を有し、前記積層構造における最下層は、当該素子を形成する工程におけるエッチングに対し、当該素子より下層に設けられる素子よりもエッチング選択性が低いこととしてもよい（第６の製造方法）。

[0030] 第６の製造方法によれば、カバー層の形成に用いられない素子の材料において最下層の材料は当該素子より下層に設けられる素子よりもエッチングされやすく、エッチング時間が短いため、カバー層やパッド部分となる第１の導電層が消失しにくい。

[0031] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0032] ［第１実施形態］

（構成）

図１は、本実施形態におけるＸ線撮像装置を示す模式図である。Ｘ線撮像装置１０００は、撮像パネル１と、制御部２とを備える。制御部２は、ゲート制御部２Ａと信号読出部２Ｂとを含む。被写体Ｓに対しＸ線源３からＸ線が照射され、被写体Ｓを透過したＸ線が、撮像パネル１の上部に配置されたシンチレータ１Ａによって蛍光（以下、シンチレーション光）に変換される。Ｘ線撮像装置１０００は、シンチレーション光を撮像パネル１及び制御部２０によって撮像することにより、Ｘ線画像を取得する。

[0033] 図２は、撮像パネル１の概略構成を示す模式図である。図２に示すように、撮像パネル１には、複数のソース配線１０と、複数のソース配線１０と交差する複数のゲート配線１１とが形成されている。ゲート配線１１は、ゲート制御部２Ａと接続され、ソース配線１０は、信号読出部２Ｂと接続されて

いる。

[0034] 撮像パネル１は、ソース配線１０とゲート配線１１とが交差する位置に、ソース配線１０及びゲート配線１１に接続されたＴＦＴ１３を有する。また、ソース配線１０とゲート配線１１とで囲まれた領域（以下、画素）には、フォトダイオード１２が設けられている。画素において、フォトダイオード１２により、被写体Ｓを透過したＸ線を変換したシンチレーション光がその光量に応じた電荷に変換される。

[0035] 撮像パネル１における各ゲート配線１１は、ゲート制御部２Ａによって順次選択状態に切り替えられ、選択状態のゲート配線１１に接続されたＴＦＴ１３がオン状態となる。ＴＦＴ１３がオン状態になると、フォトダイオード１２によって変換された電荷に応じた信号がソース配線１０を介して信号読出部２Ｂに出力される。

[0036] 図３Ａは、図２に示す撮像パネル１の一の画素部分を拡大した平面図である。図３Ａに示すように、ゲート配線１１及びソース配線１０に囲まれた画素には、フォトダイオード１２を構成する下部電極１４ａ、光電変換層１５、及び上部電極１４ｂが重なって配置されている。また、ゲート配線１１及びソース配線１０と平面視で重なるようにバイアス配線１６が配置されている。バイアス配線１６は、フォトダイオード１２にバイアス電圧を供給する。ＴＦＴ１３は、ゲート配線１１と一体化されたゲート電極１３ａと、半導体活性層１３ｂと、ソース配線１０と一体化されたソース電極１３ｃと、ドレイン電極１３ｄとを有する。画素には、ドレイン電極１３ｄと下部電極１４ａとを接続するためのコンタクトホールＣＨ１が設けられている。また、画素には、バイアス配線１６に重なって配置された透明導電膜１７が設けられ、透明導電膜１７と上部電極１４ｂとを接続するためのコンタクトホールＣＨ２が設けられている。

[0037] ここで、図３Ｂに、図３Ａに示す画素のＡ－Ａ線の断面図を示す。図３Ｂに示すように、基板１０１の上に、ＴＦＴ１３は形成されている。基板１０１は、例えば、ガラス基板、シリコン基板、耐熱性を有するプラスチック基

板、又は樹脂基板等、絶縁性を有する基板である。

[0038] 基板１０１の上には、ゲート配線１１と一体化されたゲート電極１３ａが形成されている。ゲート電極１３ａ及びゲート配線１１は、例えば、アルミニウム（Ａｌ）、タングステン（W）、モリブデン（Ｍｏ）、モリブデンナイトライド（ＭｏＮ）、タンタル（Ｔａ）、クロム（Ｃｒ）、チタン（Ｔｉ）、銅（Ｃｕ）等の金属、又はこれらの合金、若しくはこれら金属窒化物からなる。本実施形態では、ゲート電極１３ａ及びゲート配線１１は、モリブデンナイトライドからなる金属膜とアルミニウムからなる金属膜とがこの順番で積層された積層構造を有する。これら金属膜の膜厚は、例えば、モリブデンナイトライドが１００ｎｍ、アルミニウムが３００ｎｍである。

[0039] ゲート絶縁膜１０２は、基板１０１上に形成され、ゲート電極１３ａを覆う。ゲート絶縁膜１０２は、例えば、酸化ケイ素（ＳｉＯｘ）、窒化ケイ素（ＳｉＮｘ）、酸化窒化ケイ素（ＳｉＯｘＮｙ）（ｘ＞ｙ）、窒化酸化ケイ素（ＳｉＮｘＯｙ）（ｘ＞ｙ）等を用いてもよい。本実施形態では、ゲート絶縁膜１０２は、酸化ケイ素（ＳｉＯｘ）と、窒化ケイ素（ＳｉＮｘ）とが順に積層された積層膜で構成され、その膜厚は、酸化ケイ素（ＳｉＯｘ）が５０ｎｍ、窒化ケイ素（ＳｉＮｘ）が４００ｎｍである。

[0040] ゲート絶縁膜１０２を介してゲート電極１３ａの上には、半導体活性層１３ｂと、半導体活性層１３ｂに接続されたソース電極１３ｃ及びドレイン電極１３ｄとが形成されている。

[0041] 半導体活性層１３ｂは、ゲート絶縁膜１０２に接して形成されている。半導体活性層１３ｂは、酸化物半導体からなる。酸化物半導体は、例えば、ＩｎＧａO_3（ＺｎＯ）$_5$、酸化マグネシウム亜鉛（ＭｇｘＺｎ$_1$－ｘＯ）、酸化カドミウム亜鉛（ＣｄｘＺｎ$_1$－ｘＯ）、酸化カドミウム（ＣｄＯ）、ＩｎＳｎＺｎＯ（Ｉｎ（インジウム）、Ｓｎ（スズ）、Ｚｎ（亜鉛）を含む）もの、Ｉｎ（インジウム）－Ａｌ（アルミニウム）－Ｚｎ（亜鉛）－Ｏ（酸素）系、又は、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を所定の比率で含有するアモルファス酸化物半導体等を用いてもよい。また、酸化

物半導体としては、「非晶質」、「結晶質（多結晶，微結晶，ｃ軸配向，を含む）」の材料も適用可能である。積層構造の場合は、何れの組合せも含まれる（特定の組合せを排除しない）。本実施形態では、半導体活性層１３ｂは、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を所定の比率で含有するアモルファス酸化物半導体からなり、その膜厚は、例えば７０ｎｍである。半導体活性層１３ｂと、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、及び酸素（Ｏ）を含む酸化物半導体を適用することで、アモルファスシリコン（ａ－Ｓｉ）と比べ、ＴＦＴ１３のオフリーク電流を低減することができる。ＴＦＴ１３のオフリーク電流が小さいと、光電変換層１５のオフリーク電流も低減され、光電変換層１５のＱＥ（量子効率）が向上し、Ｘ線の検出感度を改善することができる。

[0042] ソース電極１３ｃ及びドレイン電極１３ｄは、半導体活性層１３ｂ及びゲート絶縁膜１０２に接して形成されている。ソース電極１３ｃは、ソース配線１０と一体化されている。ドレイン電極１３ｄは、コンタクトホールＣＨ１を介して下部電極１４ａに接続されている。

[0043] ソース電極１３ｃ及びドレイン電極１３ｄは、同一層上に形成され、例えば、アルミニウム（Ａｌ）、タングステン（Ｗ）、モリブデン（Ｍｏ）、タンタル（Ｔａ）、クロム（Ｃｒ）、チタン（Ｔｉ）、銅（Ｃｕ）等の金属又はこれらの合金、若しくはこれら金属窒化物からなる。また、ソース電極１３ｃ及びドレイン電極１３ｄの材料として、インジウム錫酸化物（ＩＴＯ）、インジウム亜鉛酸化物（ＩＺＯ）、酸化ケイ素を含むインジウム錫酸化物（ＩＴＳＯ）、酸化インジウム（In_2O_3）、酸化錫（SnO_2）、酸化亜鉛（ＺｎＯ）、窒化チタン等の透光性を有する材料及びそれらを適宜組み合わせたものを用いてもよい。

[0044] ソース電極１３ｃ及びドレイン電極１３ｄは、例えば、複数の金属膜を積層したものであってもよい。具体的には、ソース電極１３ｃ、ソース配線１０、及びドレイン電極１３ｄは、モリブデンナイトライド（ＭｏＮ）からなる金属膜と、アルミニウム（Ａｌ）からなる金属膜と、モリブデンナイトラ

イド（ＭｏＮ）からなる金属膜とが、この順番で積層された積層構造を有する。その膜厚は、下層のモリブデンナイトライド（ＭｏＮ）からなる金属膜は１００ｎｍ、アルミニウム（Ａｌ）からなる金属膜は５００ｎｍ、上層のモリブデンナイトライド（ＭｏＮ）からなる金属膜は５０ｎｍである。

[0045] ソース電極１３ｃ及びドレイン電極１３ｄを覆うように、第１絶縁膜１０３が設けられている。第１絶縁膜１０３は、酸化ケイ素（SiO_2）又は窒化ケイ素（ＳｉＮ）からなる単層構造でもよいし、窒化ケイ素（ＳｉＮ）、酸化ケイ素（SiO_2）をこの順に積層した積層構造でもよい。

[0046] 第１絶縁膜１０３の上には、第２絶縁膜１０４が形成されている。第２絶縁膜１０４は、例えば、アクリル系樹脂又はシロキサン系樹脂などの有機系透明樹脂からなり、その膜厚は、例えば２．５μｍである。

[0047] ドレイン電極１３ｄの上には、第２絶縁膜１０４と第１絶縁膜１０３とを貫通するコンタクトホールＣＨ１が形成されている。

[0048] 第２絶縁膜１０４の上には、コンタクトホールＣＨ１においてドレイン電極１３ｄと接続された下部電極１４ａが形成されている。下部電極１４ａは、例えば、モリブデンナイトライド（ＭｏＮ）からなる金属膜で構成され、その膜厚は例えば２００μｍである。

[0049] また、下部電極１４ａの上には、下部電極１４ａよりもｘ軸方向の幅が小さい光電変換層１５が形成されている。光電変換層１５は、ｎ型非晶質半導体層１５１、真性非晶質半導体層１５２と、ｐ型非晶質半導体層１５３が順に積層されたＰＩＮ構造を有する。

[0050] ｎ型非晶質半導体層１５１は、ｎ型不純物（例えば、リン）がドーピングされたアモルファスシリコンからなる。ｎ型非晶質半導体層１５１の膜厚は、例えば、３０ｎｍである。

[0051] 真性非晶質半導体層１５２は、真性のアモルファスシリコンからなる。真性非晶質半導体層１５２は、ｎ型非晶質半導体層１５１に接して形成されている。真性非晶質半導体層の膜厚は、例えば１０００ｎｍである。

[0052] ｐ型非晶質半導体層１５３は、ｐ型不純物（例えば、ボロン）がドーピン

グされたアモルファスシリコンからなる。ｐ型非晶質半導体層１５３は、真性非晶質半導体層１５２に接して形成されている。ｐ型非晶質半導体層１５３のは膜厚は、例えば５ｎｍである。

[0053] ｐ型非晶質半導体層１５３の上には、上部電極１４ｂが形成されている。上部電極１４ｂは、光電変換層１５よりもｘ軸方向の幅が小さい。上部電極１４ｂは、例えば、ＩＴＯ（Indium Tin Oxide）からなり、その膜厚は、例えば７０ｎｍである。

[0054] フォトダイオード１２を覆うように第３絶縁膜１０５が形成されている。第３絶縁膜１０５は、例えば、窒化ケイ素（ＳｉＮ）からなる無機絶縁膜であり、その膜厚は、例えば３００ｎｍである。

[0055] 第３絶縁膜１０５において、上部電極１４ｂと重なる位置にコンタクトホールＣＨ２が形成されている。第３絶縁膜１０５の上において、コンタクトホールＣＨ２を除いた部分に、第４絶縁膜１０６が形成されている。第４絶縁膜１０６は、例えばアクリル系樹脂又はシロキサン系樹脂からなる有機系透明樹脂からなり、その膜厚は、例えば２．５μｍである。

[0056] 第４絶縁膜１０６の上にはバイアス配線１６が形成されている。また、第４絶縁膜１０６の上において、バイアス配線１６と重なるように透明導電膜１７が形成されている。透明導電膜１７は、コンタクトホールＣＨ２において上部電極１４ｂと接する。バイアス配線１６は、制御部２（図１参照）に接続されている。バイアス配線１６は、コンタクトホールＣＨ２を介して、制御部２から入力されるバイアス電圧を上部電極１４ｂに印加する。バイアス配線１６は、例えば、モリブデンナイトライド（ＭｏＮ）からなる金属膜と、アルミニウム（Ａｌ）からなる金属膜と、チタン（Ｔｉ）からなる金属膜とを順に積層した積層構造を有する。モリブデンナイトライド（ＭｏＮ）、アルミニウム（Ａｌ）、チタン（Ｔｉ）のそれぞれの膜厚は、例えば、１００ｎｍ、３００ｎｍ、５０ｎｍである。

[0057] 第４絶縁膜１０６の上には、透明導電膜１７を覆うように第５絶縁膜１０７が形成されている。第５絶縁膜１０７は、例えば窒化ケイ素（ＳｉＮ）か

らなる無機絶縁膜であり、その膜厚は、例えば２００ｎｍである。

[0058] 第５絶縁膜１０７の上には、第６絶縁膜１０８が形成されている。第６絶縁膜１０８は、例えば、アクリル系樹脂又はシロキサン系樹脂からなる有機系透明樹脂からなり、その膜厚は、例えば２．０μｍである。

[0059] 図４Ａ及び図４Ｂは、撮像パネル１の画素領域（以下、アクティブ領域）の外側の領域の一部を拡大した平面図である。図４Ａは、図３Ａに示すゲート電極１３ａ及びゲート配線１１とゲート制御部２Ａ（図１参照）とを接続するための端子（以下、Ｇ端子）３１と、Ｇ端子３１とゲート配線１１とを接続するコンタクト（Ｓ－Ｇコンタクト）４０Ａとが設けられた領域（Ｇ端子領域）を示している。

[0060] 図４Ｂは、図３Ａに示すソース電極３１ｃ及びソース配線１０と信号読出部２Ｂ（図１参照）とを接続するための端子（以下、Ｓ端子）３２と、図３Ａに示すバイアス配線１６と制御部２とを接続するための端子（以下、Ｂ端子）３３とが設けられた領域と、Ｂ端子３３をバイアス配線１６と接続するためのコンタクト（以下、Ｓ－Ｂコンタクト）４０Ｂとが設けられた領域（ＳＢ端子領域）を示している。

[0061] 図５Ａは、図４Ａ及び４Ｂに示すＧ端子３１におけるＢ－Ｂ線、Ｓ端子３２、Ｂ端子３３におけるＢ’－Ｂ’線の断面図である。また、図５Ｂは、図４Ａに示すＳ－Ｇコンタクト４０ＡのＣ－Ｃ線の断面図であり、図５Ｃは、図４Ｂに示すＳ－Ｂコンタクト４０ＢのＤ－Ｄ線の断面図である。以下、図５Ａ～５Ｃを用いてＧ端子３１、Ｓ端子３２及びＢ端子３３、Ｓ－Ｇコンタクト４０Ａ、及びＳ－Ｂコンタクト４０Ｂの構成について説明する。

[0062] （Ｇ端子３１、Ｓ端子３２、Ｂ端子３３）

図５Ａに示すように、Ｇ端子３１、Ｓ端子３２、Ｂ端子３３（以下、端子３１～３３）は、共通の構造を有する。

[0063] 具体的には、端子３１～３３は、基板１０１の上に、ゲート絶縁膜１０２が配置されている。ゲート絶縁膜１０２は、アクティブ領域に設けられたゲート絶縁膜１０２（図３Ｂ参照）と一体的に形成されている。

[0064] ゲート絶縁膜１０２の上には、ソース層１００が配置されている。ソース層１００は、アクティブ領域に設けられたソース電極１３ｃ及びソース配線１０（図３Ａ参照）と同じ材料で構成されている。

[0065] ソース層１００の上には、第１絶縁膜１０３が離間して配置され、コンタクトホールＣＨ３（ＣＨ３ａ、ＣＨ３ｂ、ＣＨ３ｂ）が設けられている。端子３１～３３における第１絶縁膜１０３は、アクティブ領域に設けられた第１絶縁膜１０３（図３Ｂ参照）と一体的に形成されている。

[0066] 第１絶縁膜１０３の上には、コンタクトホールＣＨ３を介してソース層１００と接続された下部電極層１４０１が配置されている。下部電極層１４０１は、アクティブ領域に設けられた下部電極１４ａ（図３Ｂ参照）と同じ材料で構成されている。

[0067] 下部電極層１４０１及び第１絶縁膜１０３の上には、第３絶縁膜１０５が配置されている。端子３１～３３における第３絶縁膜１０５は、アクティブ領域に設けられた第３絶縁膜１０５（図３Ｂ参照）と一体的に形成されている。

[0068] 第３絶縁膜１０５の上には、コンタクトホールＣＨ３において下部電極層１４０１と接続されたバイアス配線層１６０１が配置されている。バイアス配線層１６０１は、アクティブ領域に設けられたバイアス配線１６（図３Ｂ参照）と同じ材料で構成されている。

[0069] バイアス配線層１６０１の上には、透明導電膜１７０１が配置されている。透明導電膜１７０１は、アクティブ領域に設けられた透明導電膜１７（図３Ｂ参照）と同じ材料で構成されている。

[0070] 透明導電膜１７０１の上には、コンタクトホールＣＨ３の外側に、第５絶縁膜１０７が離間して配置されている。端子３１～３３における第５絶縁膜１０７は、アクティブ領域に設けられた第５絶縁膜１０７（図３Ｂ参照）と一体的に形成されている。

[0071] （Ｓ－Ｇコンタクト）

図４Ａに示すように、Ｇ端子３１におけるソース層１００は、Ｓ－Ｇコン

タクト４０Ａにおいてゲート配線１１と接続される。Ｓ－Ｇコンタクト４０Ａは、図５Ｂに示すように、基板１０１の上に、ゲート配線１１と同じ材料からなるゲート層１１０ａが配置され、ゲート層１１０ａの上に、ゲート絶縁膜１０２が離間して配置され、コンタクトホールＣＨ４ａが形成されている。ゲート絶縁膜１０２の上には、コンタクトホールＣＨ４ａを介してゲート層１１０ａと接続されたソース層１００ａが配置されている。ソース層１００ａは、ソース層１００と同じ材料で構成される。

[0072] ソース層１００ａの上には、ソース層１００ａを覆うように第１絶縁膜１０３が配置されている。また、第１絶縁膜１０３の上には、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８が順に積層されている。Ｓ－－Ｇコンタクト４０Ａにおける第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８はそれぞれ、アクティブ領域に配置された第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８（図３Ｂ参照）と同じ材料からなる。

[0073] （Ｓ－Ｂコンタクト）

図４Ｂに示すように、Ｂ端子３３におけるソース層１００は、Ｓ－Ｂコンタクト４０Ｂにおいてバイアス配線１６と接続される。Ｓ－Ｂコンタクト４０Ｂは、図５Ｃに示すように、ソース層１００ａと、バイアス配線１６と同じ材料からなる透明導電膜１６０ａとが、コンタクトホールＣＨ４ｂを介して接続されている。ソース層１００ａ上には、第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８が順に積層されている。コンタクトホールＣＨ４ｂは、ソース層１００ａの上において、第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、及び第５絶縁膜１０７を貫通する。Ｓ－Ｂコンタクト４０Ｂにおける第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８

はそれぞれ、アクティブ領域に配置された第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８（図３Ｂ参照）と同じ材料からなる。

[0074] （撮像パネル１の製造方法）

次に、撮像パネル１の製造方法について説明する。図６Ａ～図６Ｕは、撮像パネル１のアクティブ領域においてＴＦＴ１３が設けられたＴＦＴ領域と、端子３１～３３が設けられる端子領域の各製造工程を示す断面図である。

[0075] 図６Ａに示すように、基板１０１の上に、例えば、スパッタリング法により、モリブデンナイトライドからなる金属膜とアルミニウムからなる金属膜とをこの順番に成膜し、フォトリソグラフィ法及びウェットエッチングを行い、金属膜をパターンニングする。これにより、ＴＦＴ領域にゲート電極１３ａが形成される。また、ゲート電極１３ａの形成と同時に、ゲート配線１１（図３Ａ参照）が形成される。そして、ゲート電極１３ａを覆うように、酸化ケイ素（ＳｉＯｘ）と、窒化ケイ素（ＳｉＮｘ）とを順に積層したゲート絶縁膜１０２を成膜する。その後、ゲート絶縁膜１０２の上に、インジウム（Ｉｎ）、ガリウム（Ｇａ）及び亜鉛（Ｚｎ）を所定の比率で含有するアモルファス酸化物半導体からなる半導体層１３０を成膜する。

[0076] 続いて、フォトリソグラフィ法及びドライエッチングを行い、半導体層１３０をパターンニングし、ＴＦＴ領域に半導体活性層１３ｂを形成し、端子領域の半導体層１３０を除去する。その後、半導体活性層１３ｂを覆うように、ＴＦＴ領域及び端子領域のゲート絶縁膜１０２の上に、例えば、スパッタリング法により、モリブデンナイトライド（ＭｏＮ）、アルミニウム（Ａｌ）と、モリブデンナイトライド（ＭｏＮ）とをこの順に成膜する。そして、フォトリソグラフィ法及びウェットエッチングを行い、これら金属膜をパターンニングする。これにより、ＴＦＴ領域において、半導体活性層１３ｂの上で離間して配置されたソース電極１３ｃ及びドレイン電極１３ｄが形成され、ＴＦＴ１３が形成される。また、端子領域には、ゲート絶縁膜１０２上にソース層１００が形成される。そして、ＴＦＴ１３及びソース層１００

を覆うように、例えば、プラズマＣＶＤ法を用い、窒化ケイ素（ＳｉＮ）からなる第１絶縁膜１０３を成膜する（図６Ｂ参照）。

[0077] 続いて、基板１０１の全面に３５０℃程度の熱処理を加え、フォトリソグラフィ法及びウェットエッチングを行い、第１絶縁膜１０３をパターンニングする。これにより、ＴＦＴ領域のドレイン電極１３ｄの上にコンタクトホールＣＨ１が形成され、端子領域のソース層１００の上に、第１絶縁膜１０３の開口１０３ａが形成される（６Ｃ参照）。

[0078] 次に、第１絶縁膜１０３の上に、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第２絶縁膜１０４を塗布する（図６Ｄ参照）。

[0079] そして、フォトリソグラフィ法により、ＴＦＴ領域におけるコンタクトホールＣＨ１の上に、第２絶縁膜１０４の開口１０４ａを形成し、端子領域の第２絶縁膜１０４を除去する（図６Ｅ参照）。

[0080] 続いて、ＴＦＴ領域における第２絶縁膜１０４を覆うように、ＴＦＴ領域及び端子領域に、例えば、スパッタリング法により、モリブデンナイトライド（ＭｏＮ）からなる金属膜１４０を形成する（図６Ｆ参照）。

[0081] そして、フォトリソグラフィ法及びウェットエッチングを行い、金属膜１４０をパターンニングする。これにより、ＴＦＴ領域における第２絶縁膜１０４の上に、コンタクトホールＣＨ１を介してドレイン電極１３ｄと接続された下部電極１４ａが形成される。また、端子領域における第１絶縁膜１０３の上に、開口１０３ａを介してソース層１００と接続された下部電極層１４０１が形成される。このとき、端子領域に下部電極層１４０１が形成されるため、下部電極１４ａを形成する際のウェットエッチングによって、端子領域におけるソース層１００はエッチングされず、消失しない。続いて、下部電極１４ａ、下部電極層１４０１を覆うように、例えば、プラズマＣＶＤ法により、ｎ型非晶質半導体層１５１、真性非晶質半導体層１５２、ｐ型非晶質半導体層１５３を順に成膜する。そして、ｐ型非晶質半導体層１５３の上に、例えば、ＩＴＯからなる透明導電膜２４０を成膜する（図６Ｇ参照）

。

[0082] その後、フォトリソグラフィ法及びドライエッチングを行い、透明導電膜２４０をパターンニングする。これにより、ＴＦＴ領域におけるｐ型非晶質半導体層１５３の上に上部電極１４ｂが形成され、端子領域におけるｐ型非晶質半導体層１５３、真性非晶質半導体層１５２、ｎ型非晶質半導体層１５３、透明導電膜２４０は除去される。（図６Ｈ参照）。

[0083] 続いて、フォトリソグラフィ法及びドライエッチングを行い、ｐ型非晶質半導体層１５３、真性非晶質半導体層１５２、ｎ型非晶質半導体層１５３をパターンニングする。これにより、ＴＦＴ領域には、下部電極１４ａよりもｘ軸方向の幅が小さく、上部電極１４ｂよりもｘ軸方向の幅が大きい光電変換層１５が形成される。（図６Ｉ参照）。

[0084] 次に、光電変換層１５を覆うように、ＴＦＴ領域及び端子領域に、例えば、プラズマＣＶＤ法により、窒化ケイ素（ＳｉＮ）からなる第３絶縁膜１０５を成膜する（図６Ｊ参照）。

[0085] その後、フォトリソグラフィ法及びウェットエッチングを行い、第３絶縁膜１０５をパターニングする。これにより、ＴＦＴ領域における上部電極１４ｂの上に第３絶縁膜１０５を貫通するコンタクトホールＣＨ２が形成される。また、端子領域における下部電極層１４０１の上に、開口１０３ａと重なる位置に第３絶縁膜１０５の開口１０５ａが形成される。これにより、端子領域に、開口１０３ａ及び開口１０５ａを含むコンタクトホールＣＨ３が形成される（図６Ｋ参照）。

[0086] 続いて、第３絶縁膜１０５を覆うように、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第４絶縁膜１０６を形成する（図６Ｌ参照）。

[0087] その後、フォトリソグラフィ法及びウェットエッチングを行い、第４絶縁膜１０６をパターニングする。これにより、ＴＦＴ領域におけるコンタクトホールＣＨ２の上に、第４絶縁膜１０６の開口１０６ａが形成され、端子領域における第４絶縁膜１０６が除去される（図６Ｍ参照）。

[0088] 次に、ＴＦＴ領域の第４絶縁膜１０６、端子領域における第３絶縁膜１０５を覆うように、例えば、スパッタリング法により、モリブデンナイトライド（ＭｏＮ）と、アルミニウム（Ａｌ）と、チタン（Ｔｉ）とを順に積層した金属膜１６０を成膜する（図６Ｎ参照）。

[0089] そして、フォトリソグラフィ法及びウェットエッチングを行い、金属膜１６０をパターンニングする。これにより、ＴＦＴ領域にはバイアス配線１６が形成され、端子領域にはコンタクトホールＣＨ３において下部電極層１４０１と接続されたバイアス配線層１６０１が形成される（図６Ｏ参照）。端子領域には、下部電極層１４０１と接続されたバイアス配線層１６０１が形成されるため、端子領域におけるソース層１００は、下部電極層１４０１及びバイアス配線層１６０１によって覆われる。そのため、バイアス配線１６を形成する際のウェットエッチングによって、端子領域におけるソース層１００がエッチングされず、消失しない。

[0090] 続いて、ＴＦＴ領域の第４絶縁膜１０６及びバイアス配線１６、端子領域における第３絶縁膜１０５及びバイアス配線層１６０１を覆うように、例えば、スパッタリング法により、ＩＴＯからなる透明導電膜１７０を成膜する（図６Ｐ参照）。

[0091] そして、フォトリソグラフィ法及びドライエッチングを行い、透明導電膜１７０をパターンニングする。これにより、ＴＦＴ領域においてバイアス配線１６と接続され、コンタクトホールＣＨ２を介して上部電極１４ｂと接続された透明導電膜１７が形成される。また、端子領域において、コンタクトホールＣＨ３において、バイアス配線層１６０１と接続された透明導電膜１７０１が形成される（図６Ｑ参照）。

[0092] 次に、ＴＦＴ領域及び端子領域における透明導電膜１７、１７０１を覆うように、例えば、プラズマＣＶＤ法により、窒化ケイ素（ＳｉＮ）からなる第５絶縁膜１０７を成膜する（図６Ｒ参照）。

[0093] そして、フォトリソグラフィ法及びウェットエッチングを行い、第５絶縁膜１０７をパターニングする。これにより、端子領域における透明導電膜１

７０１の上において、コンタクトホールＣＨ３が設けられた領域に第５絶縁膜１０７の開口１０７ａが形成される（図６Ｓ参照）。

[0094] 続いて、第５絶縁膜１０７の上に、例えば、スリットコーティング法により、アクリル系樹脂又はシロキサン系樹脂からなる第６絶縁膜１０８を塗布する（図６Ｔ参照）。

[0095] その後、フォトリソグラフィ法及びドライエッチングを行うことにより、端子領域における第６絶縁膜１０８をパターンニングし、第６絶縁膜１０８を除去する（図６Ｕ参照）。

[0096] 以上が、第１実施形態における撮像パネル１の製造方法である。本実施形態では、端子３１～３３は共通の構造を有する。これら端子が形成される端子領域には、パッド部分となるソース層１００の上のコンタクトホールＣＨ３において、パッド部分のカバー層として、下部電極層１４０１とバイアス配線層１６０１と透明導電膜１７０１とが重なって配置される。ソース層１００は、下部電極１４ａやバイアス配線１６と同じ材料を含むため、ソース層１００の表面が下部電極層１４０１やバイアス配線層１６０１によって覆われていない場合、下部電極１４ａやバイアス配線１６を形成する際のウェットエッチングによってソース層１００がエッチングされる。上述の通り、第１実施形態では、端子領域におけるソース層１００は、下部電極層１４０１とバイアス配線層１６０１によって覆われるため、下部電極１４ａやバイアス配線１６を形成する際にウェットエッチングを行ってもソース層１００は消失しない。よって、ＴＦＴ領域の製造工程において各端子を確実に形成することができる。

[0097] また、本実施形態における端子３１～３３は、１つのコンタクトホールＣＨ３において、ソース層１００、下部電極層１４０１、バイアス配線層１６０１、及び透明導電膜１７０１が重なって形成されている。つまり、これら各端子は、各層を接続するためのコンタクトホールが共通である。これに対し、例えば、ソース層１００と下部電極層１４０１、下部電極層１４０１とバイアス配線層１６０１、及びバイアス配線層１６０１と透明導電膜１７０

１のそれぞれを接続するためのコンタクトホールが異なる位置に形成される場合、各層のつなぎ替えが生じる。この場合、各層のつなぎ替えによって端子に接続不良が生じやすいが、本実施形態では、このような各層のつなぎ替えが無いため、端子における接続不良が生じにくい。

[0098] （Ｘ線撮像装置１０００の動作）

ここで、図１に示すＸ線撮像装置１０００の動作について説明しておく。まず、Ｘ線源３からＸ線が照射される。このとき、制御部２は、バイアス配線１６（図３Ａ等参照）に所定の電圧（バイアス電圧）を印加する。Ｘ線源３から照射されたＸ線は、被写体Ｓを透過し、シンチレータ１Ａに入射する。シンチレータ１Ａに入射したＸ線は蛍光（シンチレーション光）に変換され、撮像パネル１にシンチレーション光が入射する。撮像パネル１における各画素に設けられたフォトダイオード１２にシンチレーション光が入射すると、フォトダイオード１２により、シンチレーション光の光量に応じた電荷に変化される。フォトダイオード１２によって変換された電荷に応じた信号は、ゲート制御部２Ａからゲート配線１１を介して出力されるゲート電圧（プラスの電圧）によってＴＦＴ１３（図３Ａ等参照）がＯＮ状態となっているときに、ソース配線１０を通じて信号読出部２Ｂ（図２等参照）により読み出される。そして、読み出された信号に応じたＸ線画像が、制御部２において生成される。

[0099] ［変形例］

上述した第１実施形態におけるＧ端子３１、Ｓ端子３２、及びＢ端子３３は、端子のパッド部分にソース層１００が設けられる例を説明したが、ソース層１００に替えて、ゲート電極１３ａと同じ材料からなるゲート層を用いてもよい。

[0100] 図７は、本変形例におけるＧ端子３１１、Ｓ端子３１２、及びＢ端子３１３の構造を示す断面図である。図７において、第１実施形態と同様の構成には第１実施形態と同じ符号が付されている。

[0101] 図７に示すように、本変形例のＧ端子３１１、Ｓ端子３１２、及びＢ端子

３１３は、基板１０１上に、ゲート電極１３ａ及びゲート配線１１と同じ材料からなるゲート層１１０が配置され、ゲート層１１０の上には、ゲート絶縁膜１０２が離間して配置されている。ゲート絶縁膜１０２の上には、第１絶縁膜１０３が配置され、ゲート絶縁膜１０２と第１絶縁膜１０３とを貫通する開口ＣＨａが形成されている。コンタクトホールＣＨ３１を介してゲート層１１０と接するように、第１絶縁膜１０３の上に下部電極層１４０１が配置されている。第１絶縁膜１０３、下部電極層１４０１の上には、開口ＣＨａと重なる位置に開口１０５ａを有する第３絶縁膜１０５が配置され、開口ＣＨａ及び１０５ａからなるコンタクトホールＣＨ３１が形成されている。また、第３絶縁膜１０５の上には、コンタクトホールＣＨ３１において下部電極層１４０１と接続されたバイアス配線層１６０１が配置されている。第３絶縁膜１０５の上には、バイアス配線層１６０１を覆うように、透明導電膜１７０１が配置され、透明導電膜１７０１の上において、コンタクトホールＣＨ３１より外側に第５絶縁膜１０７が配置されている。

[0102] 本変形例では、ゲート層１１０の形成後、ゲート層１１０を覆うようにゲート絶縁膜１０２が形成され、ゲート絶縁膜１０２の上にソース電極１３ｃ及びドレイン電極１３ｄを構成する金属膜が形成される。端子領域に設けられるソース電極１３ｃ及びドレイン電極１３ｄを構成する金属膜は、ソース電極１３ｃ及びドレイン電極１３ｄを形成する際のウェットエッチングによって除去される。このとき、ゲート層１１０の上にはゲート絶縁膜１０２が設けられているため、ウェットエッチングによってゲート層１１０は消失しない。

[0103] なお、この場合、ゲート層１１０とゲート配線１１とが同じ材料で構成されるため、Ｇ端子３１１とゲート配線１１と接続するためのコンタクトが必要ない。一方、Ｓ端子３１２は、Ｓ端子３１２におけるゲート層１１０とソース配線１０とを接続するため、図５Ｂに示したＳ－Ｇコンタクト４０Ａと同様のＳ－Ｇコンタクトに接続される。Ｂ端子３１３は、ゲート層１１０とバイアス配線１６とを接続するコンタクト（Ｇ－Ｂコンタクト）に接続され

る。

[0104] 図８は、Ｇ－Ｂコンタクトの構造を示す断面図である。図８に示すように、Ｇ－Ｂコンタクト４０Ｃは、ゲート配線１１と同じ材料からなるゲート層１１０ｂと、バイアス配線１６と同じ材料からなる透明導電膜１６０ｂとが、コンタクトホールＣＨ４ｃを介して接続されている。ゲート層１１０ｂ上には、ゲート絶縁膜１０２、第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、第５絶縁膜１０７、及び第６絶縁膜１０８が順に積層されている。コンタクトホールＣＨ４ｃは、ゲート層１１０ｂの上において、ゲート絶縁膜１０２、第１絶縁膜１０３、第２絶縁膜１０４、第３絶縁膜１０５、第４絶縁膜１０６、及び第５絶縁膜１０７を貫通する。

[0105] 本変形例において、各端子３１１～３１３におけるゲート層１１０、つまりパッド部分は、下部電極層１４０１及びバイアス配線層１６０１を含むカバー層に覆われる。そのため、ゲート層１１０に、下部電極１４ａやバイアス配線１６と同じ材料が含まれる場合であっても、下部電極１４ａやバイアス配線１６を形成する際のウェットエッチングによってゲート層１１０が消失しない。また、ゲート層１１０は、ソース層１００よりも下層に設けられるため、第１実施形態よりも、ゲート層１１０、下部電極層１４０１、バイアス配線１６、及び透明導電膜１７０１の接続部分が下層に設けられる。そのため、撮像パネル作製時に生じるキズ等の影響を接続部分に受けにくくすることができる。

[0106] ［第２実施形態］

本実施形態におけるＳ端子及びＢ端子は、上述した第１実施形態におけるＳ端子３２及びＢ端子３３（図５Ａ参照）と共通の構造を有し、Ｇ端子は、Ｓ端子及びＢ端子と異なる構造を有する。

[0107] 図９は、本実施形態におけるＧ端子の断面図である。図９に示すように、本実施形態におけるＧ端子３２１は、上述した第１実施形態の変形例と同様の端子構造を有する。つまり、Ｇ端子３２１は、パッド部分にゲート層１１０が用いられる。この場合、ゲート層１１０とゲート配線１１とは同じ材料

で構成されるため、Ｇ端子３２１は、ゲート配線１１と接続するためのコンタクトが必要ない。

[0108] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。以下、変形例を説明する。

[0109] （１）本変形例では、上述した第１実施形態の変形例（図７参照）と異なる構造のカバー層に関し、上述した第１実施形態の変形例と異なる構成を主に説明する。

[0110] 図１０は、本変形例におけるＧ端子、Ｓ端子、及びＢ端子の構造例を示す断面図である。本変形例におけるＧ端子３４１、Ｓ端子３４２、及びＢ端子３４３は、パッド部分となるゲート層１１０のカバー層として、さらに、ゲート層１１０と下部電極層１４０１との間に、ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０と同じ材料からなるソース層１００ｃを備える。ソース層１００ｃは、ゲート絶縁膜１０２の上に形成され、ゲート絶縁膜１０２に設けられた開口１０２ａを介してゲート層１１０と接続されている。ゲート絶縁膜１０２の開口１０２ａは、ゲート絶縁膜１０２を形成後、フォトリソグラフィ法を用い、ドライエッチングを行うことにより形成される。

[0111] 第１絶縁膜１０３は、ゲート絶縁膜１０２及びソース層１００ｃの上において開口１０２ａより外側に設けられ、開口１０２ａと重なる位置に開口１０３ａを有する。下部電極層１４０１は、開口１０３ａにおいてソース層１００ｃと接続するように、第１絶縁膜１０３の上に設けられる。第１絶縁膜１０３、下部電極層１４０１の上には、開口１０２ａ及び１０３ａと重なる位置に開口１０５ａを有する第３絶縁膜１０５が配置される。開口１０２ａ、１０３ａ、及び１０５ａによりコンタクトホールＣＨ３２が形成される。

[0112] 本変形例においても、ゲート層１１０からなるパッド部分は、ソース層１００ｃ、下部電極層１４０１及びバイアス配線層１６０１を含むカバー層で

覆われるため、アクティブ領域を形成する工程のエッチングによってパッド部分が消失しない。

[0113] なお、上記ゲート層１００は、上層にモリブデンナイトライド（ＭｏＮ）と下層にアルミニウム（Ａｌ）とが積層された構造であったが、上層にタングステン（Ｗ）、下層に窒化タンタル（ＴａＮ）を積層した構造でもよい。また、上記ソース層１００ｃは、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にモリブデンナイトライド（ＭｏＮ）が積層された構造であったが、上層に銅（Ｃｕ）、下層にチタン（Ｔｉ）を積層した構造でもよい。また、上記バイアス配線層１６０１は、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にモリブデンナイトライド（ＭｏＮ）が積層された構造であったが、上層にモリブデンニオブ（ＭｏＮｂ）、中間層にアルミニウム（Ａｌ）とネオジム（Ｎｄ）の合金、下層にモリブデンニオブ（ＭｏＮｂ）とを積層した構造でもよい。この場合、ゲート層１００のエッチングには、塩素系ガスとフッ素系ガスとを混合したドライエッチングを行い、ソース層１００ｃのエッチングは、混酸液によるウェットエッチングと、塩素系ガスを用いたドライエッチングとを行う。また、下部電極層１４０１とバイアス配線層１６０１のエッチングには、ソース層と同様の混酸液を用いたウェットエッチングを行うようにする。

[0114] （２）本変形例では、上述した第１実施形態の変形例（図７参照）とは異なる製法でＧ端子、Ｓ端子、及びＢ端子を形成する例を説明する。以下、主に、上述した第１実施形態の変形例と異なる構成について説明する。

[0115] 上述した第１実施形態の変形例では、図７におけるゲート層１１０は、モリブデンナイトライド（ＭｏＮ）とアルミニウム（Ａｌ）とが積層された構造であったが、本変形例では、上層のモリブデンナイトライド（ＭｏＮ）に替えてチタン（Ｔｉ）を用いる。また、ゲート層１１０を形成後、ゲート絶縁膜１０２を形成し、その後、ソース電極１３ｃ及びドレイン電極１３ｄを形成する工程（図６Ｃ参照）において、酢酸、硝酸、リン酸を用いたエッチ

ング液によりウェットエッチングを行う。チタン（Ｔｉ）は、ソース電極１３ｃ及びドレイン電極１３ｄに用いられるモリブデンナイトライド（ＭｏＮ）とアルミニウム（Ａｌ）に対してエッチング選択性が高いため、ゲート層１１０はウェットエッチングによって消失しない。

[0116] なお、上述した第１実施形態の変形例と同じゲート層１１０を用いる場合において、ソース電極１３ｃ及びドレイン電極１３ｄとして、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）を積層し、ウェットエッチング及びドライエッチングとを行うことでゲート層１１０を消失させないようにしてもよい。この場合、下層に設けられるチタン（Ｔｉ）の膜厚は８０ｎｍ以下が好ましい。

[0117] つまり、ソース電極１３ｃ及びドレイン電極１３ｄを形成する際、上層と中間層に形成されるモリブデンナイトライド（ＭｏＮ）とアルミニウム（Ａｌ）を、例えば酢酸、硝酸、リン酸を用いたエッチング液によりウェットエッチングする。その後、下層に形成されたチタン（Ｔｉ）を、例えば塩素系ガスを用いてドライエッチングする。ドライエッチングに対し、ゲート層１１０の上層のモリブデンナイトライド（ＭｏＮ）はチタン（Ｔｉ）よりもエッチング選択性が高い。また、ソース電極１３ｃ及びドレイン電極１３ｄに用いられる下層のチタン（Ｔｉ）は薄膜であり、エッチング時間が短いため、ゲート層１１０からなるパッド部分はドライエッチングによって消失しない。

[0118] （３）上述した第１実施形態の変形例（図７参照）では、Ｇ端子、Ｓ端子、及びＢ端子において、カバー層に下部電極層が含まれる例を説明した。本変形例では下部電極層に替えて、ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０と同じ材料からなるソース層が設けられる例を説明する。以下、主として第１実施形態の変形例と異なる構成について説明する。

[0119] 図１１は、本変形例におけるＧ端子、Ｓ端子、及びＢ端子の構造例を示す断面図である。本変形例におけるＧ端子３５１、Ｓ端子３５２、及びＢ端子３５３は、パッド部分となるゲート層１１０の上に、ゲート絶縁膜１０２の

開口１０２ａを介してゲート層１１０と接続されたソース層１００ｄが設けられている。

[0120] ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０は、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）が積層された積層構造を有する。

[0121] ソース層１００ｄは、下部電極１４ａを形成する際のウェットエッチングによって、上層のモリブデンナイトライド（ＭｏＮ）と中間層のアルミニウム（Ａｌ）が消失するため、下層のチタン（Ｔｉ）で構成される。

[0122] つまり、ゲート絶縁膜１０２の上に、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）からなるソース層１００ｄを形成後、ソース層１００ｄの上に、開口１０２ａと重なる位置に開口１０３ａを有する第１絶縁膜１０３を形成する。その後、第１絶縁膜１０３の上に下部電極１４を構成する金属膜１４０（図６Ｆ参照）を形成し、端子領域における金属膜１４０を、例えば酢酸、硝酸、リン酸を用いたエッチング液によってウェットエッチングする。このとき、ソース層１００ｄにおける上層のモリブデンナイトライド（ＭｏＮ）と中間層のアルミニウム（Ａｌ）が消失する。一方、下層のチタン（Ｔｉ）はモリブデンナイトライド（ＭｏＮ）とアルミニウム（Ａｌ）に対してエッチング選択性が高いため残存する。よって、ゲート層１１０からなるパッド部分も消失しない。

[0123] また、このウェットエッチングによって、第１絶縁膜１０３の開口１０３ａ側の端部がサイドエッチングされ、第１絶縁膜１０３の開口１０３ａ側の端部はオーバーハング形状となる。

[0124] 第３絶縁膜１０５は、第１絶縁膜１０３の開口１０３ａよりも内側に開口１０５ａを有する。第３絶縁膜１０５の開口１０５ａが第１絶縁膜１０３の開口１０３ａよりも外側に形成される場合、オーバーハング形状の部分において、バイアス配線層１６０１と透明導電膜１７０１が断線しやすくなる。そのため、このように構成することで、バイアス配線層１６０１及び透明導電膜１７０１の断線を防止することができる。

[0125] なお、第３絶縁膜１０５の膜厚は、ソース層１００ｄにおいて消失する上層と中間層とを合わせた膜厚よりも厚い方が好ましい。このように構成することで、バイアス配線層１６０１と透明導電膜１７０１の断線を防止することができる。また、バイアス配線層１６０１を構成するモリブデンナイトライド（ＭｏＮ）、アルミニウム（Ａｌ）、モリブデンナイトライド（ＭｏＮ）は、エッチング前のソース層１００ｄのモリブデンナイトライド（ＭｏＮ）及びアルミニウム（Ａｌ）よりも膜厚が厚い方が好ましい。このように構成することで、バイアス配線層１６０１及び透明導電膜１７０１の断線をより防止することができる。

[0126] この例において、ソース電極１３ｃ、ドレイン電極１３ｄ、ソース配線１０、及びソース層１００ｄにチタン（Ｔｉ）が含まれる例を説明したが、チタン（Ｔｉ）に替えて、タンタル（Ｔａ）、タングステン（Ｗ）、及びチタン（Ｔｉ）を含む合金、又は、タンタル（Ｔａ）を含む合金、タングステン（Ｗ）を含む合金が含まれてもよい。

[0127] （４）上記変形例（３）では、ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０として、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）を積層した構造であったが、本変形例では、上層にチタン（Ｔｉ）を積層する例を説明する。

[0128] 図１２は、本変形例におけるＧ端子、Ｓ端子、及びＢ端子の構造例を示す断面図である。本変形例におけるＧ端子３６１、Ｓ端子３６２、及びＢ端子３６３は、ゲート層１１０の上に、ゲート絶縁膜１０２の開口１０２ａを介してゲート層１１０と接続されたソース層１００ｅが設けられている。ソース層１００ｅは、上層にチタン（Ｔｉ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）が積層された構造を有する。

[0129] この場合、ソース層１００ｅを形成後、ソース層１００ｅの上に、開口１０２ａと重なる位置に開口１０３ａを有する第１絶縁膜１０３を形成する。その後、第１絶縁膜１０３の上に下部電極１４ａを構成する金属膜１４０（図６Ｆ参照）を形成し、端子領域における金属膜１４０をウェットエッチン

グする。金属膜１４０は、モリブデンナイトライド（ＭｏＮ）で構成されており、例えば酢酸、硝酸、リン酸を用いたエッチング液でエッチングする。ウェットエッチングに対し、ソース層１００ｅの上層のチタン（Ｔｉ）はエッチング選択性が高いため、ソース層１００ｅは消失せず、ゲート層１１０からなるパッド部分も消失しない。

[0130] なお、この例においてソース電極１３ｃ、ドレイン電極１３ｄ、ソース配線１０、及びソース層１００ｅにはチタン（Ｔｉ）が含まれる例を説明したが、チタン（Ｔｉ）に替えて、タンタル（Ｔａ）、タングステン（Ｗ）、及びチタン（Ｔｉ）を含む合金、又は、タンタル（Ｔａ）を含む合金、タングステン（Ｗ）を含む合金でが含まれてもよい。

[0131] また、下部電極１４ａを構成する金属膜１４０として、上層にモリブデンナイトライド（ＭｏＮ）、下層にチタン（Ｔｉ）を積層し、ソース層１００ｅの上層及び下層のチタン（Ｔｉ）に替えてモリブデンナイトライド（ＭｏＮ）を用いてもよい。金属膜１４０の下層の膜厚は８０ｎｍ以下が好ましい。

[0132] この場合には、金属膜１４０における上層のモリブデンナイトライド（ＭｏＮ）を例えば酢酸、硝酸、リン酸を用いたエッチング液でウェットエッチングし、その後、例えば塩素系ガスを用いたドライエッチングを行い、金属膜１４０における下層のチタン（Ｔｉ）を除去する。ドライエッチングに対し、ソース層１００ｅの上層のモリブデンナイトライド（ＭｏＮ）はチタン（Ｔｉ）よりもエッチング選択性が高い。また、金属膜１４０の下層のチタン（Ｔｉ）は薄膜であり、エッチング時間も短い。そのため、金属膜１４０のエッチングによって、ソース層１００ｅは消失せず、ゲート層１１０からなるパッド部分も消失しない。

[0133] （５）上述した第１実施形態の変形例（図７参照）では、Ｇ端子、Ｓ端子、及びＢ端子に、ゲート層１１０からなるパッド部分を覆うカバー層として、バイアス配線層が含まれる例を説明した。本変形例ではバイアス配線層に替えて、ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０と同じ材

料からなるソース層がカバー層に含まれる例を説明する。以下、主として第１実施形態の変形例と異なる構成について説明する。

[0134] 図１３は、本変形例におけるＧ端子、Ｓ端子、及びＢ端子の構造例を示す断面図である。本変形例におけるＧ端子３７１、Ｓ端子３７２、及びＢ端子３７３は、ゲート層１１０の上に、ゲート絶縁膜１０２の開口１０２ａを介してゲート層１１０と接続されたソース層１００ｆが設けられている。

[0135] ソース電極１３ｃ、ドレイン電極１３ｄ及びソース配線１０に用いられる材料は、第１実施形態の変形例と同様であり、ソース層１００ｆは、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にモリブデンナイトライド（ＭｏＮ）が積層された構造を有する。

[0136] ソース層１００ｆの上には、開口１０２ａと重なる位置に開口１０３ａを有する第１絶縁膜１０３が設けられている。第１絶縁膜１０３の上には、開口１０３ａにおいてソース層１００ｆと接続された下部電極層１４０１ｆが設けられている。下部電極層１４０１ｆは、下部電極１４ａと同じ材料で構成され、本変形例ではチタン（Ｔｉ）からなる。

[0137] 下部電極層１４０１ｆの上には、開口１０３ａより内側に開口１０５ａを有する第３絶縁膜１０５が配置されている。開口１０２ａ、１０３ａ、及び１０５ａは平面視で重なるように形成される。第３絶縁膜１０５の上には、開口１０５ａを介してソース層１００ｆと接続された透明導電膜１７０１が配置され、透明導電膜１７０１の上には、コンタクトホールＣＨ３５の外側に第５絶縁膜１０７が設けられる。

[0138] この場合、下部電極１４ａを形成する際、図６Ｆの工程において、下部電極１４ａを構成する金属膜１４０を塩素系ガスを用いてドライエッチングして、ＴＦＴ領域に下部電極１４ａを形成し、端子領域に下部電極層１４０１ｆを形成する。

[0139] その後、図６Ｋ～６Ｍと同様の工程を行い、下部電極層１４０１ｆの上に、開口１０５ａを有する第５絶縁膜１０７を形成する。そして、図６Ｎと同様の工程を行い、バイアス配線１６を構成する透明導電膜１６０を成膜し、

透明導電膜１６０を例えば酢酸、硝酸、リン酸を用いたエッチング液によってウェットエッチングする。これにより、ＴＦＴ領域にバイアス配線１６が形成され、端子領域の透明導電膜１６０が除去される。このとき、ウェットエッチングに対し、下部電極層１４０１ｆのチタン（Ｔｉ）は、透明導電膜１６０のモリブデンナイトライド（ＭｏＮ）よりもエッチング選択性が高いため、下部電極層１４０１ｆは消失しない。つまり、アクティブ領域を形成する際のエッチングによってカバー層が消失せず、ゲート層１１０からなるパッド部分も消失しない。

[0140] なお、この例において下部電極１４ａ及び下部電極層１４０１ｆにはチタン（Ｔｉ）が含まれる例を説明したが、チタン（Ｔｉ）に替えて、タンタル（Ｔａ）、タングステン（W）、及びチタン（Ｔｉ）を含む合金、又は、タンタル（Ｔａ）を含む合金、タングステン（W）を含む合金でが含まれてもよい。

[0141] また、上記の例において、下部電極１４ａ及び下部電極層１４０１ｆを構成する金属膜１４０として、チタン（Ｔｉ）に替えてモリブデンナイトライド（ＭｏＮ）を用いてもよい。また、バイアス配線１６を構成する透明導電膜１６０として、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）を積層してもよい。透明導電膜１６０の下層の膜厚は８０ｎｍ以下が好ましい。

[0142] この場合には、下部電極１４ａを構成する金属膜１４０をウェットエッチングし、バイアス配線１６を形成する際、例えば酢酸、硝酸、リン酸を用いたエッチング液でエッチングする。これにより、透明導電膜１６０の上層と中間層のモリブデンナイトライド（ＭｏＮ）とアルミニウム（Ａｌ）とが除去される。その後、塩素系ガスを用いたドライエッチングを行い、下層のチタン（Ｔｉ）を除去する。ドライエッチングに対し、下部電極層１４０１ｆの上層のモリブデンナイトライド（ＭｏＮ）はチタン（Ｔｉ）よりもエッチング選択性が高い。また、透明導電膜１６０の下層のチタン（Ｔｉ）は薄膜であり、エッチング時間が短い。そのため、バイアス配線１６を形成する際

のエッチングによって下部電極層１４０１ｆは消失しない。よって、アクティブ領域を形成する際のエッチングによってカバー層は消失せず、ゲート層１１０からなるパッド部分も消失しない。

[0143] （６）上述した実施形態及び変形例では、カバー層に２つ以上の層が設けられる例を説明したが、カバー層には少なくとも１つの層が設けられていればよい。以下、その例について説明する。

[0144] 図１４は、本変形例におけるＧ端子、Ｓ端子、及びＢ端子の構造の一例を示す断面図である。図１４において、第１実施形態と同様の構成には、第１実施形態と同じ符号を付している。図１４に示すＧ端子３８１、Ｓ端子３８２、及びＢ端子３８３は、パッド部分であるゲート層１１０の上に、カバー層として、バイアス配線層１６０１ａが設けられ、コンタクトホールＣＨ３３を介して、ゲート層１１０とバイアス配線層１６０１ａと透明導電膜１７０１とが接続されている。

[0145] ゲート層１１０は、ゲート電極１３ａと同じ材料で構成され、上層にモリブデンナイトライド（ＭｏＮ）、下層にアルミニウム（ＡｌＮ）が積層されて構成されている。

[0146] バイアス配線層１６０１ａは、バイアス配線１６と同じ材料で構成され、この例において、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（ＡｌＮ）、下層にモリブデンナイトライド（ＭｏＮ）が積層された構造を有する。

[0147] 本変形例の端子構造は、上述した第１実施形態と同様、アクティブ領域を作製する工程と同時に作製できる。この場合、図６Ａの工程と同様、ゲート層１１０を形成後、ゲート層１１０を覆うようにゲート絶縁膜１０２と半導体層１３０とを形成する。そして、図６Ｂの工程と同様、半導体層１３０がパターニングされ、端子領域の半導体層１３０が除去される。その後、ソース電極１３ｃ及びドレイン電極１３ｄを形成するための金属膜がゲート絶縁膜１０２の上に形成されるが、端子領域に設けられる金属膜は、ソース電極１３ｃ及びドレイン電極１３ｄを形成する際のウェットエッチングによって

除去される。このとき、ゲート層１１０の上にはゲート絶縁膜１０２が設けられているため、ウェットエッチングによってゲート層１１０は消失しない。

[0148] また、図６Ｄ及び６Ｅの工程と同様、ゲート絶縁膜１０２の上には第１絶縁膜１０３が形成され、第１絶縁膜１０３の上に第２絶縁膜１０４が形成されるが、端子領域に形成された第２絶縁膜１０４はウェットエッチングによって除去される。

[0149] 次に、図６Ｆの工程と同様、ＴＦＴ領域に下部電極１４を形成するための金属膜１４０が端子領域にも形成されるが、下部電極１４を形成するためのウェットエッチングによって端子領域の金属膜１４０は除去される。このとき、ゲート層１１０はゲート絶縁膜１０２と第１絶縁膜１０３によって覆われるため、このウェットエッチングによってゲート層１１０は消失しない。

[0150] その後、図６Ｇ～６Ｉの工程と同様、ＴＦＴ領域に光電変換層１５と上部電極１４ｂを形成するが、ゲート層１１０はゲート絶縁膜１０２と第１絶縁膜１０３によって覆われているため、これらを形成する際のエッチングによってゲート層１１０は消失しない。

[0151] また、その後、図６Ｋの工程と同様、第３絶縁膜１０５が第１絶縁膜１０３の上に形成され、フォトリソグラフィ法及びウェットエッチングによって第３絶縁膜１０５をパターンニングする。これにより、端子領域において、ゲート層１１０の上に、第３絶縁膜１０５、第１絶縁膜１０３、及びゲート絶縁膜１０２を貫通するコンタクトホールＣＨ３３が形成される。

[0152] 図６Ｌから６Ｎの工程と同様、ＴＦＴ領域に第４絶縁膜１０６を形成し、バイアス配線１６を形成するための金属膜１６０がＴＦＴ領域と端子領域に形成される。フォトリソグラフィ法及びウェットエッチングによって金属膜１６０がパターンニングされ、ＴＦＴ領域の第４絶縁膜１０６の上にバイアス配線１６が形成される。このとき、端子領域において、コンタクトホールＣＨ３３を介してゲート層１１０と接続されたバイアス配線層１６０１ａが形成される。

[0153] その後、図６０～６Ｓと同様の工程を行うことで、端子領域には、バイアス配線層１６０１ａの上に、透明導電膜１７０１が形成され、透明導電膜１７０１の上において、コンタクトホールＣＨ３３の外側に第５絶縁膜１０７が形成される。

[0154] なお、上記の例では、カバー層としてバイアス配線層１６０１ａを設ける例を説明したが、バイアス配線層に替えて、下部電極層又はソース層を設けるようにしてもよい。下部電極層をカバー層として設ける場合、バイアス配線１６を形成する際のエッチングによって下部電極層が消失しない材料を下部電極層に用いるようにすればよい。例えば、バイアス配線１６が上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、上層にモリブデンナイトライド（ＭｏＮ）を積層した構造である場合、下部電極１４の

材料として、上層にモリブデンナイトライド（ＭｏＮ）、下層にチタン（Ｔｉ）を積層してもよい。バイアス配線１６を形成する際のウェットエッチングによって、下部電極層の上層に設けられるモリブデンナイトライド（ＭｏＮ）は除去されるが、下層のチタン（Ｔｉ）はモリブデンナイトライド（ＭｏＮ）よりもエッチング選択性が高いため除去されず、パッド部分が消失しない。

[0155] また、ソース層をカバー層として設ける場合、下部電極１４及びバイアス配線１６を形成する際のエッチングによって消失しない材料をソース層に用いるようにすればよい。例えば、バイアス配線１６が上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にモリブデンナイトライド（ＭｏＮ）を積層した構造であり、下部電極１４が、モリブデンナイトライド（ＭｏＮ）からなる場合、ソース電極１３ｃの材料として、上層にチタン（Ｔｉ）、中間層にアルミニウム（Ａｌ）、下層にチタン（Ｔｉ）を積層してもよい。下部電極１４及びバイアス配線１６を形成する際のウェットエッチングに対し、ソース層の上層に設けられるチタン（Ｔｉ）は、モリブデンナイトライド（ＭｏＮ）よりもエッチング選択性が高いためエッ

チングされず、パッド部分は消失しない。

[0156] 図１４で例示した端子構造は、カバー層としてバイアス配線層１６０１ａのみが設けられているが、下部電極層のみが設けられていてもよい。図１５は、カバー層に下部電極層のみが設けられた端子構造を例示した断面図である。図１５において、第１実施形態と同じ構成には図１４と同様の符号を付している。

[0157] 図１５に示すＧ端子３９１、Ｓ端子３９２、及びＢ端子３９３は、パッド部分であるソース層１００の上に、カバー層として、下部電極層１４０１ｇが設けられ、コンタクトホールＣＨ３４において、ゲート層１１０と下部電極層１４０１ｇと透明導電膜１７０１とが接続されている。

[0158] この例において、下部電極１４は、上層にモリブデンナイトライド（ＭｏＮ）、下層にチタン（Ｔｉ）が積層された構造を有する。下部電極層１４０１ｇは、下部電極１４を形成する工程で形成され、下部電極１４と同じ材料で構成されるが、下部電極１４を形成する際のエッチングにより、最終的にはチタン（Ｔｉ）のみで構成される。以下、この端子構造の作製方法について説明する。

[0159] この場合、図６Ａから６Ｆと同様の工程を行うことで、端子領域には、第１絶縁膜１０３の開口１０３ａを介してソース層１００と接続された下部電極層１４０１ｇが形成される。このとき形成される下部電極層１４０１ｇは、下部電極１４と同様、上層にモリブデンナイトライド（ＭｏＮ）、下層にチタン（Ｔｉ）が積層された構造を有する。

[0160] その後、図６Ｇから６Ｎと同様の工程を行い、ＴＦＴ領域及び端子領域にバイアス配線１６を形成するための金属膜１６０が形成された後、図６０の工程における金属膜１６０のウェットエッチングにより、ＴＦＴ領域にバイアス配線１６が形成され、端子領域の金属膜１６０が除去される。金属膜１６０は、上層にモリブデンナイトライド（ＭｏＮ）、中間層にアルミニウム（Ａｌ）、下層にモリブデンナイトライド（ＭｏＮ）を積層した構造である。

[0161] このとき、パッド部分であるソース層１００の上は下部電極層１４０１ｇに覆われており、金属膜１６０のウェットエッチングによって、端子領域の金属膜１６０が除去されるとともに、下部電極層１６０１ｇの上層に設けられたモリブデンナイトライド（ＭｏＮ）が除去される。下部電極層１６０１ｇの下層に設けられたチタン（Ｔｉ）は、ウェットエッチングに対し、モリブデンナイトライド（ＭｏＮ）よりもエッチング選択性が高いため残存する。よって、パッド部分であるソース層１００は、チタン（Ｔｉ）で構成された下部電極層１４０１ｇによって覆われるため、バイアス配線１６を形成する際のエッチングによって消失しない。その後、図６Ｑから６Ｕと同様の工程を行うことにより、Ｇ端子３９１、Ｓ端子３９２、及びＢ端子３９３が形成される。

[0162] なお、上述した金属膜１６０の下層のモリブデンナイトライド（ＭｏＮ）をチタン（Ｔｉ）に替えてもよい。この場合、金属膜１６０をウェットエッチングすることにより、上層のモリブデンナイトライド（ＭｏＮ）と中間層のアルミニウム（Ａｌ）とをエッチングし、その後、塩素系ガスを用いてドライエッチングすることにより、金属膜１６０の下層のチタン（Ｔｉ）をエッチングする。このとき、パッド部分であるソース層１００は、下部電極層１４０１ｇによって覆われる。下部電極層１４０１ｇの上層に設けられたモリブデンナイトライド（ＭｏＮ）は、ドライエッチングに対し、金属膜１６０の下層のチタン（Ｔｉ）よりもエッチング選択性が高い。また、金属膜１６０の下層のチタン（Ｔｉ）は薄膜であり、エッチング時間が短いため、下部電極層１４０１ｇは消失しない。

[0163] 上記の図１５の例では、カバー層として下部電極層１４０１ｇを設ける例を説明したが、下部電極層に替えてバイアス配線層を設けてもよいし、下部電極層１４０１ｇとバイアス配線層とを設けてもよい。下部電極層に替えてバイアス配線層を形成する場合、図示は省略するが、下部電極１４を形成する前に、パッド部分となるソース層１００は第１絶縁膜１０３に覆われる。そのため、下部電極１４を形成する際のエッチングによってパッド部分は消

失しない。

[0164] （７）上述した実施形態及び変形例では、パッド部分にゲート層又はソース層を用いる例を説明したが、パッド部分の材料はこれに限定されない。例えば、パッド部分に、下部電極と同じ材料からなる下部電極層を用いてもよい。図１６は、パッド部分に下部電極層を用いた場合のＧ端子、Ｓ端子、Ｂ端子の断面図を示している。図１６に示すように、本変形例に係るＧ端子３１０１、Ｓ端子３１０２、Ｂ端子３１０３は、第１絶縁膜１０３の上に下部電極層１４０１が設けられ、下部電極層１４０１の上に開口１０５ａを有する第３絶縁膜１０５が設けられている。第３絶縁膜１０５の上には、開口１０５ａを介して下部電極層１４０１と接続された導電膜１７０１が設けられる。下部電極層１４０１は、バイアス配線層１６０１によって覆われるため、バイアス配線１６を形成する際のエッチングによって、下部電極層１４０１は消失しない。

[0165] （８）上述した変形例において、ゲート電極、ソース電極、及びバイアス配線の材料として、低抵抗化を図るためにアルミニウム（Ａｌ）が含まれる例を説明したが、低抵抗化を図るための材料はアルミニウム（Ａｌ）に限定されない。例えば、アルミニウム（Ａｌ）に替えて、銅（Ｃｕ）を含んでもよいし、又は、銀（Ａｇ）とアルミニウム（Ａｌ）とを含む合金、銅（Ｃｕ）又は銀（Ａｇ）を含む合金を含んでもよい。

請求の範囲

[請求項1] 被写体を通過したＸ線から得られたシンチレーション光に基づいて画像を生成する撮像パネルであって、

基板と、

前記基板上にアクティブ領域と端子領域とを有し、

前記アクティブ領域は、

前記基板上に設けられた薄膜トランジスタと、

前記薄膜トランジスタの上に設けられた第１の絶縁膜と、

前記第１の絶縁膜の上に設けられた下部電極と、

前記下部電極の上に設けられ、前記シンチレーション光を電荷に変換する光電変換層と、

前記光電変換層の上に設けられた上部電極と、

前記上部電極の上に離間して配置され、コンタクトホールを有する第２の絶縁膜と、

前記第２の絶縁膜の上に配置され、前記コンタクトホールを介して前記上部電極と接続された導電膜と、

前記第２の絶縁膜の上に配置され、前記導電膜と接続されたバイアス配線と、を備え、

前記端子領域は、

前記基板上に設けられ、前記薄膜トランジスタのゲート電極又はソース電極と接続された第１の導電層と、

前記第１の絶縁膜又は前記第２の絶縁膜と同じ材料で構成され、前記第１の導電層の一部の上に離間して設けられ、第１の開口を有する端子用第１絶縁膜と、

前記導電膜と同じ材料で構成され、前記端子用第１絶縁膜の上層に設けられ、前記第１の開口が設けられた位置において、前記第１の導電層と重なる第２の導電層と、

前記第１の開口が設けられた位置において、前記第１の導電層と前

記第２の導電層との間に重なって配置されたカバー層とを備え、

前記第１の導電層は、前記ゲート電極、前記ソース電極、及び前記下部電極のいずれか１つの素子と同じ材料で構成され、

前記カバー層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される少なくとも１つの素子と同じ材料で構成される、撮像パネル。

[請求項2] 前記カバー層は、前記第１の導電層が前記ソース電極と同じ材料で構成される場合、前記下部電極と同じ材料で構成された下部電極層と、前記バイアス配線と同じ材料で構成されたバイアス配線層とからなる、請求項１に記載の撮像パネル。

[請求項3] 前記カバー層は、前記第１の導電層が前記ゲート電極と同じ材料で構成される場合、前記下部電極と同じ材料で構成された下部電極層と、前記バイアス配線と同じ材料で構成されたバイアス配線層と、前記ソース電極と同じ材料で構成されたソース層のうちの少なくとも２つの層からなる、請求項１に記載の撮像パネル。

[請求項4] 前記端子領域には、複数の端子が設けられ、

前記端子領域において、前記複数の端子のうち、少なくとも１つの端子が設けられた領域における前記第１の導電層は、前記ゲート電極と接続され、他の端子が設けられた領域における前記第１の導電層は、前記ソース電極と接続される、請求項１から３のいずれか一項に記載の撮像パネル。

[請求項5] 前記薄膜トランジスタのゲート電極及びソース電極と、前記下部電極と、前記バイアス配線は、同じ材料を含む、請求項１から４のいずれか一項に記載の撮像パネル。

[請求項6] 被写体を通過したＸ線から得られたシンチレーション光に基づいて画像を生成する撮像パネルの製造方法であって、

基板上のアクティブ領域に、

薄膜トランジスタを形成し、

前記薄膜トランジスタの上に第１の絶縁膜を形成し、

前記薄膜トランジスタのドレイン電極の上に、前記第１の絶縁膜を貫通する第１のコンタクトホールを形成し、前記第１の絶縁膜を覆う下部電極用導電膜を形成し、

前記下部電極用導電膜をエッチングし、前記第１の絶縁膜の上に、前記第１のコンタクトホールを介して前記ドレイン電極と接続された下部電極を形成し、

前記下部電極の上に光電変換層を形成して前記光電変換層の上に上部電極を形成し、

前記上部電極を覆う第２の絶縁膜を形成して前記第２の絶縁膜を貫通する第２のコンタクトホールを形成し、

前記第２の絶縁膜の上層にバイアス配線用導電膜を形成し、前記バイアス配線用導電膜をエッチングして、バイアス電圧が印加されるバイアス配線を形成し、

前記第２のコンタクトホールを介して前記上部電極と接続された導電膜を形成し、

前記薄膜トランジスタ又は前記下部電極を形成する工程において、前記基板上の端子領域に、前記薄膜トランジスタのゲート電極又はソース電極、又は前記下部電極のいずれか１つの素子と同じ材料で構成された第１の導電層を形成し、

前記第１の絶縁膜又は前記第２の絶縁膜を形成する工程において、前記第１の絶縁膜又は前記第２の絶縁膜と同じ材料で構成され、前記第１の導電層の一部の上層に第１の開口を有する端子用第１絶縁膜を形成し、

前記導電膜を形成する工程において、前記導電膜と同じ材料で構成され、前記端子用第１絶縁膜の上層に、前記第１の開口が設けられた位置において、前記第１の導電層と重なる第２の導電層を形成し、

前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される少なくとも１つの素子が形成される工程において、当該少なくとも１つの素子と同じ材料で構成され、前記第１の開口が設けられた位置に、前記第１の導電層と前記第２の導電層との間に配置されたカバー層を形成する、製造方法。

[請求項7] 前記第１の導電層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記第１の導電層と同じ材料からなる前記素子よりも上層に配置される素子を形成する工程のエッチングに対し、エッチング選択性が高い材料を含む、請求項６に記載の製造方法。

[請求項8] 前記第１の導電層と接する前記カバー層における最下層は、前記ソース電極、前記下部電極、及び前記バイアス配線のうち当該最下層と同じ材料からなる素子よりも上層に配置される素子を形成する工程のエッチングに対し、エッチング選択性が高い材料を含む、請求項６に記載の製造方法。

[請求項9] 前記カバー層は、前記薄膜トランジスタのソース電極が形成される工程において形成され、前記ソース電極と同じ材料からなるソース層と、前記バイアス配線が形成される工程において形成され、前記バイアス配線と同じ材料からなるバイアス配線層とを含み、

前記端子領域は、さらに、

前記第２の絶縁膜を形成する工程において、前記第２の絶縁膜と同じ材料で構成され、前記端子用第１絶縁膜を覆い、前記第１の開口よりも内側に第２の開口を有する端子用第２絶縁膜が形成され、

前記ソース層は、前記第１の開口において前記第１の導電層と接続され、

前記端子用第１絶縁膜は、前記ソース層の一部の上に形成され、

前記バイアス配線層は、前記端子用第２絶縁膜の上に形成され、前記第２の開口において前記ソース層と接続され、

前記第２の導電層は、前記第１の開口と重なる前記第２の開口において、前記カバー層を介して前記第１の導電層と接続される、請求項８に記載の製造方法。

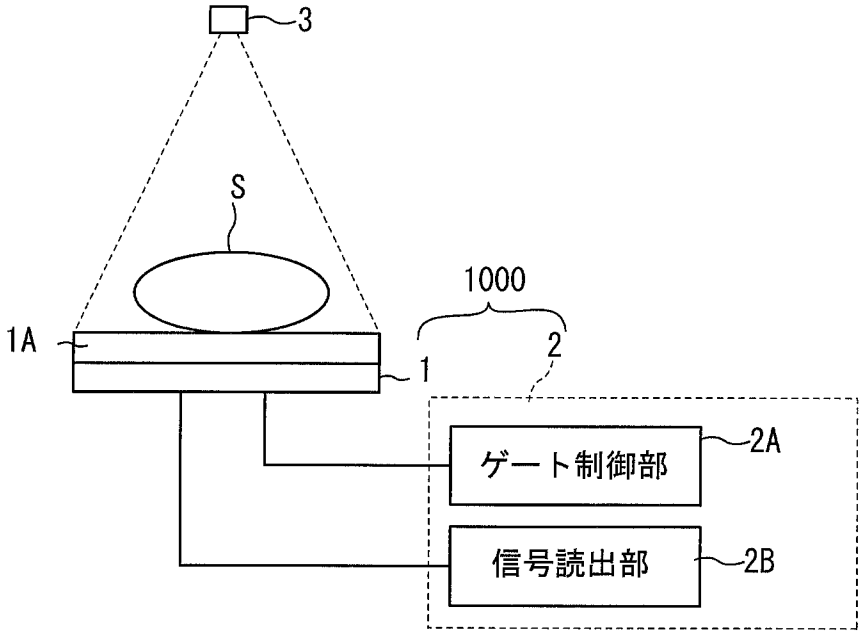
[請求項10] 前記ソース電極及び前記ソース層は、前記下部電極を形成する際のエッチングに対してエッチング選択性が低い第１の材料と、前記エッチングに対してエッチング選択性が高い第２の材料とが積層されて構成され、

前記第２の絶縁膜及び前記端子用第２絶縁膜の膜厚は、前記第１の材料の膜厚よりも厚く、

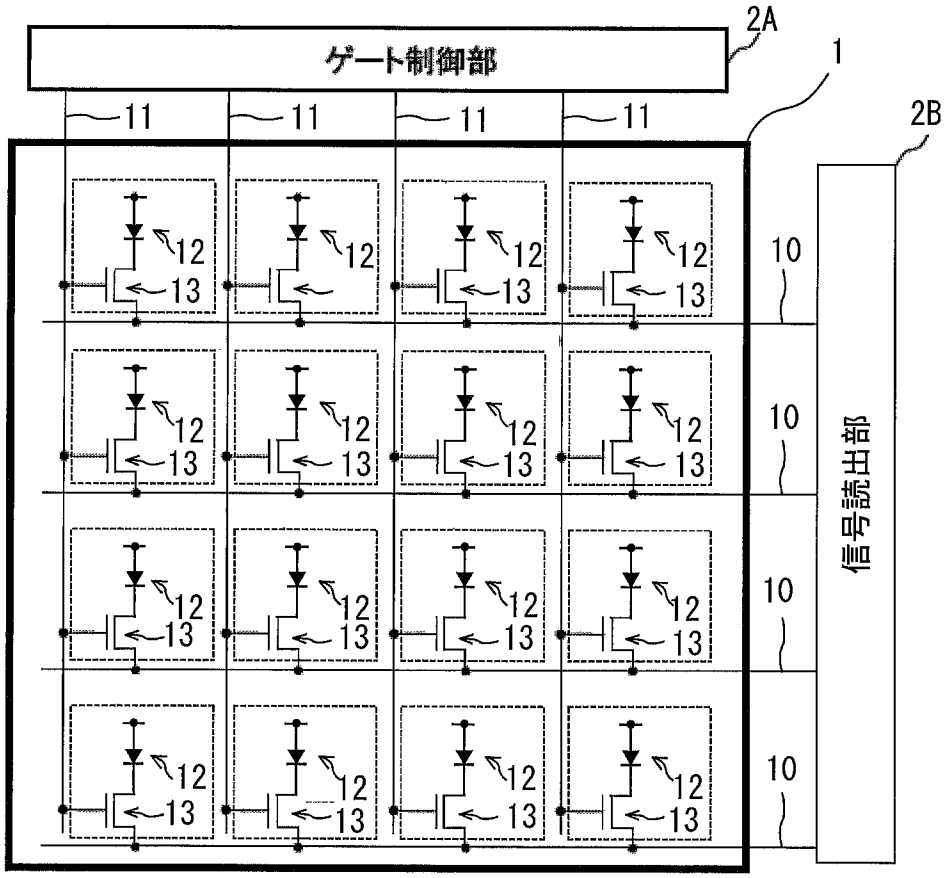
前記バイアス配線及び前記バイアス配線層は、前記第１の材料を含む複数の層で構成され、前記バイアス配線及び前記バイアス配線層の膜厚は、前記ソース電極及び前記ソース層の前記第１の材料の膜厚よりも厚い、請求項９に記載の製造方法。

[請求項11] 前記ソース電極、前記下部電極、及び前記バイアス配線のうち、前記カバー層の形成に用いられない素子の材料は、複数の材料が積層された積層構造を有し、前記積層構造における最下層は、当該素子を形成する工程におけるエッチングに対し、当該素子より下層に設けられる素子よりもエッチング選択性が低い、請求項６に記載の製造方法。

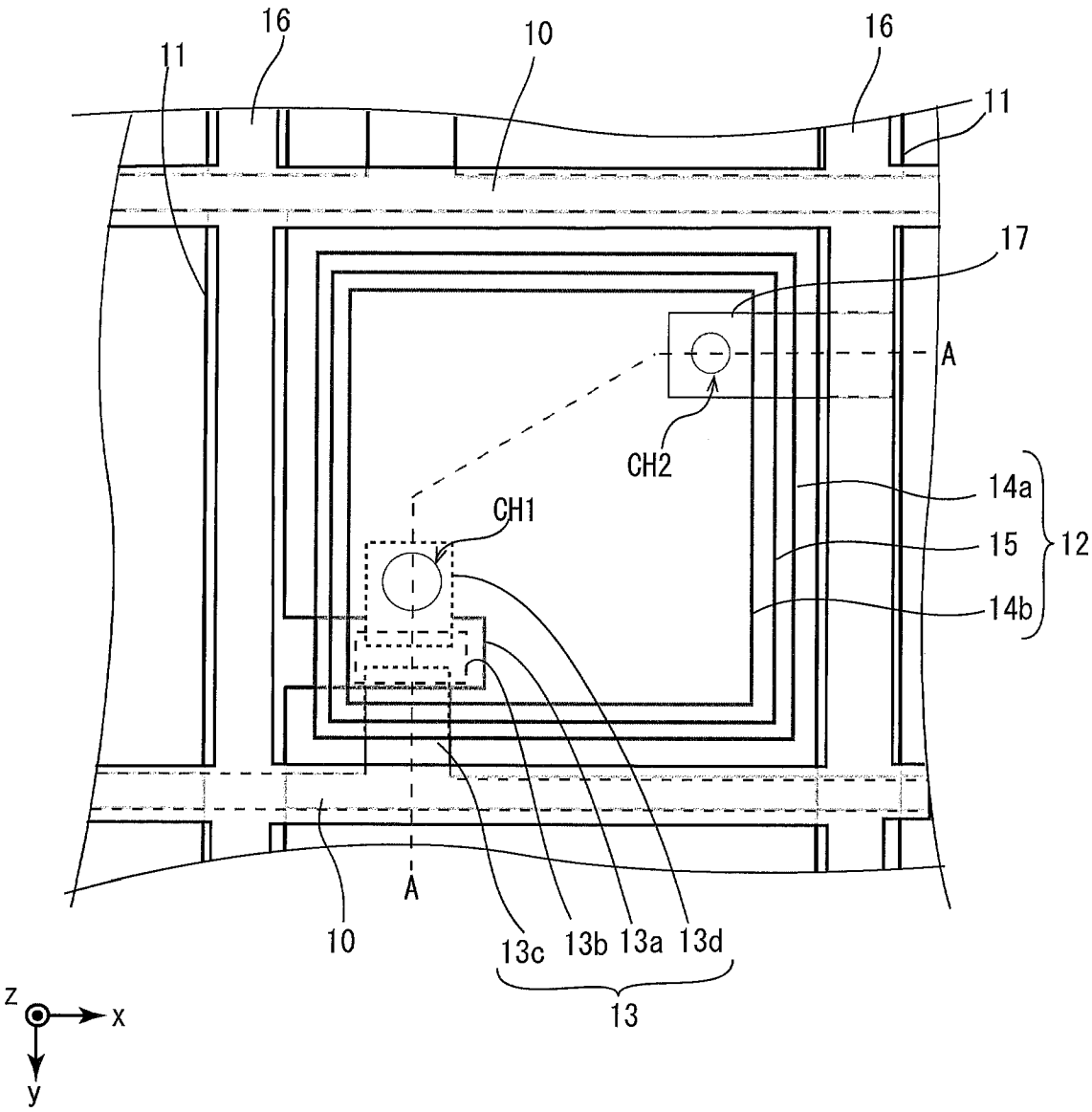
[図1]



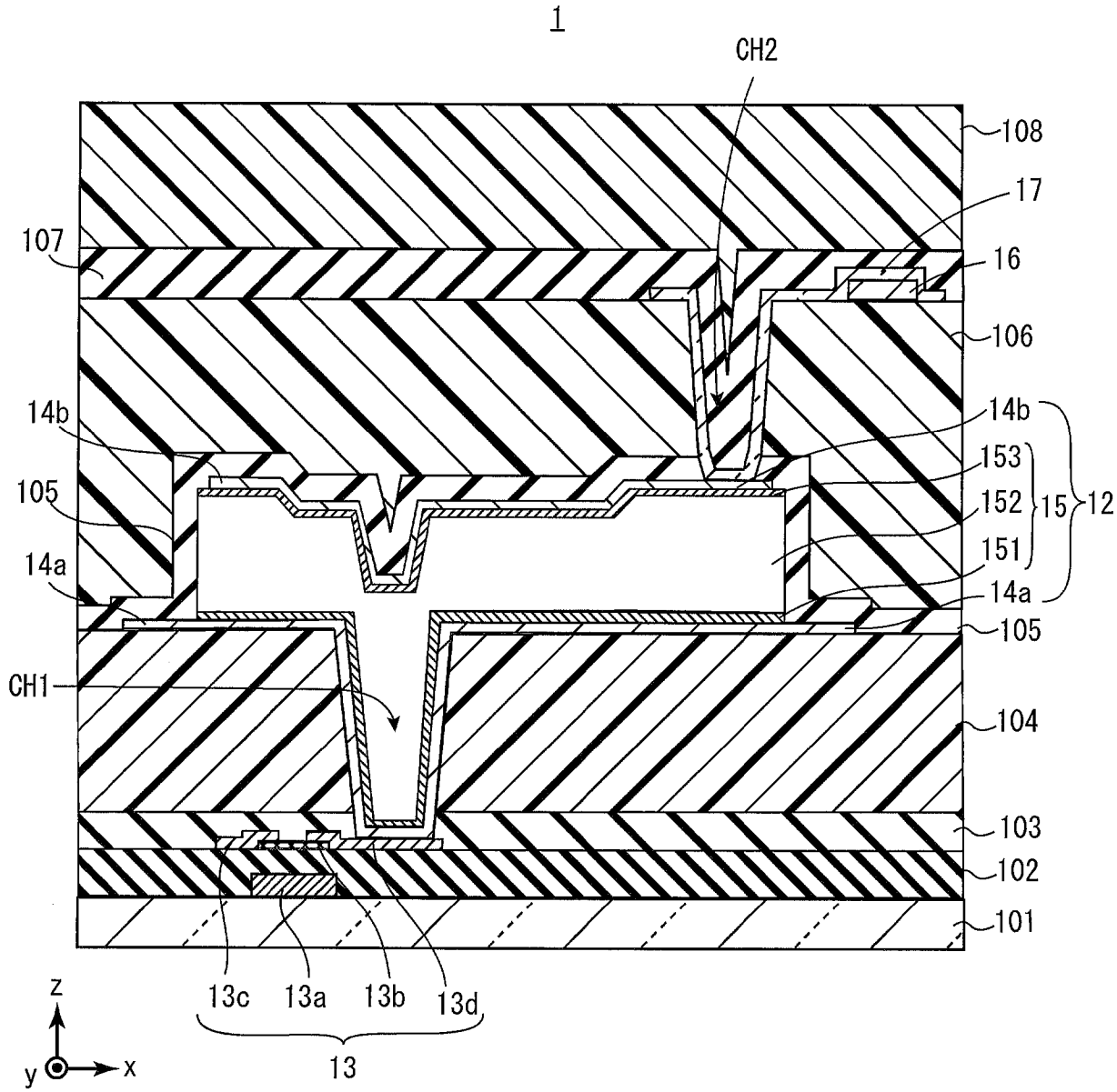
[図2]



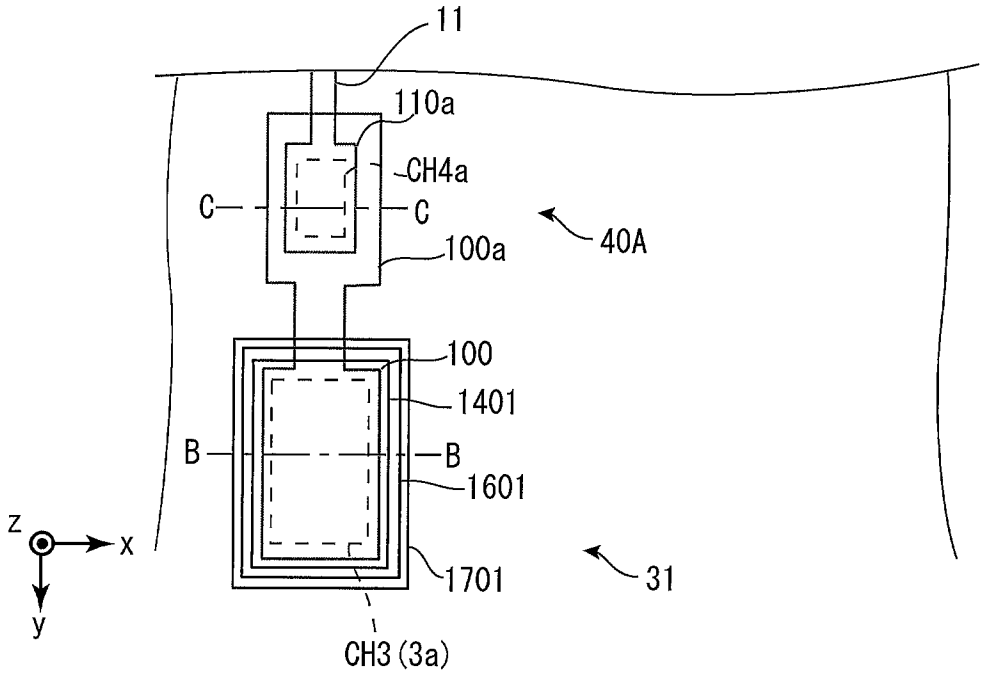
[図3A]



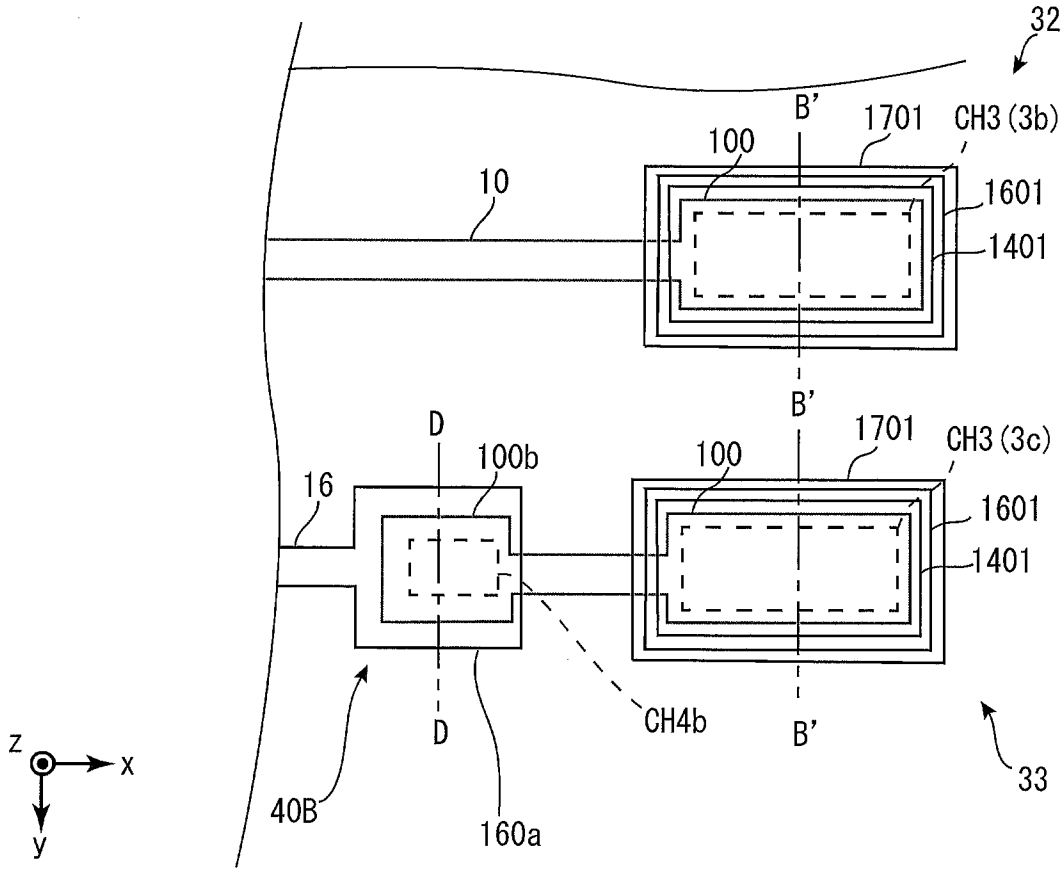
[図3B]


1
CH2
108
17
107
16
106
14b
14b
153
105
152
15
12
151
14a
14a
105
CH1
104
103
102
101
z
13c
13a
13b
13d
y
x
13

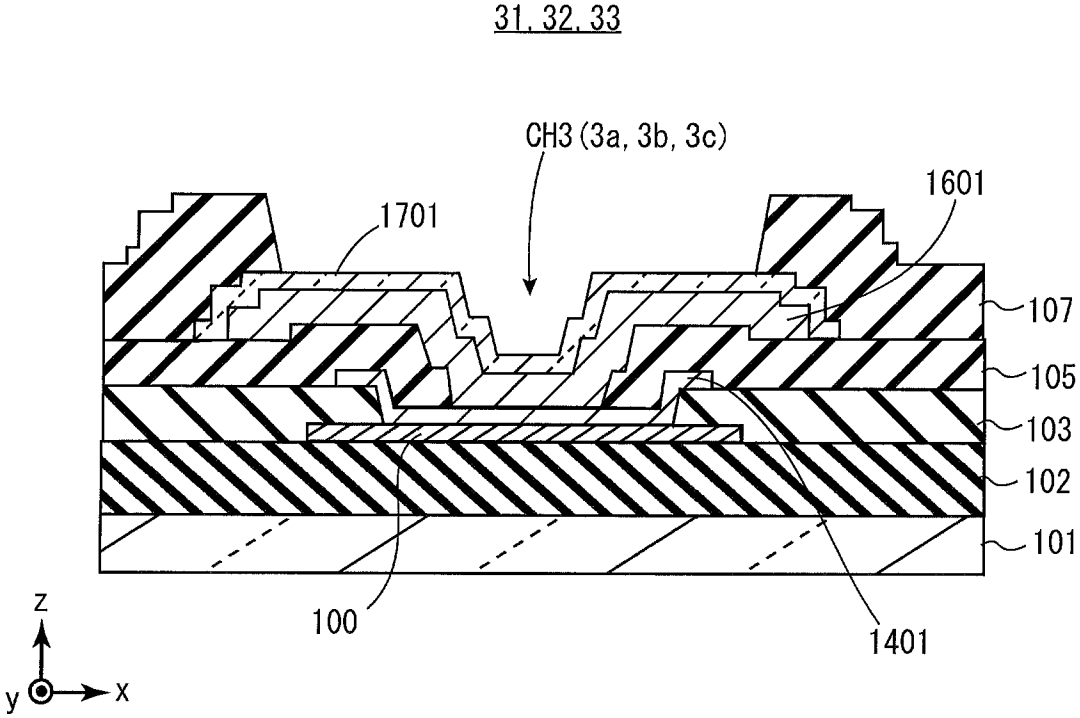
[図4A]


11
110a
CH4a
C
C
40A
100a
100
1401
B
B
1601
1701
31
z
x
y
CH3 (3a)

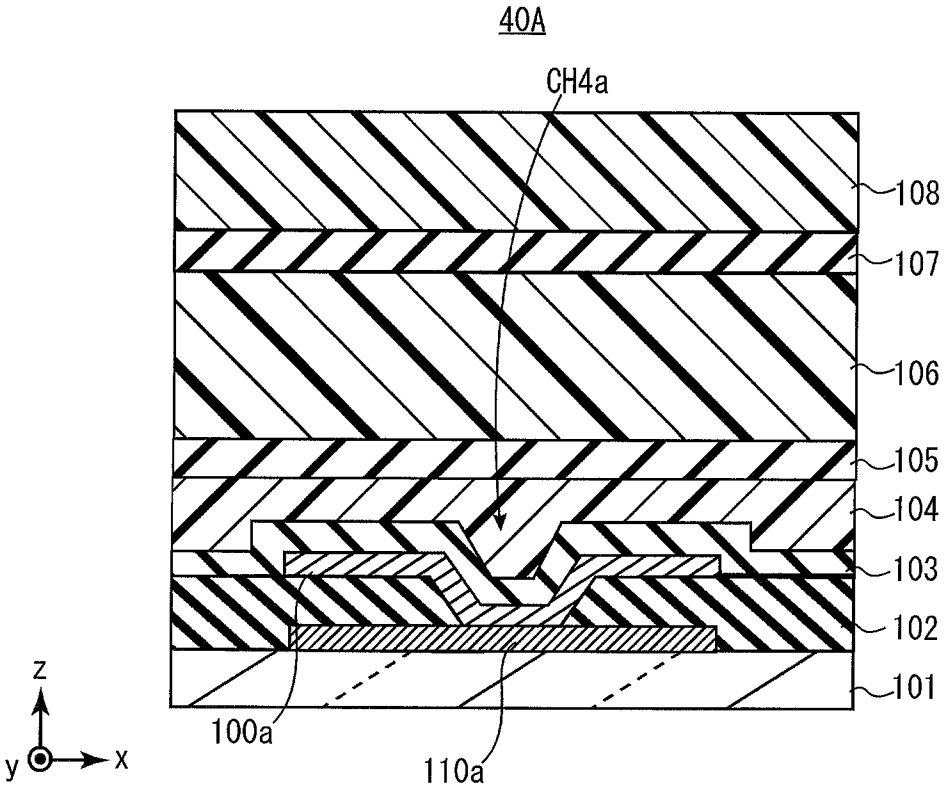
[図4B]


32
B'
1701
CH3 (3b)
100
10
1601
1401
B'
D
1701
CH3 (3c)
100b
100
16
1601
1401
CH4b
B'
33
z
x
y
40B
D
160a

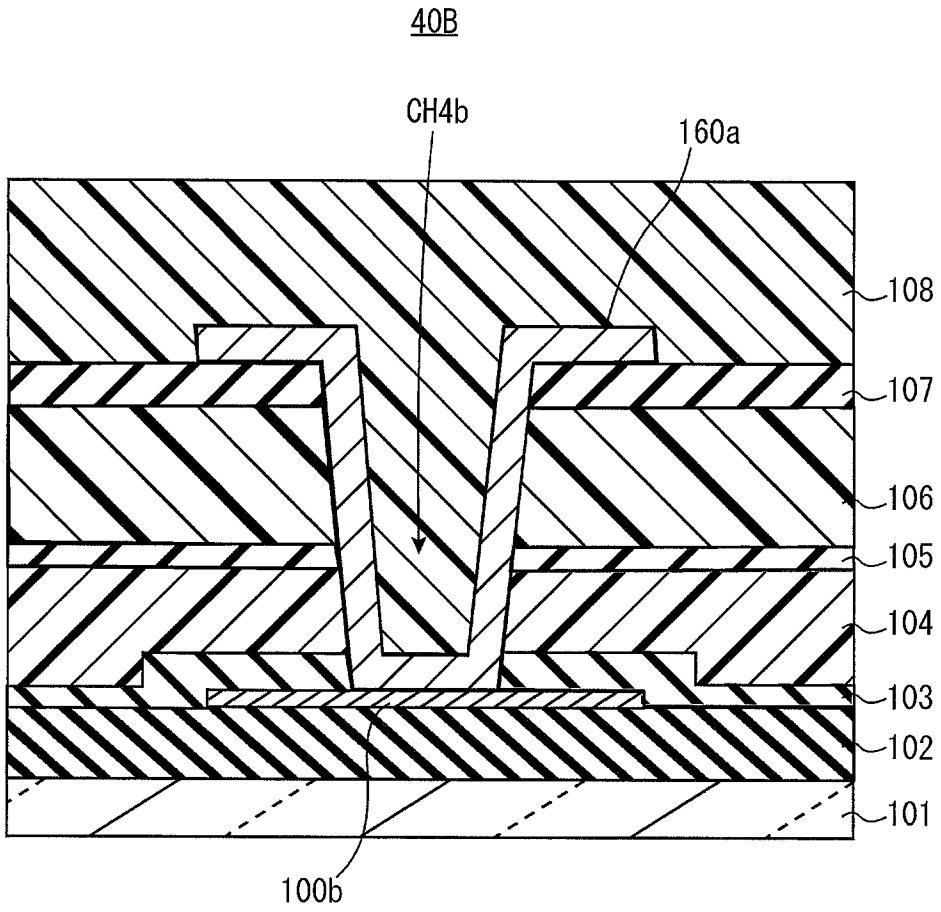
[図5A]


31, 32, 33
CH3 (3a, 3b, 3c)
1601
1701
107
105
103
102
101
100
1401
z
y
x

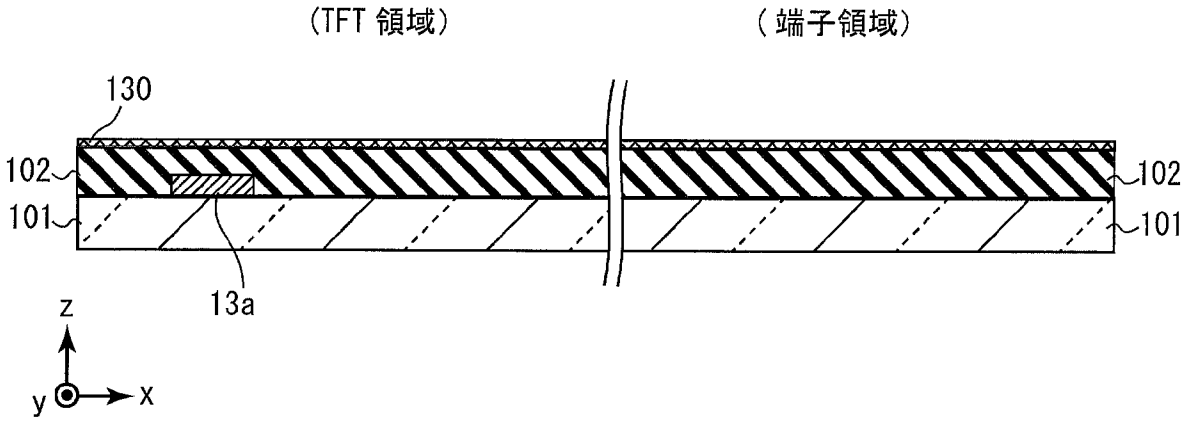
[図5B]


40A
CH4a
108
107
106
105
104
103
102
101
100a
110a
z
y
x

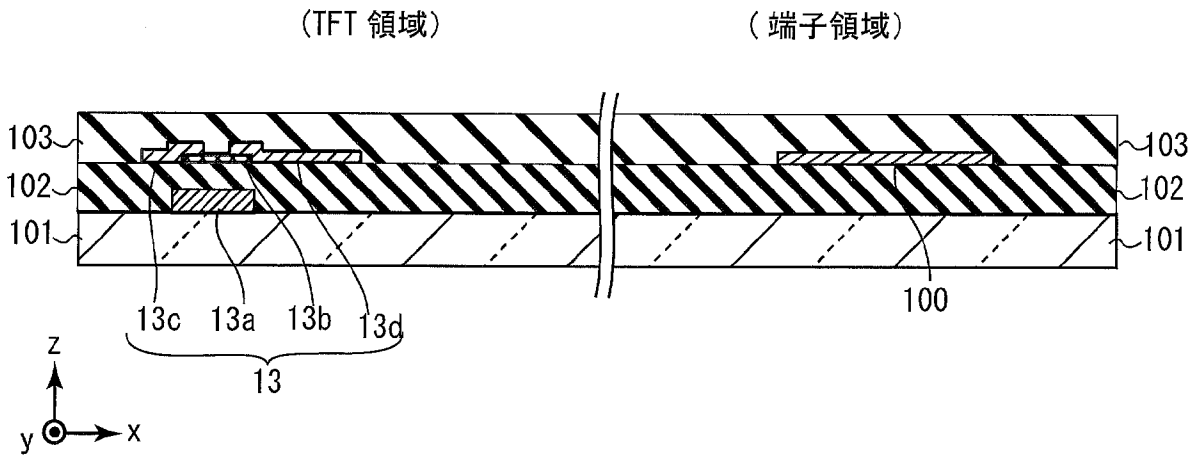
[図5C]


40B
CH4b
160a
108
107
106
105
104
103
102
101
100b

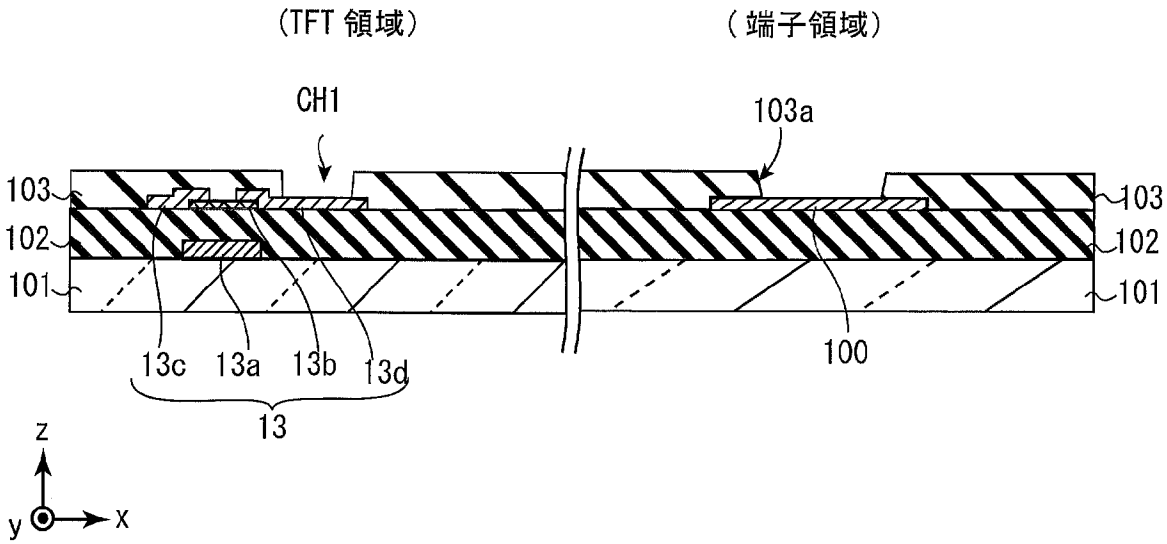
[図6A]


(TFT 領域)
(端子領域)
130
102
101
102
101
13a
z
y
x

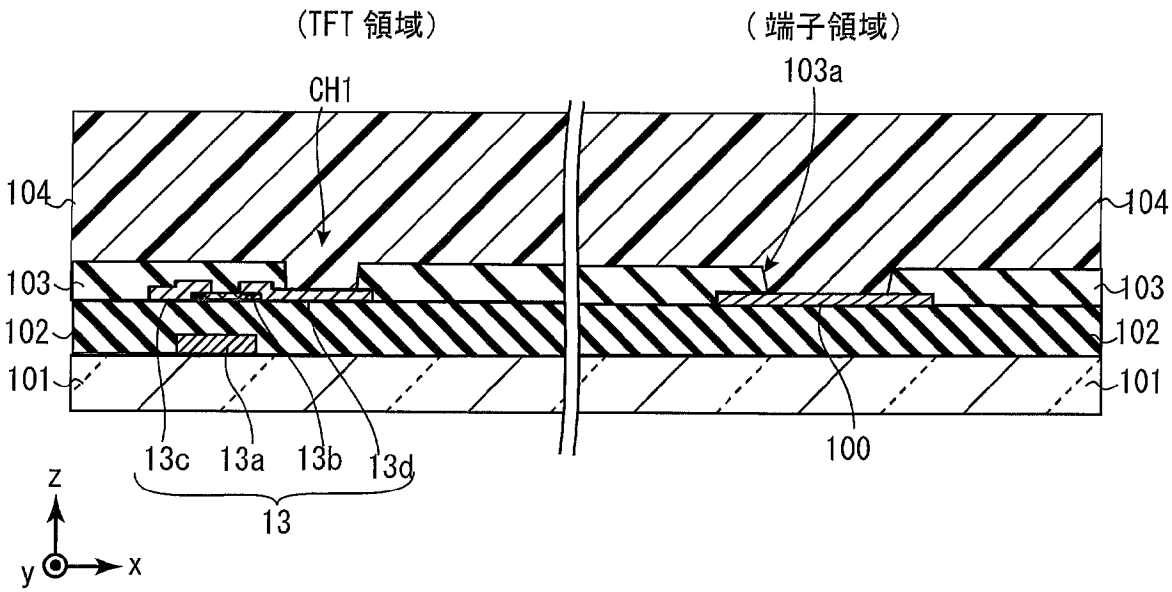
[図6B]


(TFT 領域)
(端子領域)
103
102
101
103
102
101
13c
13a
13b
13d
13
100
z
y
x

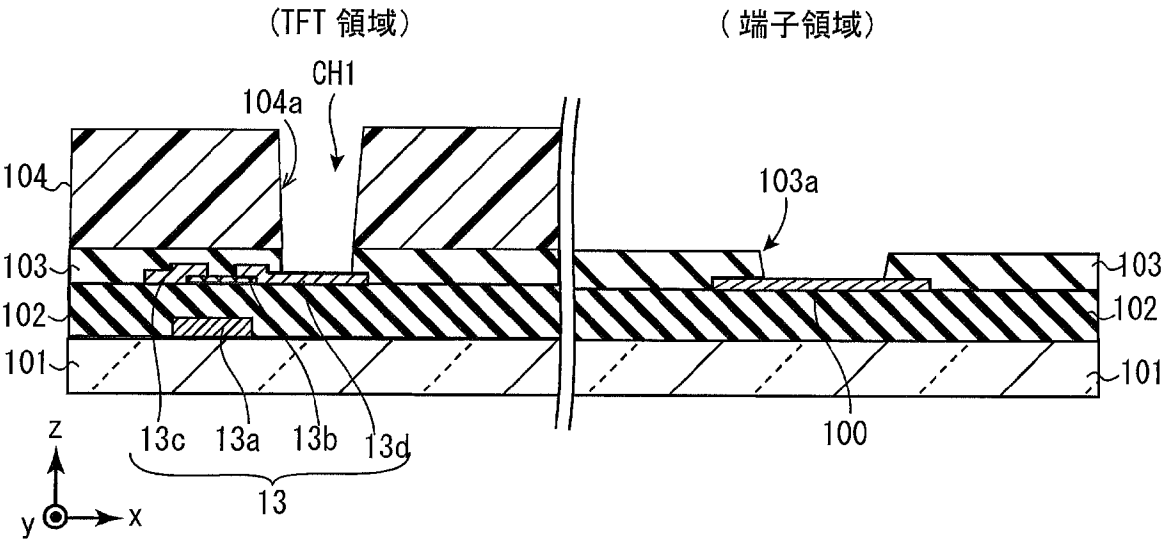
[図6C]


(TFT 領域)
(端子領域)
CH1
103a
103
102
101
103
102
101
13c
13a
13b
13d
13
100
z
y
x

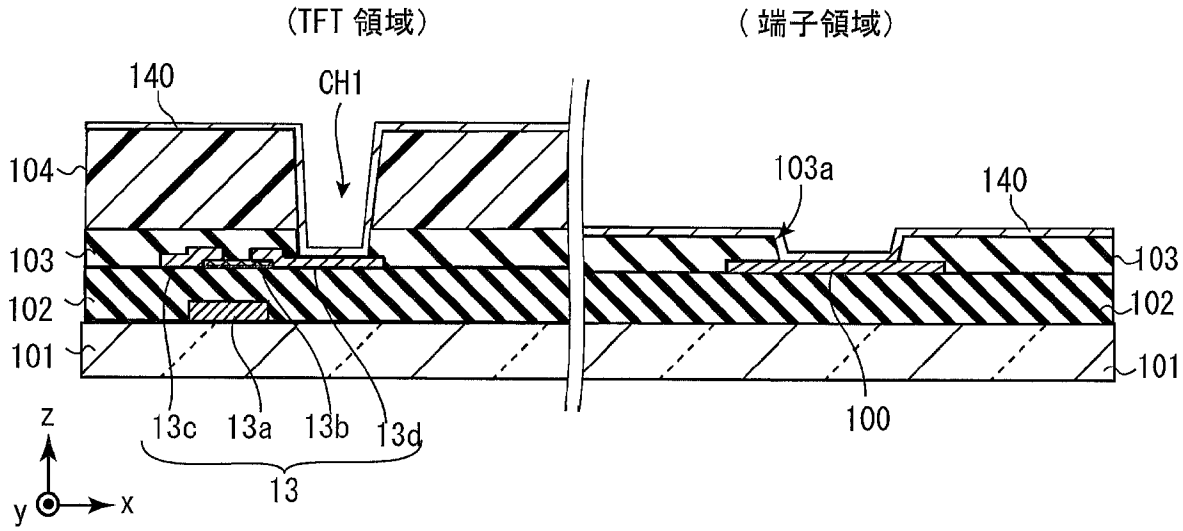
[図6D]


(TFT 領域)
(端子領域)
CH1
103a
104
103
102
101
13c
13a
13b
13d
13
100
z
y
x

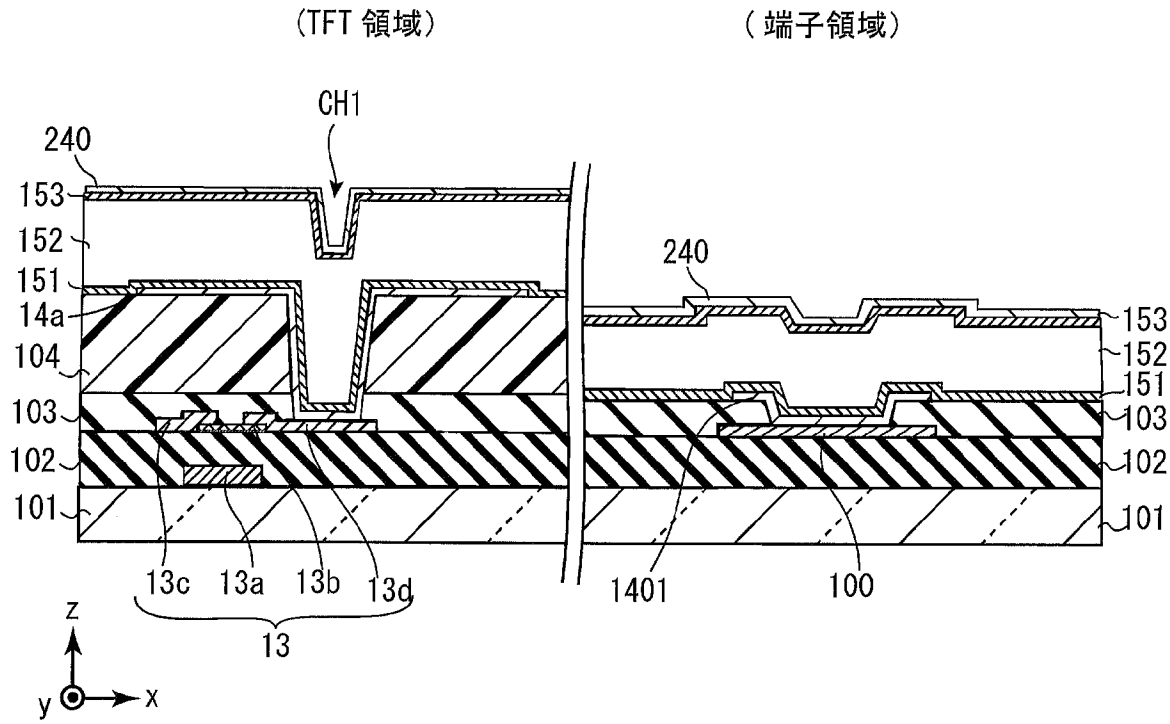
[図6E]


(TFT 領域)
(端子領域)
CH1
104a
103a
104
103
102
101
13c
13a
13b
13d
13
100
z
y
x

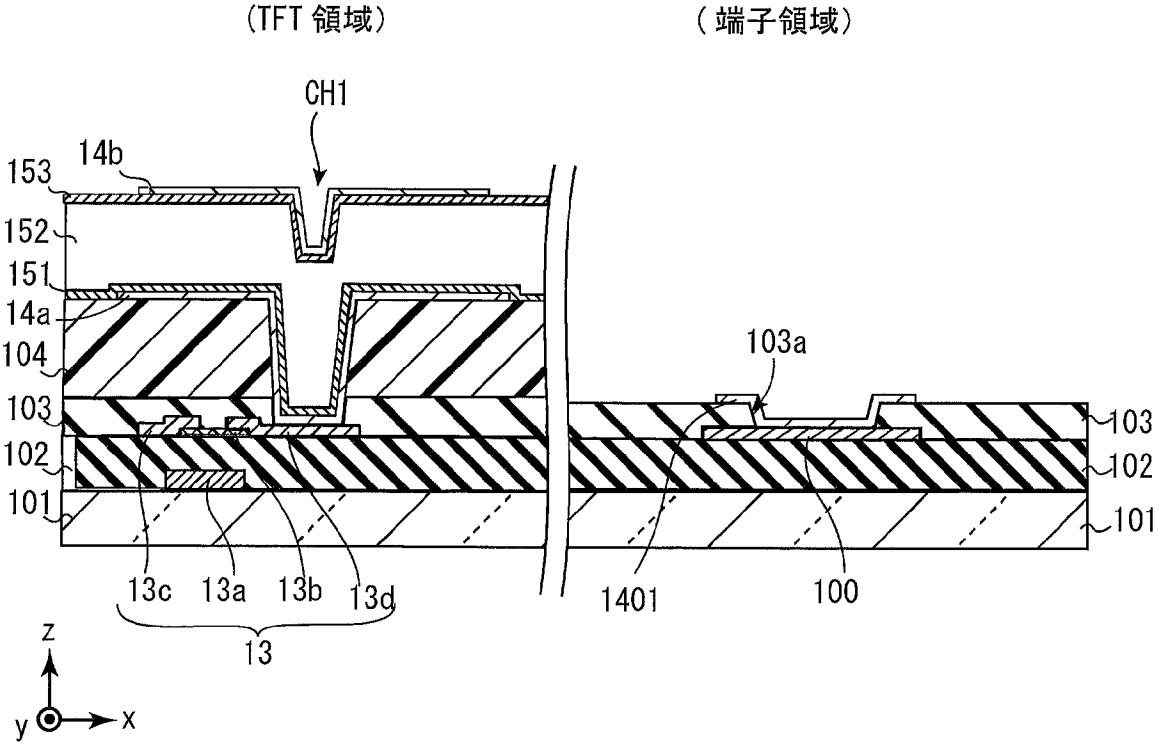
[図6F]


(TFT 領域)
(端子領域)
140
CH1
104
103a
140
103
102
101
103
102
101
z
y
x
13c
13a
13b
13d
13
100

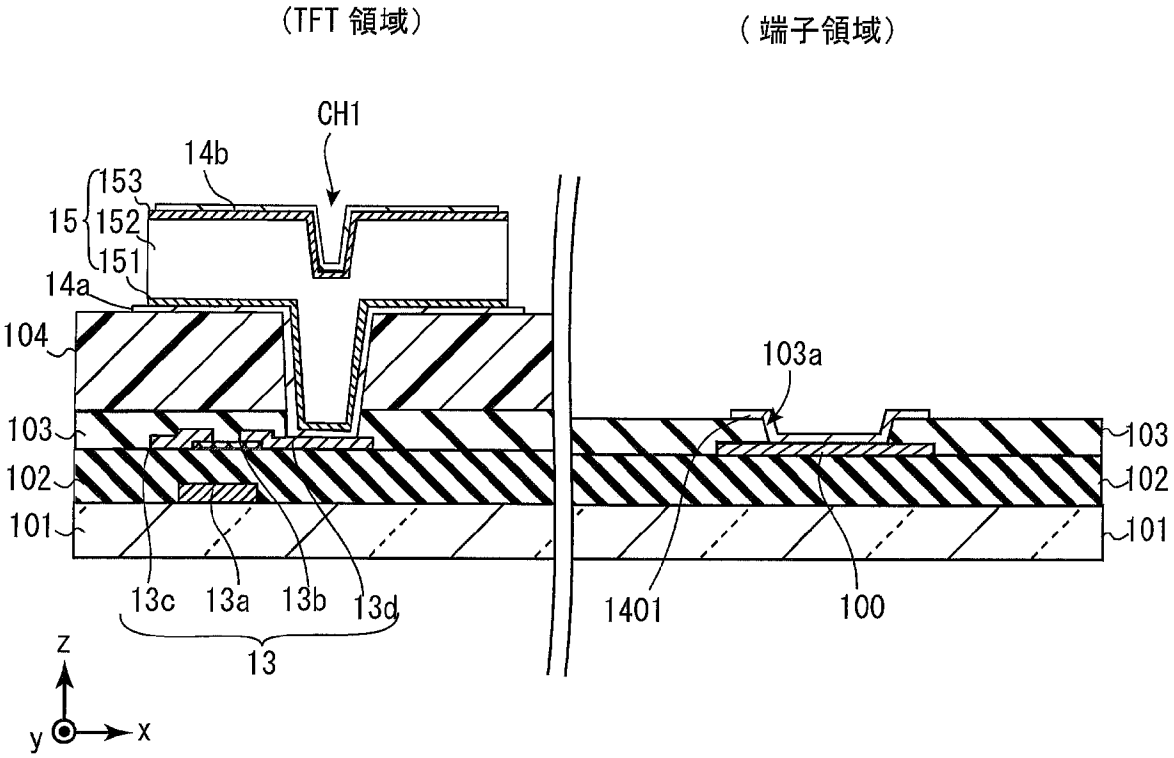
[図6G]


(TFT 領域)
(端子領域)
CH1
240
153
152
151
14a
104
103
102
101
240
153
152
151
103
102
101
z
y
x
13c
13a
13b
13d
13
1401
100

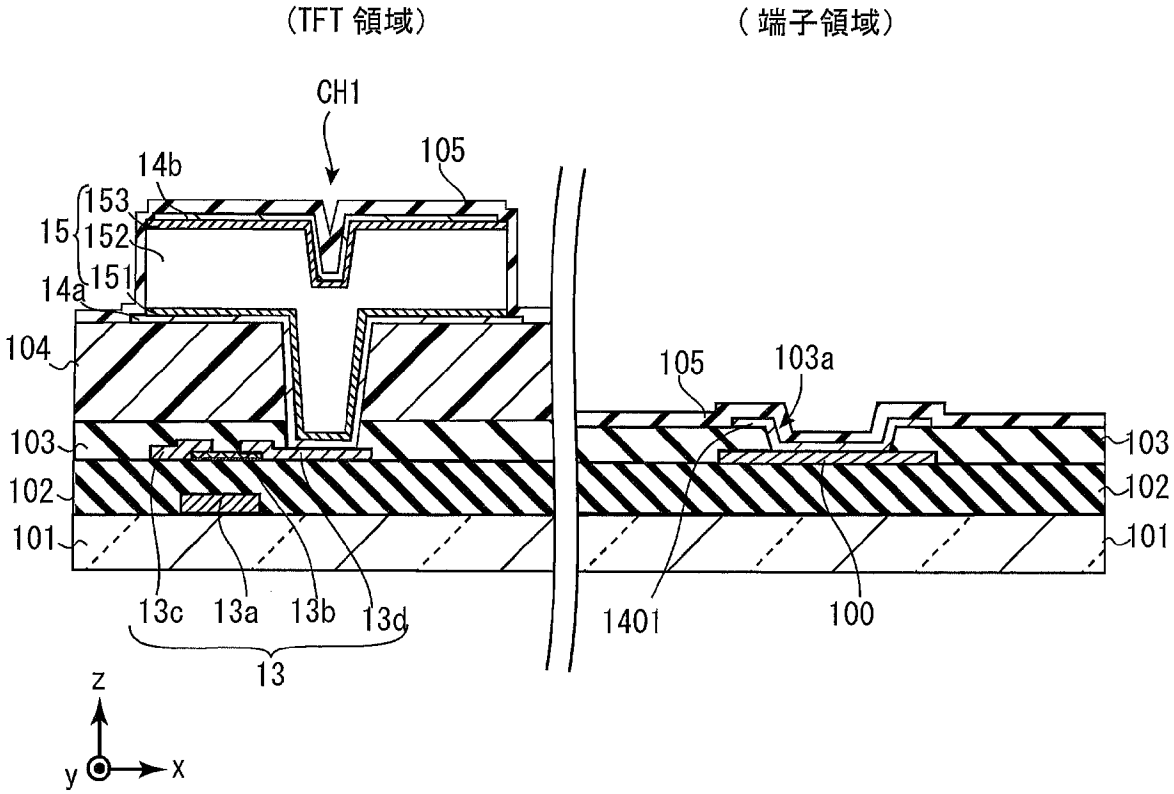
[図6H]


(TFT 領域)
(端子領域)
CH1
14b
153
152
151
14a
104
103
102
101
103a
13c
13a
13b
13d
13
1401
100
z
y
x

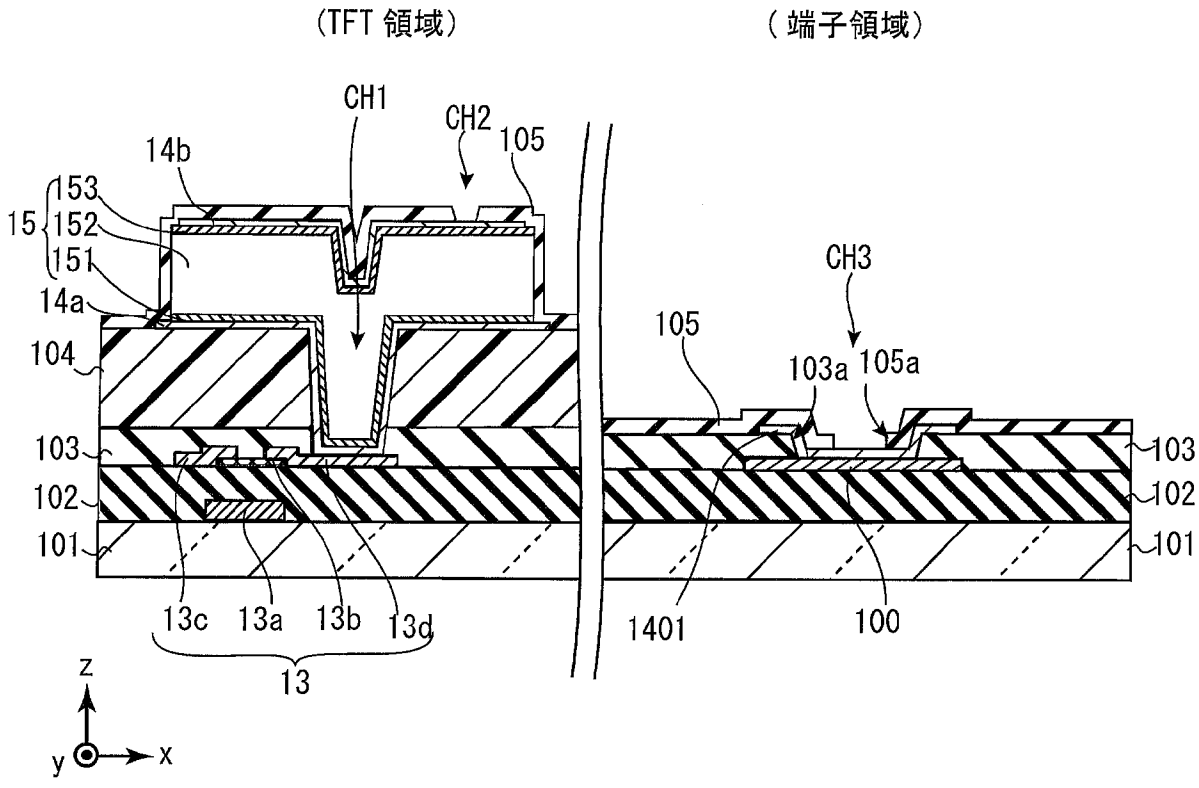
[図6I]


(TFT 領域)
(端子領域)
CH1
14b
153
15
152
151
14a
104
103
102
101
103a
13c
13a
13b
13d
13
1401
100
z
y
x

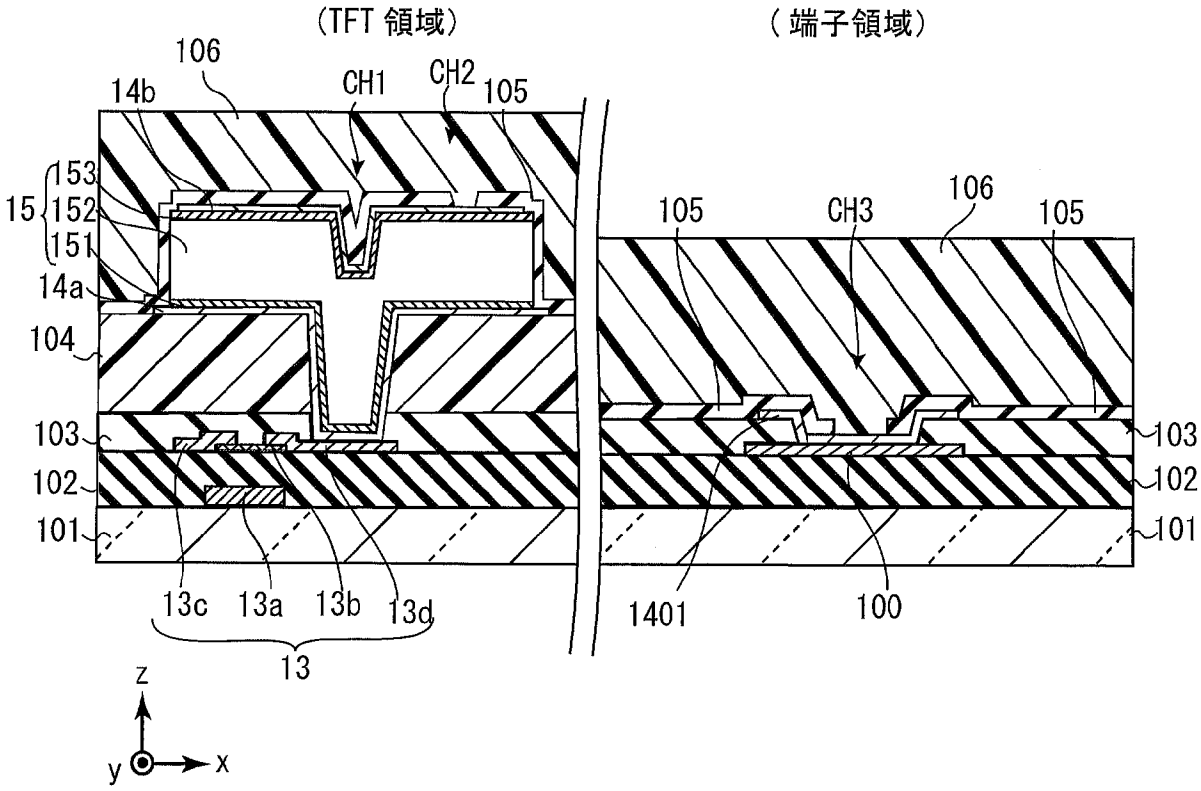
[図6J]


(TFT 領域)
(端子領域)
CH1
105
14b
153
15
152
151
14a
104
103
102
101
105
103a
103
102
101
13c
13a
13b
13d
13
1401
100
z
y
x

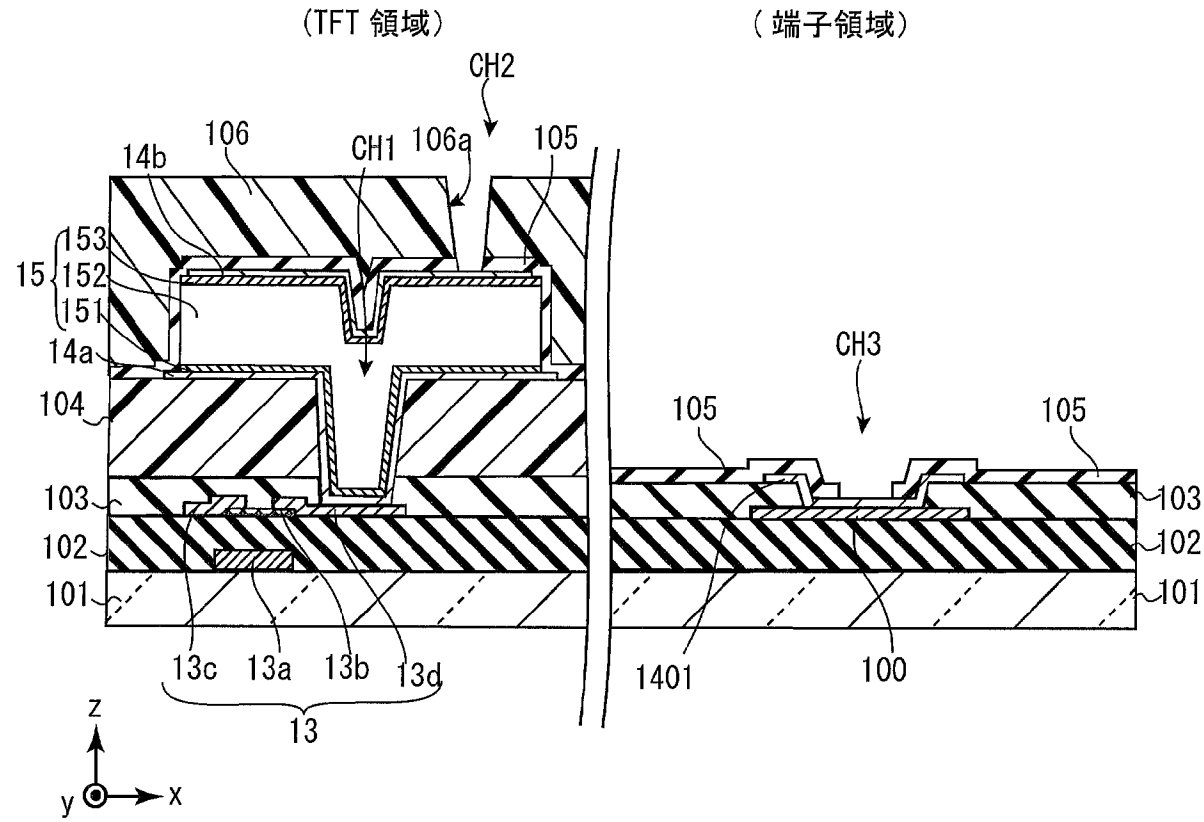
[図6K]


(TFT 領域)
(端子領域)
CH1
CH2
105
14b
153
15
152
151
14a
104
103
102
101
CH3
105
103a
105a
103
102
101
13c
13a
13b
13d
13
1401
100
z
y
x

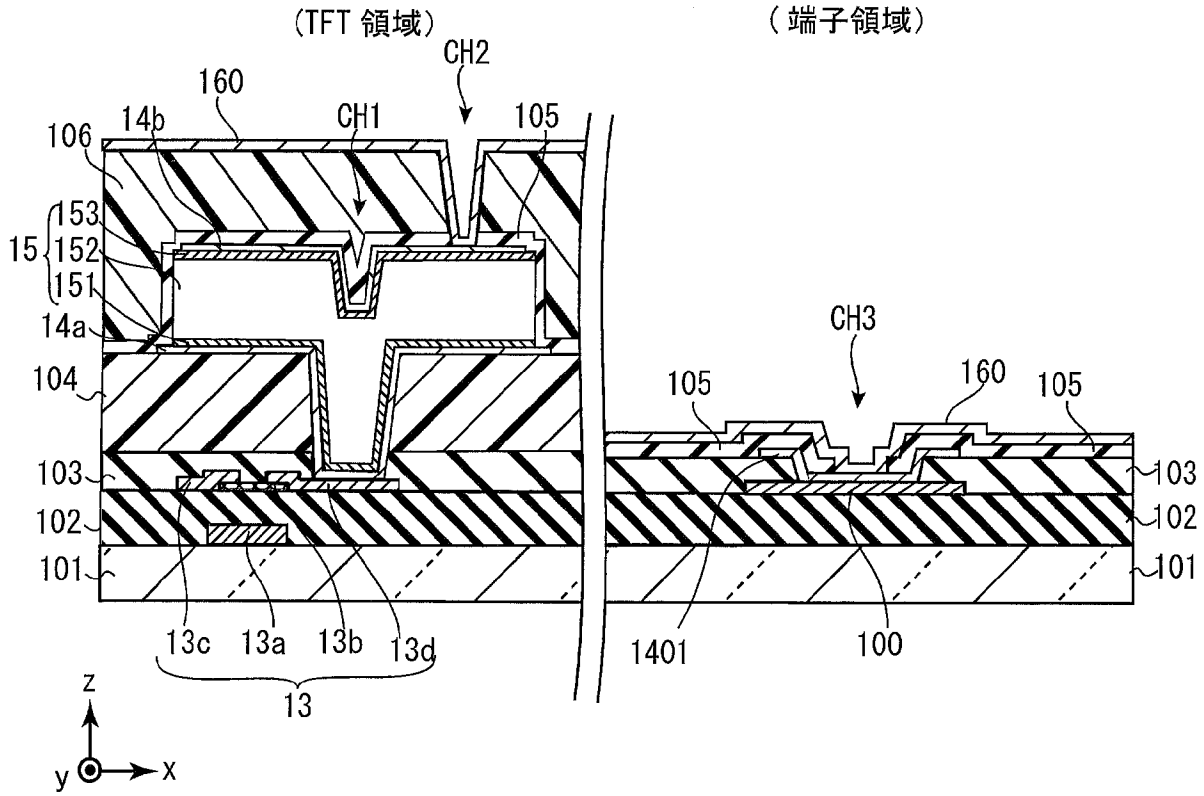
[図6L]


(TFT 領域)
(端子領域)
106
14b
CH1
CH2
105
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
105
CH3
106
105
1401
100
z
y
x

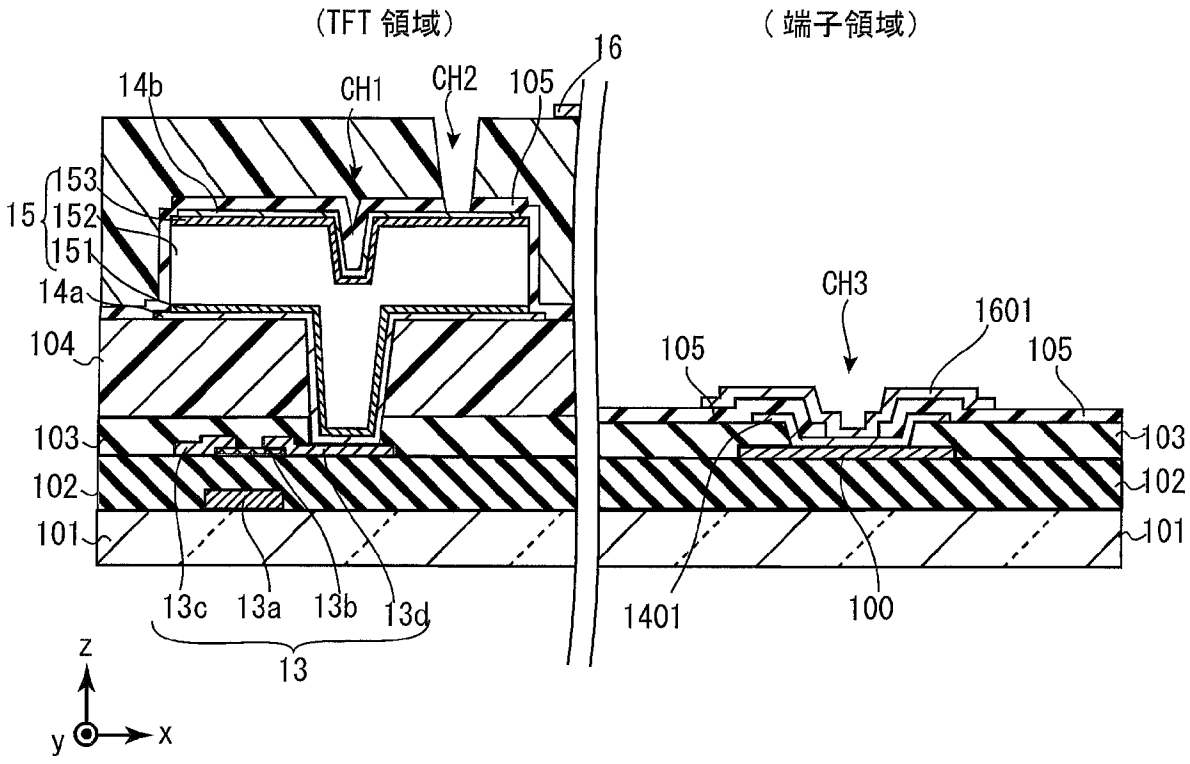
[図6M]


(TFT 領域)
(端子領域)
CH2
106
14b
CH1
106a
105
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
CH3
105
105
1401
100
z
y
x

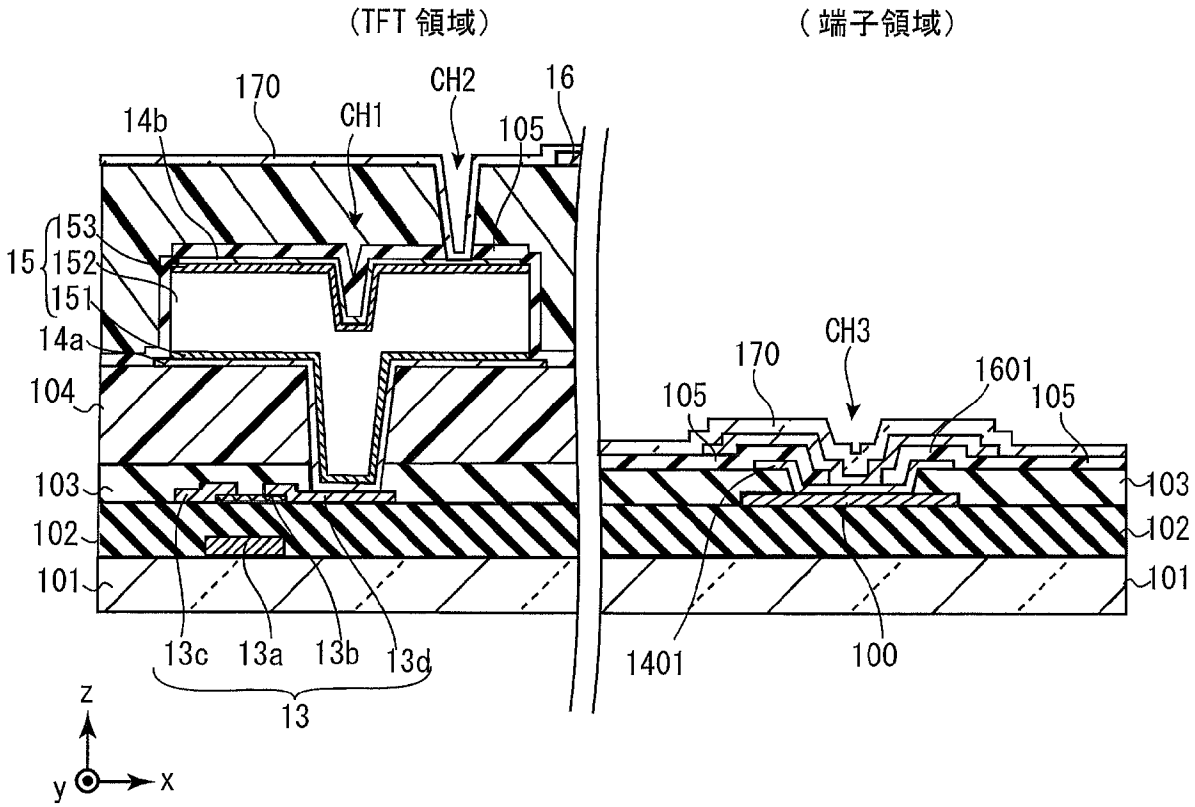
[図6N]


(TFT 領域)
(端子領域)
CH2
160
14b
CH1
105
106
153
15
152
151
14a
104
CH3
105
160
105
103
102
101
13c
13a
13b
13d
13
1401
100
z
y
x

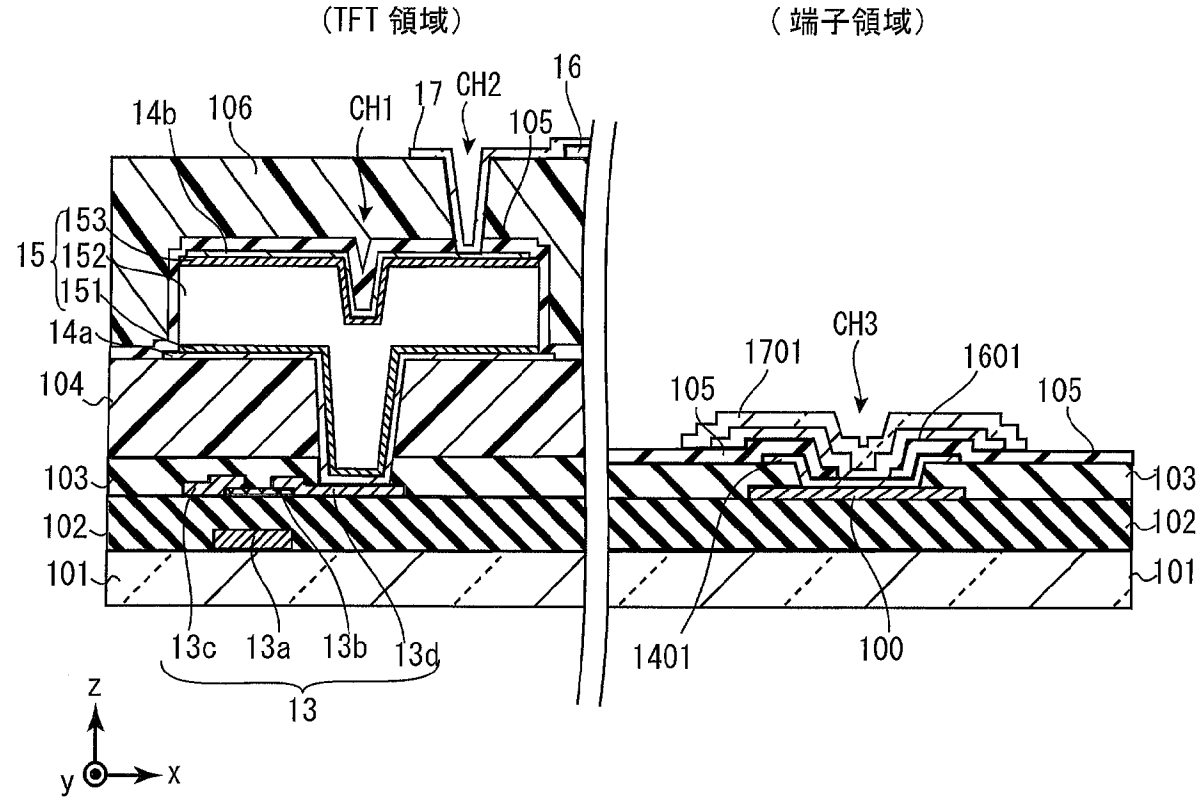
[図60]


(TFT 領域)
(端子領域)
16
14b
CH1
CH2
105
153
15
152
151
14a
104
CH3
1601
105
105
103
102
101
13c
13a
13b
13d
13
1401
100
z
y
x

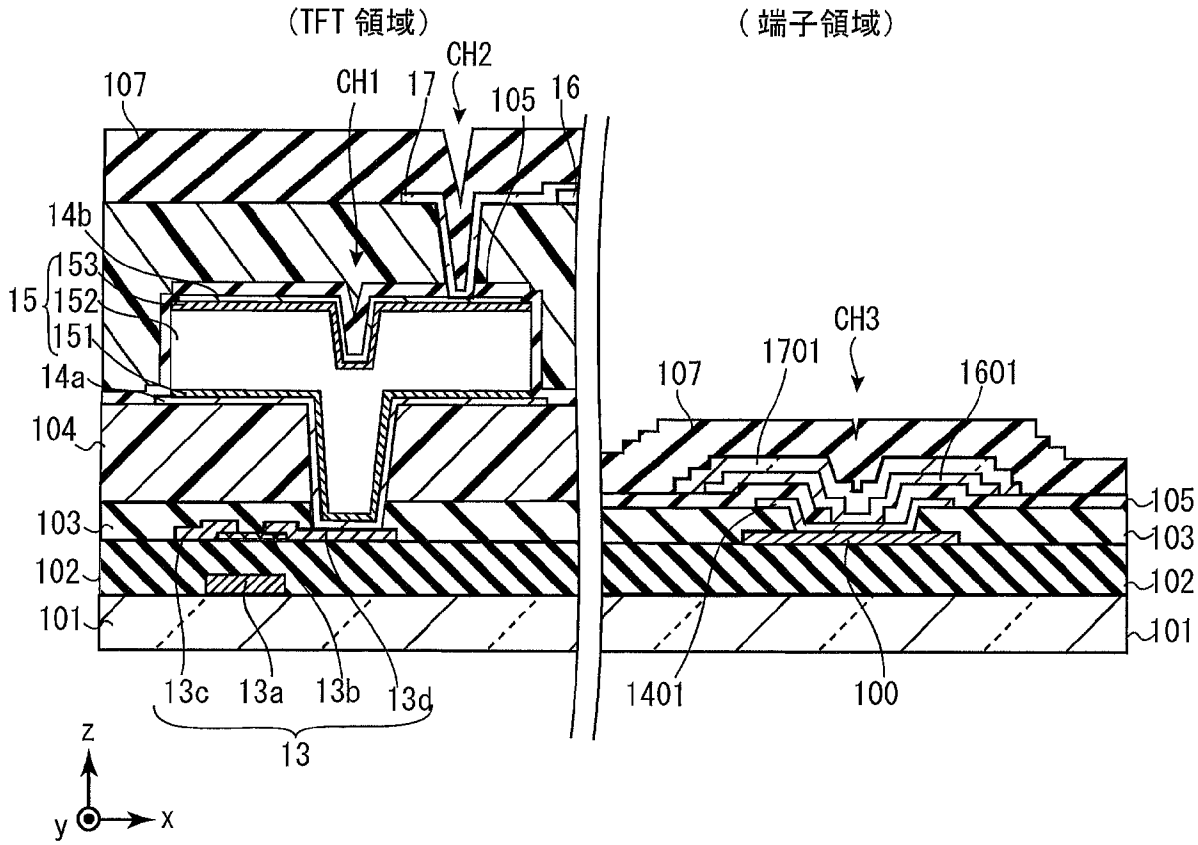
[図6P]


(TFT 領域)
(端子領域)
170
CH2
16
14b
CH1
105
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
z
y
x
CH3
170
1601
105
105
103
102
101
1401
100

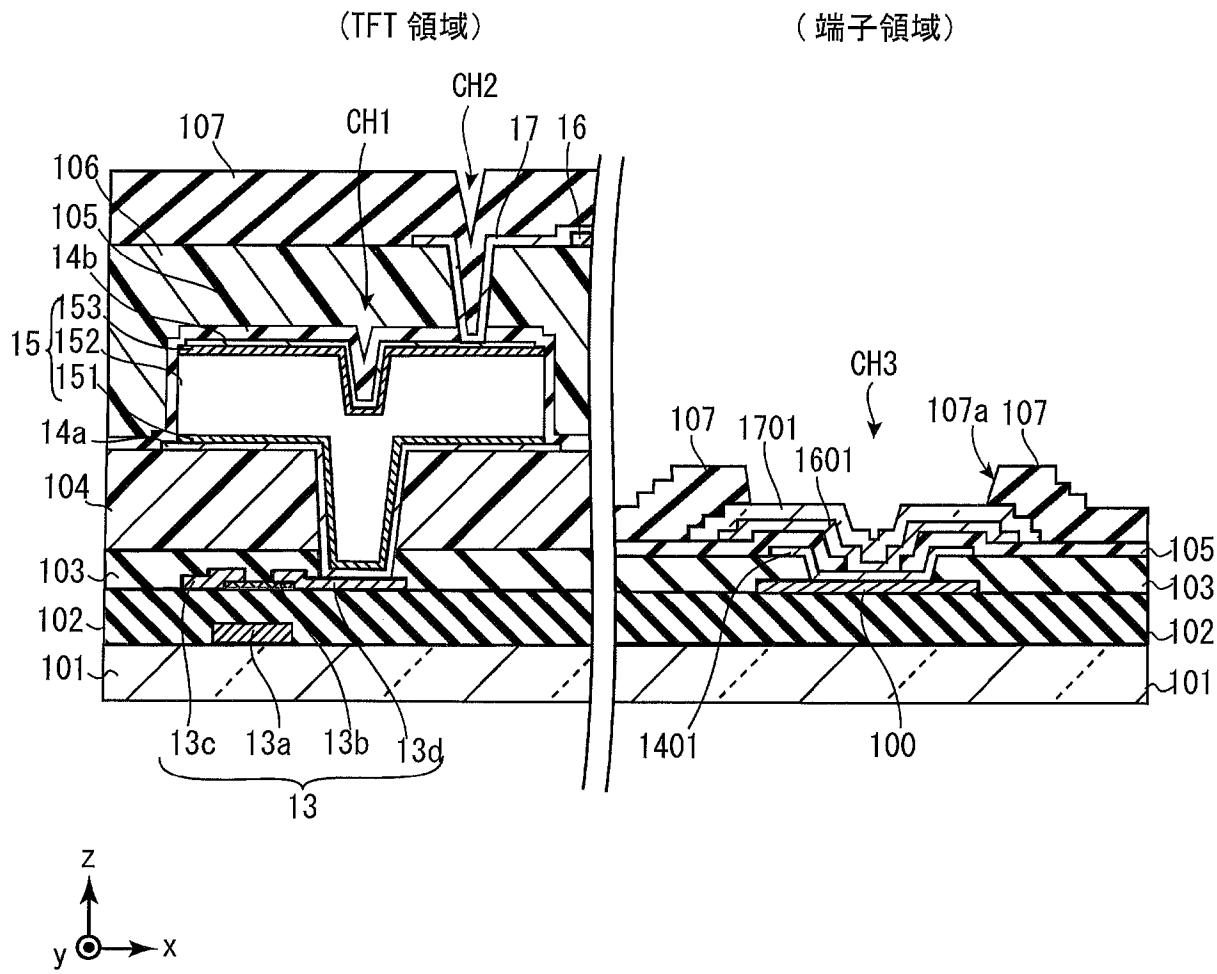
[図6Q]


(TFT 領域)
(端子領域)
16
14b
106
CH1
17
CH2
105
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
z
y
x
CH3
1701
1601
105
105
103
102
101
1401
100

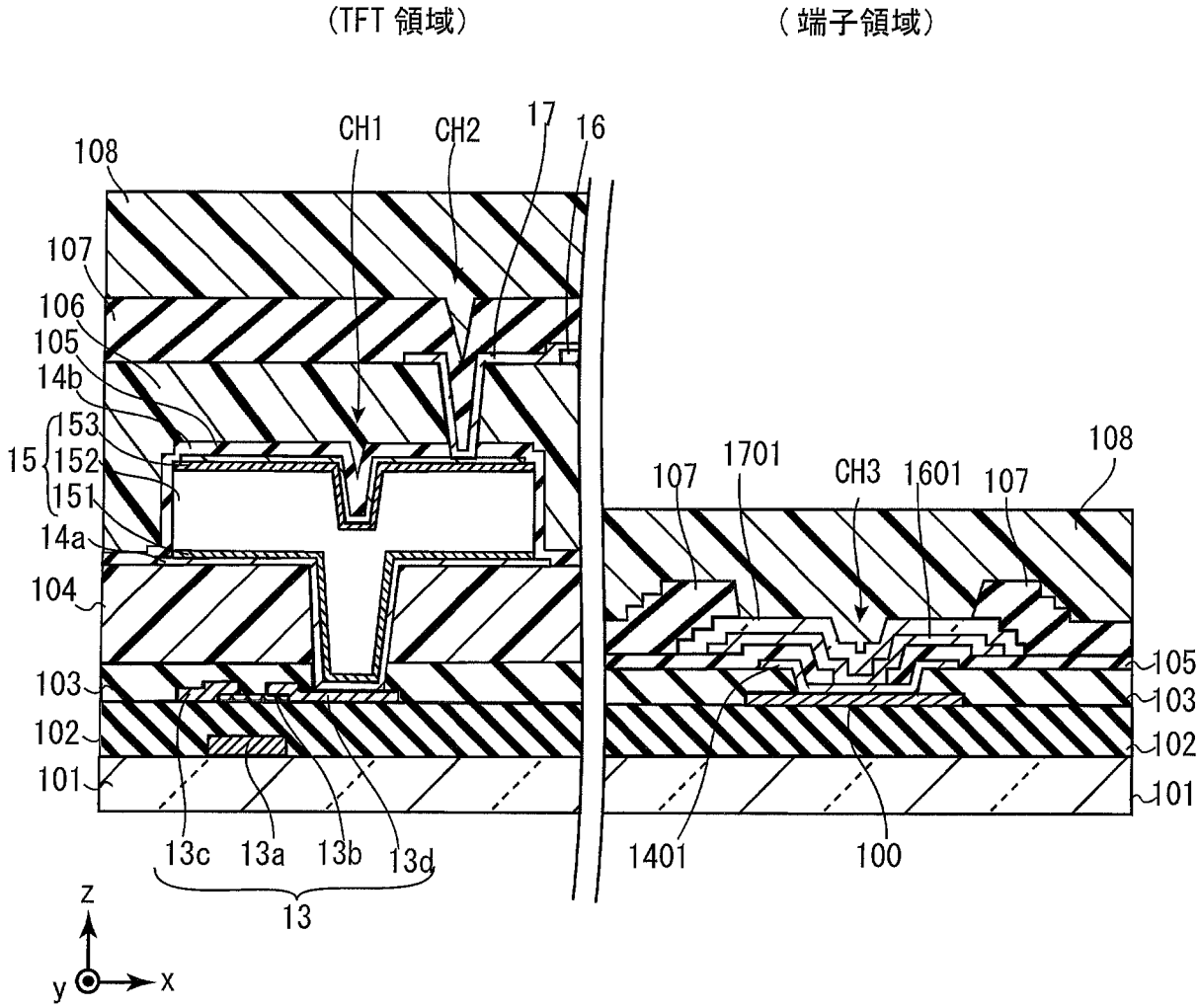
[図6R]


(TFT 領域)
(端子領域)
CH2
107
CH1
17
105
16
14b
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
z
y
x
CH3
1701
107
1601
105
103
102
101
1401
100

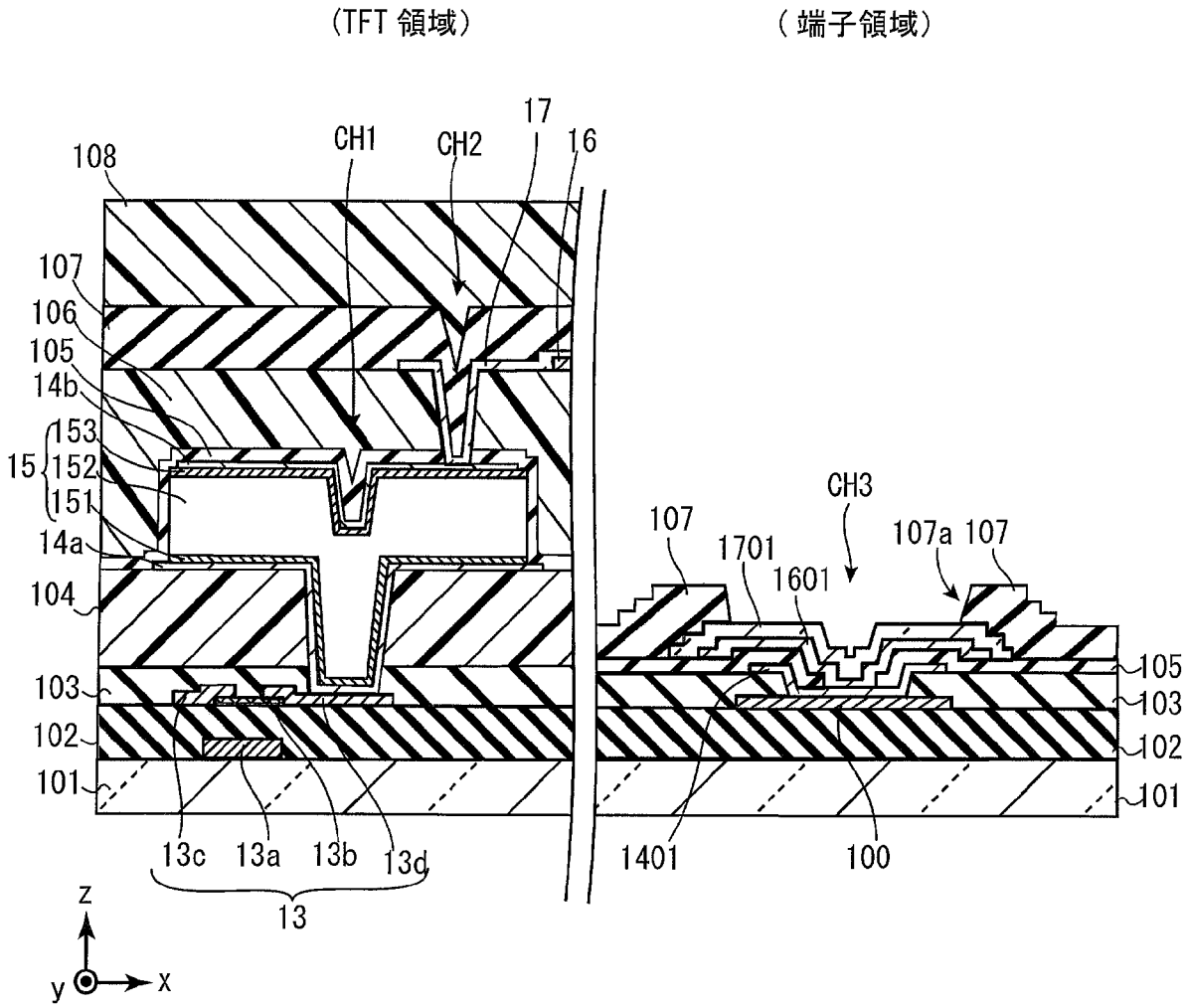
[図6S]


(TFT 領域)
(端子領域)
CH2
CH1
107
17
16
106
105
14b
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
CH3
107
1701
1601
107a
107
105
103
102
101
1401
100
z
y
x

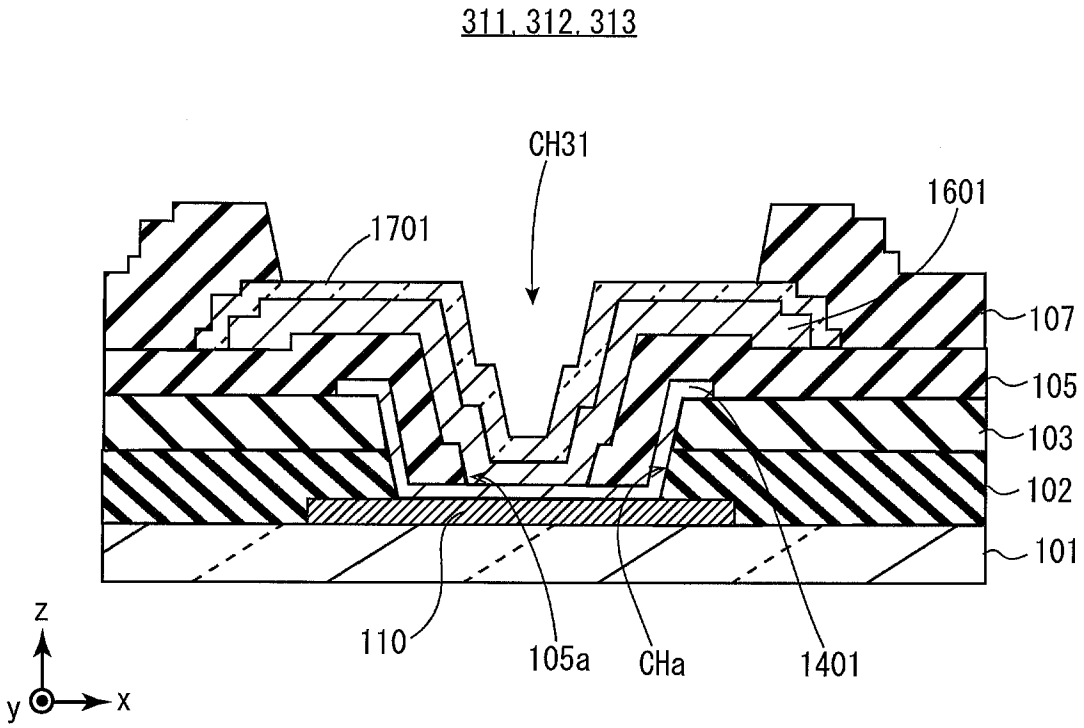
[図6T]


(TFT 領域)
(端子領域)
108
CH1
CH2
17
16
107
106
105
14b
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
z
y
x
107
1701
CH3
1601
107
108
105
103
102
101
1401
100

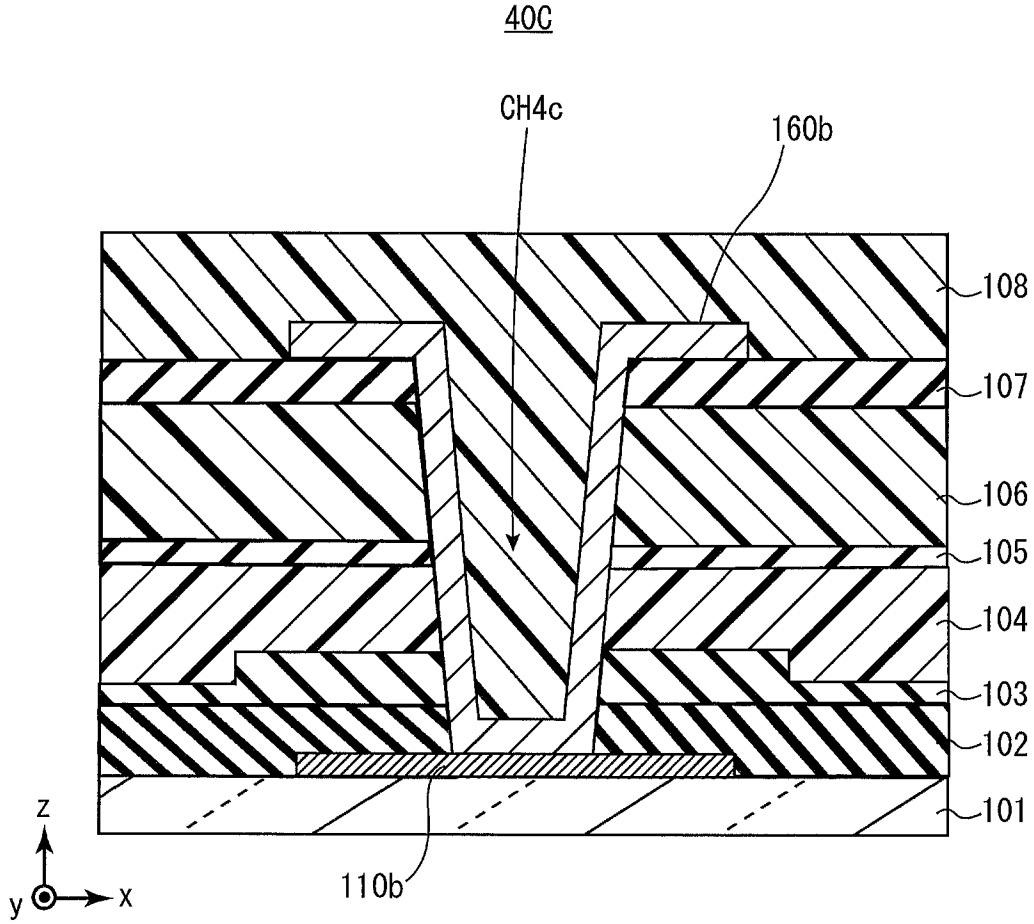
[図6U]


(TFT 領域)
(端子領域)
108
CH1
CH2
17
16
107
106
105
14b
153
15
152
151
14a
104
103
102
101
13c
13a
13b
13d
13
CH3
107
1701
1601
107a
107
105
103
102
101
1401
100
z
y
x

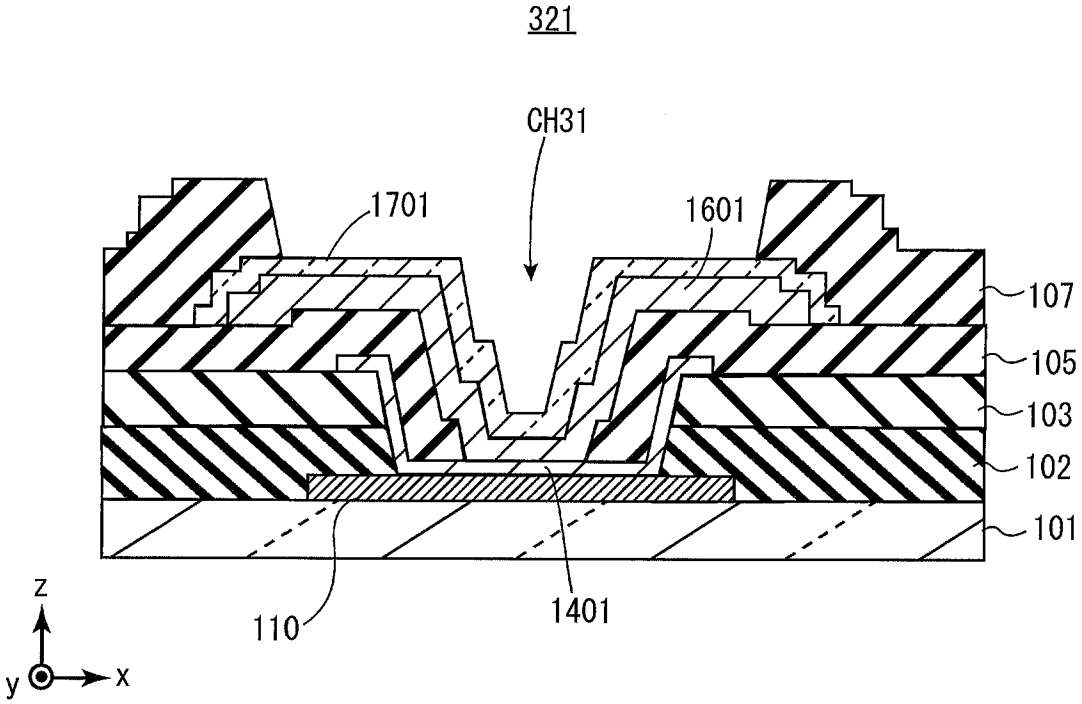
[図7]


311, 312, 313
CH31
1601
1701
107
105
103
102
101
110
105a
CHa
1401
z
y
x

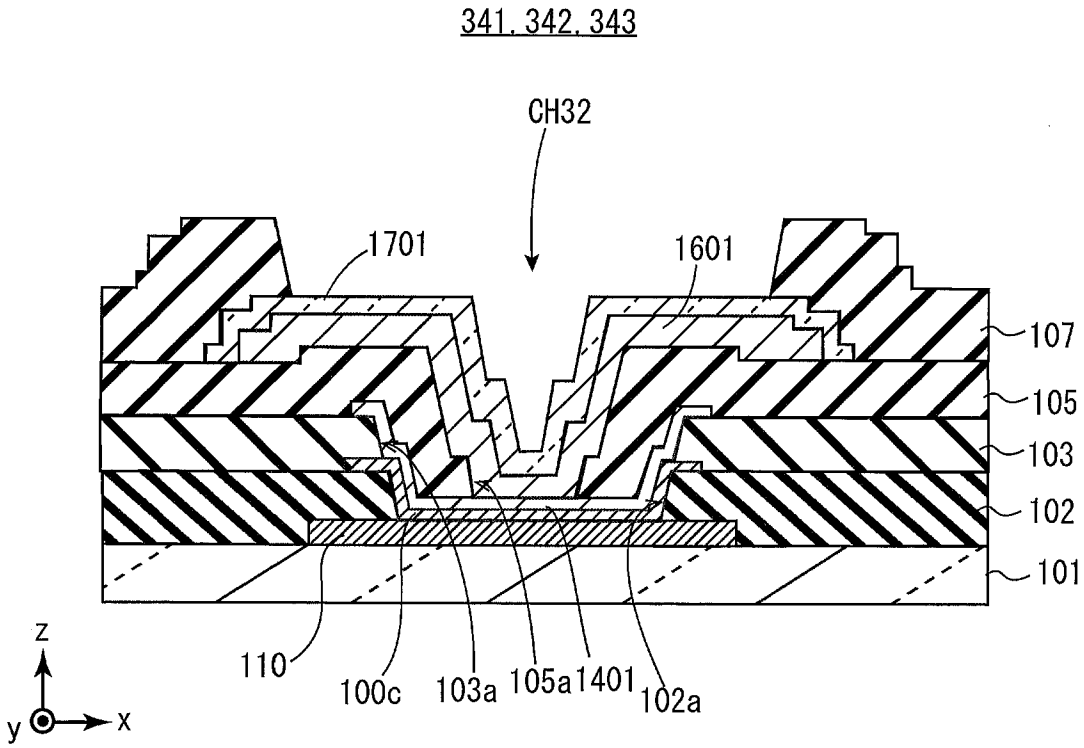
[図8]


40C
CH4c
160b
108
107
106
105
104
103
102
101
110b
z
y
x

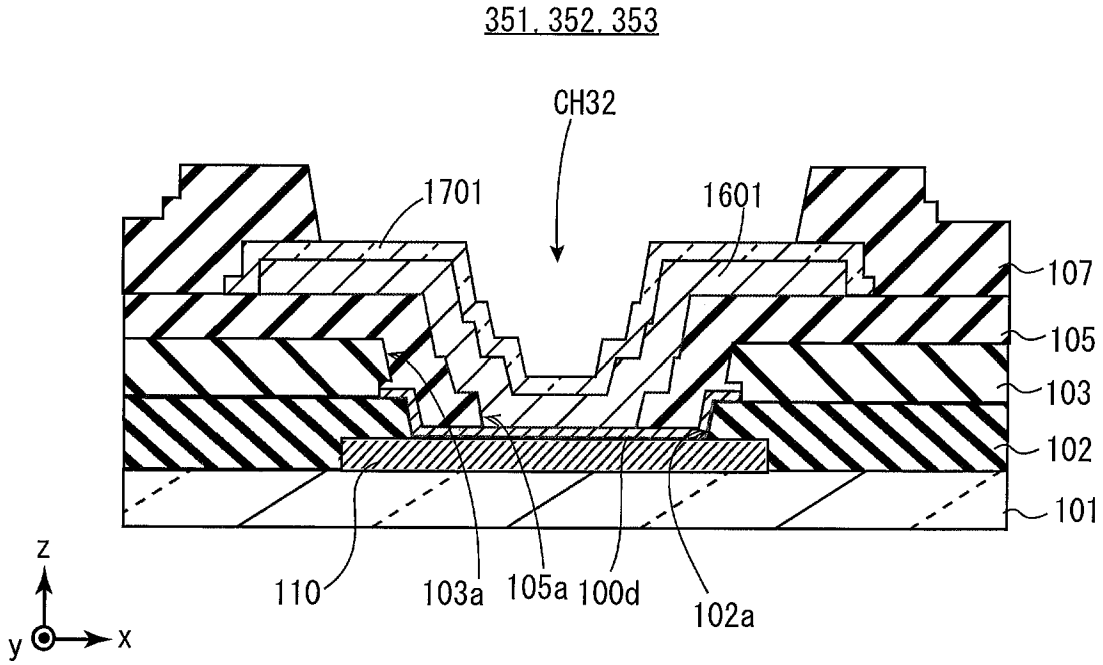
[図9]


321
CH31
1701
1601
107
105
103
102
101
110
1401
Z
y
x

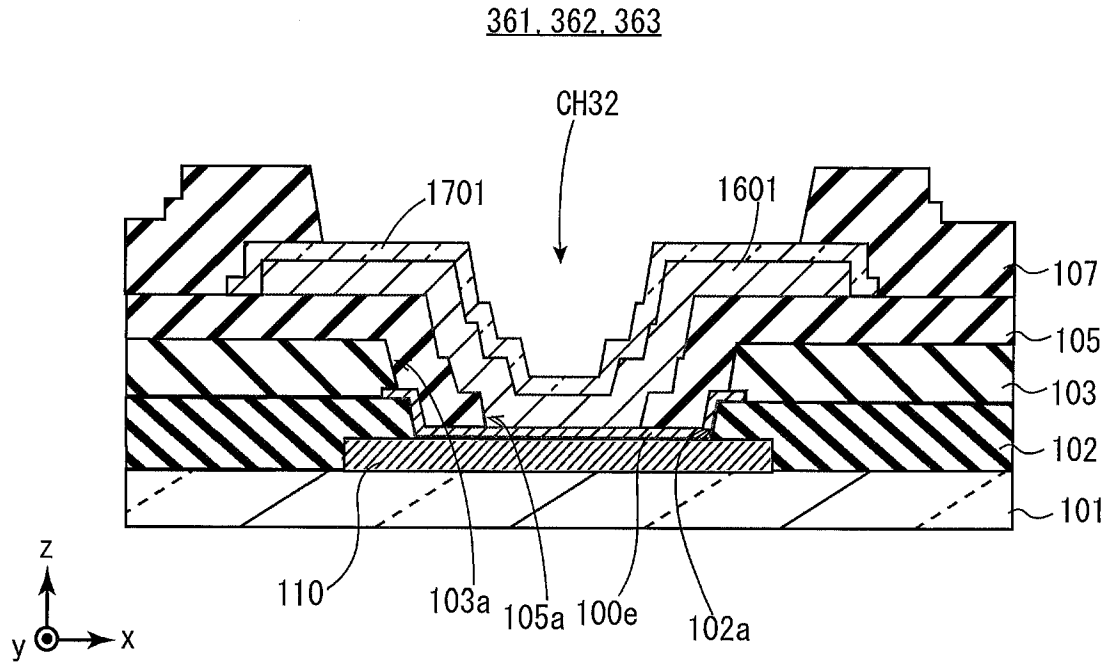
[図10]


341, 342, 343
CH32
1701
1601
107
105
103
102
101
110
100c
103a
105a
1401
102a
Z
y
x

[図11]

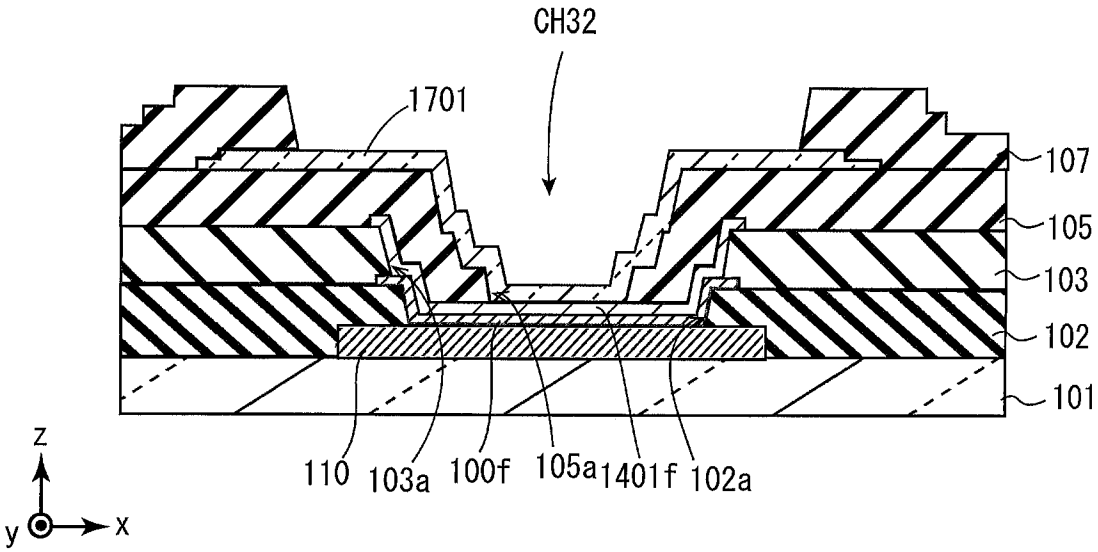

351, 352, 353
CH32
1701
1601
107
105
103
102
101
110
103a
105a
100d
102a
z
y
x

[図12]


361, 362, 363
CH32
1701
1601
107
105
103
102
101
110
103a
105a
100e
102a
z
y
x

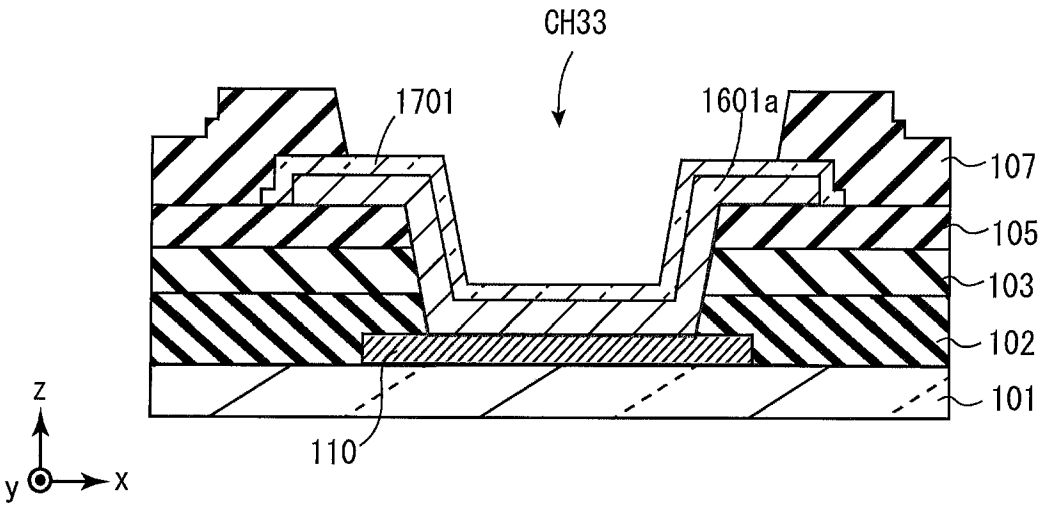
[図13]

371, 372, 373



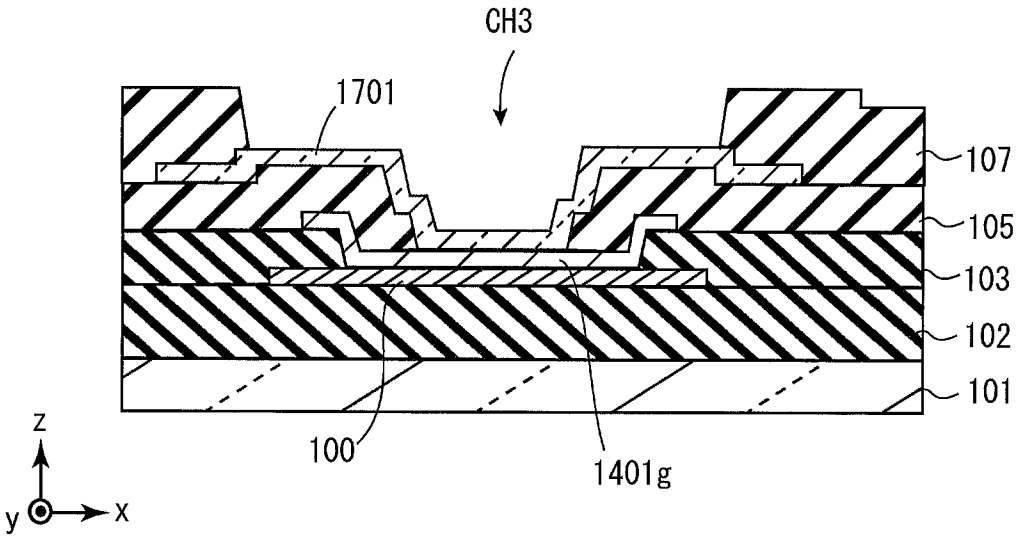
[図14]

381, 382, 383



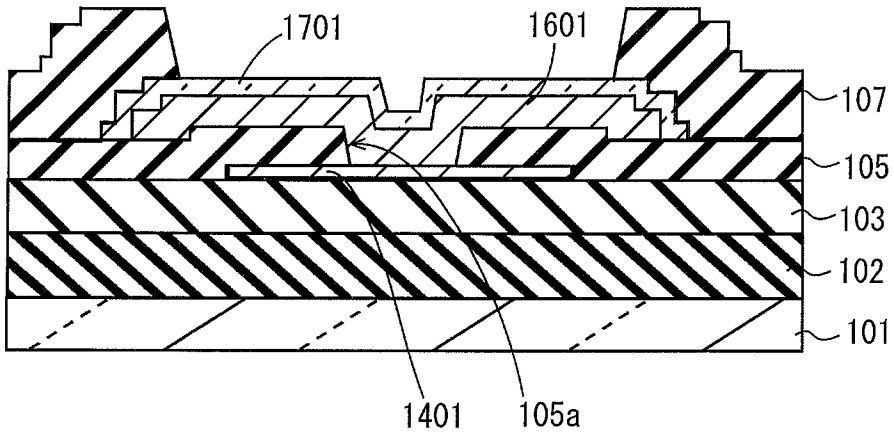
[図15]

391, 392, 393



[図16]

3101, 3102, 3103



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/004230

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/146(2006.01)i, G01T1/20(2006.01)i, H01L27/144(2006.01)i, H04N5/32(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/146, G01T1/20, H01L27/144, H04N5/32, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2010-245076 A (EPSON IMAGING DEVICES CORP.) 28 October 2010, paragraphs [0022]-[0040], [0044]-[0050], [0057]-[0067], fig. 1-4, 6-10 (Family: none)	1-5 6-11
Y	JP 2016-123087 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 July 2016, paragraphs [0133]-[0141], fig. 9(D) & US 2016/0172410 A1, paragraphs [0181]-[0189]	1-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
09 March 2018 (09.03.2018)	20 March 2018 (20.03.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/004230

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-86164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 May 2016, paragraphs [0082]-[0090], fig. 5(D) & US 2016/0118425 A1, paragraphs [0128]-[0136]	1-5
Y	JP 10-206229 A (GENERAL ELECTRIC CO.) 07 August 1998, paragraphs [0014]-[0023], fig. 1-7 & US 5859463 A, column 3, line 25 to column 5, line 60 & US 6093580 A & EP 851499 A2	1-5
Y	JP 2002-94040 A (CASIO COMPUTER CO., LTD.) 29 March 2002, paragraphs [0041]-[0044], fig. 8, 9 (Family: none)	1-5
Y	JP 2004-22635 A (CASIO COMPUTER CO., LTD.) 22 January 2004, paragraphs [0020]-[0033], fig. 2, 3 (Family: none)	1-5
A	JP 2009-231788 A (FUJIFILM CORP.) 08 October 2009, entire text, all drawings & US 2009/0218646 A1	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００４２３０

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, G01T1/20(2006.01)i, H01L27/144(2006.01)i, H04N5/32(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, G01T1/20, H01L27/144, H04N5/32, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2010-245076 A（エプソンイメージングデバイス株式会社）2010.10.28, ［００２２］－［００４０］,	1-5
A	［００４４］－［００５０］, ［００５７］－［００６７］, 図１－４，６－１０（ファミリーなし）	6-11
Y	JP 2016-123087 A（株式会社半導体エネルギー研究所）2016.07.07, ［０１３３］－［０１４１］, 図９（Ｄ）& US 2016/0172410 A1, [0181]-[0189]	1-5

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０９．０３．２０１８	２０．０３．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　３０３５
柴山　将隆
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-86164 A (株式会社半導体エネルギー研究所) 2016.05.19, ［００８２］－［００９０］, 図５（D） & US 2016/0118425 A1, [0128]-[0136]	1-5
Y	JP 10-206229 A (ゼネラル・エレクトリック・カンパニイ) 1998.08.07, ［００１４］－［００２３］, 図１－７ & US 5859463 A, column3 line25-column5 line60 & US 6093580 A & EP 851499 A2	1-5
Y	JP 2002-94040 A (カシオ計算機株式会社) 2002.03.29, ［００４１］－［００４４］, 図８，９（ファミリーなし）	1-5
Y	JP 2004-22635 A (カシオ計算機株式会社) 2004.01.22, ［００２０］－［００３３］, 図２，３（ファミリーなし）	1-5
A	JP 2009-231788 A (富士フイルム株式会社) 2009.10.08, 全文, 全図 & US 2009/0218646 A1	1-11