

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6686016号  
(P6686016)

(45) 発行日 令和2年4月22日(2020.4.22)

(24) 登録日 令和2年4月3日(2020.4.3)

(51) Int.Cl.

F 1

<b>H03F</b>	<b>3/72</b>	<b>(2006.01)</b>	H03F	3/72	
<b>H03F</b>	<b>3/68</b>	<b>(2006.01)</b>	H03F	3/68	220
<b>H03F</b>	<b>1/26</b>	<b>(2006.01)</b>	H03F	1/26	
<b>H03F</b>	<b>1/22</b>	<b>(2006.01)</b>	H03F	1/22	
<b>H04B</b>	<b>1/00</b>	<b>(2006.01)</b>	HO4B	1/00	253

請求項の数 15 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2017-525591 (P2017-525591)  
 (86) (22) 出願日 平成27年9月30日 (2015.9.30)  
 (65) 公表番号 特表2018-501695 (P2018-501695A)  
 (43) 公表日 平成30年1月18日 (2018.1.18)  
 (86) 國際出願番号 PCT/US2015/053286  
 (87) 國際公開番号 WO2016/076962  
 (87) 國際公開日 平成28年5月19日 (2016.5.19)  
 審査請求日 平成30年9月6日 (2018.9.6)  
 (31) 優先権主張番号 14/540,900  
 (32) 優先日 平成26年11月13日 (2014.11.13)  
 (33) 優先権主張国・地域又は機関  
米国(US)

(73) 特許権者 595020643  
 クアアルコム・インコーポレイテッド  
 QUALCOMM INCORPORATED  
 アメリカ合衆国、カリフォルニア州 92  
 121-1714、サン・ディエゴ、モア  
 ハウス・ドライブ 5775  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100158805  
 弁理士 井関 守三  
 (74) 代理人 100112807  
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】帯域内キャリアアグリゲーションのための受信機フロントエンドアーキテクチャ

## (57) 【特許請求の範囲】

## 【請求項 1】

入力信号を受信するように構成されたゲート端子、増幅された信号を出力するように構成されたドレイン端子、およびソースディジジェネレーションインダクタによって信号接地に接続されたソース端子を有する第1のトランジスタと、

前記第1のトランジスタの前記ドレイン端子に接続されたソース端子および第1の出力負荷に接続されたドレイン端子を有する第2のトランジスタと、

前記第1のトランジスタの前記ドレイン端子に接続されたゲート端子、第2の出力負荷に接続されたドレイン端子、および信号接地に接続されたソース端子を有する第3のトランジスタと

を備え、

前記第3のトランジスタの前記ドレイン端子は、スイッチを通じて前記第1の出力負荷に選択的に接続される、装置。

## 【請求項 2】

前記第1のトランジスタの前記ドレイン端子に接続されたソース端子および前記第1の出力負荷に接続されたドレイン端子を有する第4のトランジスタをさらに備え、前記第4のトランジスタは、前記第2のトランジスタと同一のまたは異なる量の電流を伝導するよう構成される、請求項1に記載の装置。

## 【請求項 3】

前記第4のトランジスタは、前記第1の出力負荷への電流を制御するために、制御信号

によって、選択的に使用可能にされる、または D C 結合のためにバイアスをかけられる、請求項 2 に記載の装置。

**【請求項 4】**

前記第 1 のトランジスタの前記ドレイン端子にそれぞれ接続された 1 つまたは複数のゲート端子、1 つまたは複数の出力負荷にそれぞれ接続された 1 つまたは複数のドレイン端子、および前記信号接地に接続された 1 つまたは複数のソース端子を有する 1 つまたは複数の追加のトランジスタをさらに備える、請求項 1 に記載の装置。

**【請求項 5】**

前記 1 つまたは複数のドレイン端子は、1 つまたは複数のスイッチを通じて前記 1 つまたは複数の出力負荷に選択的に接続される、請求項 4 に記載の装置。 10

**【請求項 6】**

前記 1 つまたは複数のスイッチは、1 つまたは複数の制御信号によって選択的に使用可能にされる、請求項 5 に記載の装置。

**【請求項 7】**

前記 1 つまたは複数の追加のトランジスタの前記ドレイン端子は、1 つまたは複数のスイッチを通じて前記第 1 の出力負荷に選択的に接続される、請求項 4 に記載の装置。

**【請求項 8】**

前記 1 つまたは複数のスイッチは、1 つまたは複数の制御信号によって選択的に使用可能にされる、請求項 7 に記載の装置。 20

**【請求項 9】**

前記第 2 のトランジスタは、制御信号によって、選択的に使用可能にされる、または D C 結合のためにバイアスをかけられる、請求項 1 に記載の装置。

**【請求項 10】**

前記第 3 のトランジスタの前記ドレイン端子は、スイッチを通じて前記第 2 の出力負荷に選択的に接続される、請求項 1 に記載の装置。

**【請求項 11】**

前記スイッチは、制御信号によって、選択的に使用可能にされる、または D C 結合のためにバイアスをかけられる、請求項 10 に記載の装置。

**【請求項 12】**

前記スイッチは、制御信号によって選択的に使用可能にされる、請求項 1 に記載の装置 30。  
。

**【請求項 13】**

前記第 2 および第 3 のトランジスタを選択的に使用可能にするために、または D C 結合のために前記第 2 および第 3 のトランジスタにバイアスをかけるために、制御信号を生成するコントローラをさらに備える、請求項 1 に記載の装置。

**【請求項 14】**

前記装置は、受信機中でキャリアアグリゲーション信号の構成可能な増幅およびルーティングを行うように構成される、請求項 1 に記載の装置。

**【請求項 15】**

前記装置は、集積回路上に形成される、請求項 1 に記載の装置。 40

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

[0001] 本開示は、概して、電子技術に関し、より具体的には、ワイヤレスデバイスにおける無線周波数信号の構成可能なルーティング (configurable routing) に関する。

**【背景技術】**

**【0002】**

[0002] ワイヤレス通信システムにおけるワイヤレスデバイス（例えば、セルラー電話またはスマートフォン）は、双方向通信のためにデータを送信し、受信し得る。例えば、ワイヤレスデバイスは、周波数分割複信（FDD）システムまたは時間分割複信システム 50

(TDD)において動作し得る。ワイヤレスデバイスは、データ送信のための送信機およびデータ受信のための受信機を含み得る。データ送信のために、送信機は、変調された無線周波数(RF)信号を取得するためにデータとともにRFキャリア信号を変調し得、適した出力電力レベルを有する増幅されたRF信号を取得するために変調されたRF信号を増幅し、フィルターし(filter)得、増幅されたRF信号を、アンテナを介して基地局に送信し得る。データ受信のために、受信機は、アンテナを介して受信RF信号(received RF signal)を取得し得、基地局によって送られたデータを回復するために、受信RF信号を増幅し、フィルターし、処理し得る。

#### 【0003】

[0003] ワイヤレスデバイスは、広い周波数範囲にわたって動作をサポートし得る。例えば、ワイヤレスデバイスは、デバイスが広い周波数範囲にわたって複数のダウンリンク(DL)キャリア信号を受信するフロントエンド(front end)を含むキャリアアグリゲーション(CA)通信システムにおいて動作し得る。フロントエンドは、受信キャリア信号(received carrier signals)を増幅し、復調のための適切な復調器にルーティングする(route)ように動作する。残念なことに、従来のフロントエンドは、各増幅器がディジェネレーションインダクタ(degeneration inductor)を有する複数の増幅器を利用し得る。これらインダクタの大きなサイズは、従来のフロントエンドがかなりの回路面積を利用する意味である。また、複数のキャリア信号を増幅するために使用される複数の増幅器が複数のチップに渡って分散させられる場合、負わされ得る回路ルーティングの損失および様々なゲイン(various gain and circuit routing losses)を補うことが難しくなり得る。10

#### 【0004】

[0004] それゆえ、キャリアアグリゲーション受信機において、受信信号の効率的な増幅およびルーティングを提供するフロントエンドアーキテクチャ(front end architecture)を有することが望ましい。フロントエンドは、従来のフロントエンドよりも回路面積の要件(circuit area requirements)を減らし、または最小にし、ゲインおよびルーティング損失に対する補償を提供し、優れた直線性(linearity)を持続するように動作するべきである。

#### 【図面の簡単な説明】

#### 【0005】

【図1】[0005] 図1は、ワイヤレスシステム内で通信するワイヤレスデバイスにおいて使用するフロントエンドアーキテクチャの例示的な実施形態を示す。30

【図2】[0006] 図2は、図1に示されるフロントエンドアーキテクチャの例示的な実施形態が動作し得る3つの例示的な帯域グループを示す。

【図3】[0007] 図3は、構成可能なRF信号の増幅およびルーティングを提供するフロントエンドアーキテクチャの例示的な実施形態を含む受信機を示す。

【図4】[0008] 図4は、図3に示されるフロントエンドアーキテクチャの詳細な例示的な実施形態を示す。

【図5】[0009] 図5は、図3に示されるフロントエンドアーキテクチャの詳細な代替の例示的な実施形態を示す。40

【図6】[0010] 図6は、図4に示されるフロントエンドアーキテクチャとともに使用するコントローラの例示的な実施形態を示す。

【図7】[0011] 図7は、受信機フロントエンドにおけるRF信号の増幅およびルーティングを提供するためにフロントエンドアーキテクチャの例示的な実施形態によって行われる例示的な動作を示す。

【図8】[0012] 図8は、図4および図5に示されるフロントエンドアーキテクチャとともに使用する様々な信号の増幅およびルーティング構成に対する制御信号の設定を示すテーブルの例示的な実施形態を示す。

【図9】[0013] 図9は、キャリアアグリゲーション受信機におけるRF信号の増幅およびルーティングのための装置の例示的な実施形態を示す。50

## 【詳細な説明】

## 【0006】

[0014] 下記で説明される詳細な説明は、本開示の例示的な設計の説明を意図しており、本開示が実施されることが可能である設計のみを提示することを意図したものではない。「例示的 (exemplary)」という用語は、本明細書において、「例、事例、または例示 (illustration) としての役割を果たすこと」を意味するように使用される。「例示的な」と本明細書で説明された任意の設計は、他の設計よりも好適または利点があると必ずしも解釈されるわけではない。詳細な説明は、本開示の例示的な設計の十分な理解を提供する目的で特定の詳細を含む。本明細書において説明される例示的な設計がこれらの特定の詳細なしに実施され得ることが、当業者にとって明らかとなるであろう。いくつかの事例において、よく知られている構造およびデバイスは、本明細書において提示されている例示的な設計の新規性を曖昧にすることを避けるためにブロック図形式で示される。10

## 【0007】

[0015] 複数の帯域グループをカバーする広い周波数領域にわたって複数のキャリア信号を復調するために、デバイスにおいて構成可能な R F 信号の增幅およびルーティングを提供する新規の受信機フロントエンドアーキテクチャが本明細書において開示される。受信機フロントエンドアーキテクチャは、ワイヤレス通信デバイスのような電子デバイスの様々なタイプに使用するためのスイート (suite) である。

## 【0008】

[0016] 図 1 は、ワイヤレスシステム 120 内で通信するワイヤレスデバイス 110 において使用するフロントエンドアーキテクチャ 112 の例示的な実施形態を示す。ワイヤレスシステム 120 は、ロングタームエボリューション (L T E (登録商標)) システム、符号分割多元接続 (C D M A) システム、モバイル通信のためのグローバルシステム (G S M (登録商標)) システム、ワイヤレスローカルエリアネットワーク (W L A N) システム、または何らかの他のワイヤレスシステムであり得る。C D M A システムは、広帯域 C D M A (W C D M A (登録商標))、C D M A 1 X、エボリューションデータ最適化 (E V D O)、時分割同期 C D M A (T D - S C D M A)、または C D M A の何らかの他のバージョンを実装し得る。簡単のために、図 1 は、2 つの基地局 130 および 132 と、1 つのシステムコントローラ 140 を含むワイヤレスシステム 120 を示す。一般に、ワイヤレスシステム 120 は、任意の数の基地局および任意のセットのネットワーク・エンティティ (network entities) を含み得る。20

## 【0009】

[0017] ワイヤレスデバイス 110 はまた、ユーザー機器 (U E)、移動局、端末、アクセス端末、加入者ユニット、局などと呼ばれ得る。ワイヤレスデバイス 110 は、セルラー電話、スマートフォン、タブレット、ワイヤレスモ뎀、携帯情報端末 (P D A)、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレス電話、ワイヤレスローカルループ (W L L) 局、B l u e t o o t h (登録商標) デバイス、等であり得る。ワイヤレスデバイス 110 は、ワイヤレスシステム 120 内のデバイスと通信し得る。ワイヤレスデバイス 110 はまた、ブロードキャスト局 (例えば、ブロードキャスト局 134) からの信号、または 1 つまたは複数の全地球的航法衛星システム (G N S S) における衛星 (例えば、衛星 150) からの信号を受信し得る。ワイヤレスデバイス 110 は、L T E、W C D M A、C D M A 1 X、E V D O、T D - S C D M A、G S M、8 0 2 . 1 1 のようなワイヤレス通信のための 1 つまたは複数の無線技術をサポートし得る。例示的な実施形態において、ワイヤレスデバイス 110 は、キャリアアグリゲーション通信システムにおいて複数のキャリアを受信するときに、R F キャリア信号の増幅およびルーティングを提供するために、受信機フロントエンド (F E) アーキテクチャ 112 を備える。F E 112 は、従来のフロントエンド設計よりもゲイン / ルーティング損失に対するより良い補償を提供し、および回路面積の要件を減らすために、より少ない増幅器ディジェネレーションインダクタ (amplifier degeneration inductors) を利用するように設計される。4050

## 【0010】

[0018] 図2は、図1に示されるF E 1 1 2の例示的な実施形態が動作し得る3つの例示的な帯域グループを示す。ワイヤレスデバイス110は、1000メガヘルツ(MHz)よりも低い周波数をカバーする低帯域(LB:low-band)、1000MHzから2300MHzの周波数をカバーする中帯域(MB:mid-band)、および/または2300MHzよりも高い周波数をカバーする高帯域(HB:high-band)において動作し得る。例えば、図2に示すように、低帯域は698から960MHzをカバーし得、中帯域は1475から2170MHzをカバーし得、および高帯域は2300から2690MHzおよび3400から3800MHzをカバーし得る。低帯域、中帯域、および高帯域は、帯域(または帯域グループ)の3つのグループを指し、各帯域グループは、多数の周波数帯域(または、単に「帯域」)を含んでいる。各帯域は、最大200MHzまでカバーし得る。LTEリリース11(LTE Release 11)は、35の帯域をサポートし、それらはLTE/UMTS帯域とも称され、3GPP(登録商標) TS 36.101に記載されている。

## 【0011】

[0019] 一般に、任意の数の帯域グループが定義され得る。各帯域グループは、周波数の任意の領域をカバーし、それは、図2に示される周波数領域のいずれかに一致し得、または一致し得ない。各帯域グループはまた、任意の数の帯域を含み得る。様々な例示的な実施形態において、F E 1 1 2は、デバイス110が動作し得る周波数帯域のいずれかにおいて、キャリア信号を受信し、増幅し、復調するために使用するのに適している。

## 【0012】

[0020] 図3は、構成可能なRF信号バスの増幅およびルーティングを提供するフロントエンドアーキテクチャの例示的な実施形態を含む受信機300を示す。例えば、受信機300は、キャリアアグリゲーション通信システムにおいて、受信キャリア信号を増幅し、ルーティングするために使用するのに適している。受信機300は、受信アンテナ302、整合回路304、信号増幅およびルーティング回路(SARC: Signal Amplification and Routing Circuit)306、コントローラ308、メイン負荷回路310、第1のキャリアアグリゲーション("CA1: first Carrier Aggregation")負荷回路312、1つまたは複数の追加のキャリアアグリゲーション負荷回路(示されず)、および第n番目のキャリアアグリゲーション("CA n")負荷回路314を含む。例示的な実施形態において、各負荷回路310~314は、別個の復調回路を含む。

## 【0013】

[0021] 動作の間、RF信号は、受信アンテナ302によって受信される。例えば、RF信号は、図2に例示される帯域および/または帯域グループのいずれかを含み得る。受信RF信号は、コントローラ308からSARC306に提供される制御信号316に従って、出力負荷310~314の任意の組み合わせに、SARC306によってルーティングされる。例示的な実施形態において、制御信号316は、第1の信号バスのルーティング構成のために第1の論理電圧レベルに設定され、制御信号316は、第2の信号バスのルーティング構成のために第2の論理電圧レベルに設定される。

## 【0014】

[0022] 図3に例示されていないが、コントローラ308は、ワイヤレスデバイス内のベースバンドプロセッサによって動的に(dynamically)プログラムされることが可能である。例えば、ベースバンドプロセッサは、コントローラ308の動作をプログラムするために、コントローラ308に構成パラメータ318を提供する。例示的な実施形態において、ワイヤレスデバイスに含まれるベースバンドプロセッサは、ワイヤレスデバイスが動作しているキャリアアグリゲーションのモードに依存して受信RF信号の信号ルーティングを変えるために、コントローラ308を使用するであろう。

## 【0015】

[0023] 図4は、図3に示されるフロントエンドアーキテクチャにおいて使用されるSARC306の詳細な例示的な実施形態を示す。SARC306は、インダクタ448を通じて入力信号406を受信するゲート端子404、信号接地(a signal ground)にさ

10

20

30

40

50

らに接続されたソースディジェネレーションインダクタ (a source degeneration inductor) 410 に接続されたソース端子 408、および入力信号の増幅バージョン (amplified version) を出力するドレイン端子 412 を有するトランジスタ (T1) を備えた第1の共通ソース増幅器 402 を含む。したがって、第1の共通ソース増幅器 402 は、トランジスタ T1 およびソースディジェネレーションインダクタ L1 を使用して実装される。

#### 【0016】

[0024] S A R C 306 はまた、ドレイン端子 412 に接続されたソース端子 416、およびメイン信号バスによってメイン負荷 420 に接続されたドレイン端子 418 を有するトランジスタ (T3) を備える第1のカスコード (cascode) 増幅器 414 を含む。第1のカスコード増幅器 414 はまた、スイッチ 424 によって電圧レベル (vbc) に選択的に接続されたゲート端子 422 を含む。したがって、第1のカスコード増幅器 414 は、トランジスタ T3 を使用して実装される。スイッチ 424 は、コントローラ 308 から制御信号 Sa を受信し、それはゲート端子 422 にゼロ電圧レベルまたは vbc 電圧レベルを選択的に入力するようにスイッチ 424 を制御する。例示的な実施形態において、vbc 電圧レベルは、典型的には 1.2 ボルトである。別の例示的な実施形態において、vbc 電圧レベルは、任意の所望のバイアス設定に、または DC 結合のために、トランジスタデバイスのいずれかにバイアスをかけるように設定される。

#### 【0017】

[0025] S A R C 306 は、ドレイン端子 412 に接続されたゲート端子 428、および CA1 信号バスによってスイッチ 432 のソース端子 458 に接続されたドレイン端子 430 を有するトランジスタ (T21) を備える第2の共通ソース増幅器 426 をさらに含む。スイッチ 432 は、トランジスタ (T51) を備え、第2の負荷 434 に接続されたドレイン端子 456 を有する。したがって、第2の共通ソース増幅器 426 は、トランジスタ T21 を使用して実装される。第2の共通ソース増幅器 426 は、ソースディジェネレーションインダクタ 410 を使用する第1の共通ソース増幅器 402 と違って、ソースディジェネレーションインダクタなしで構成されることに留意されたい。したがって、トランジスタ T21 のソース端子は、信号接地に直接接続される。スイッチ 432 は、スイッチ 462 によって電圧レベル vbc に選択的に接続されるゲート端子 460 を含む。

#### 【0018】

[0026] S A R C 306 はまた、第1のドレイン端子 412 に接続されたソース端子 438、およびトランジスタ T3 のドレイン端子 418 とスイッチ 442 のドレイン端子 450 とに接続されたドレイン端子 440 を有するトランジスタ (T3') を備える第2のカスコード増幅器 436 を含む。第2のカスコード増幅器 436 は、スイッチ 444 によって電圧レベル vbc に選択的に接続されるゲート端子 446 を有する。したがって、第2のカスコード増幅器 436 は、トランジスタ T3' を使用して実装される。例示的な実施形態において、第1のカスコード増幅器 414 は、第2のカスコード増幅器 436 よりも多くの電流を伝導するように構成され、それは所望の電流伝導特性 (current conduction characteristics) を実現するために、トランジスタ T3 および T3' を適切なサイズにする (appropriate sizing of) ことによって達成される。スイッチ 442 は、トランジスタ (T41) を備え、それは、CA1 信号バスに接続されて、それによってトランジスタ T21 のドレイン端子 430 およびトランジスタ T51 のソース端子 458 に接続されるソース端子 452 を含む。スイッチ 442 は、スイッチ 454 によって電圧レベル vbc に選択的に接続されるゲート端子 464 を含む。例示的な実施形態において、トランジスタ T3 は、キャリアアグリゲーションモードにおいて、トランジスタ T3' がトランジスタ T1 のドレインにおいて見られるインピーダンスを増加させるためにオフに切り換えられることができるように、複数のトランジスタ (T3 + T3') に分割される。これはトランジスタ T1 のドレインにおけるゲインを増加させ、それはトランジスタ (T2n) への入力である。これは、トランジスタ (T2n) からのノイズ寄与 (noise contribution) を減らすのに役立つ。

#### 【0019】

10

20

30

40

50

[0027] 受信 R F 信号を増幅し、メイン負荷 420 および C A 1 負荷 434 にルーティングすることに加えて、S A R C 306 は、受信 R F 信号を増幅し、任意の数の追加の C A 負荷にルーティングするように構成可能である。以下では、受信 R F 信号を増幅し、第 n 番目の C A 負荷にルーティングするための S A R C 306 の構成を説明する。同様の回路構造が、受信 R F 信号を増幅し、第 1 の C A 負荷と第 n 番目の C A 負荷との間の任意の数の C A 負荷にルーティングするために使用されることが可能であることに留意されたい。

### 【 0 0 2 0 】

[0028] S A R C 306 は、ドレイン端子 412 に接続されたゲート端子 468 、および C A<sub>n</sub> 信号バスによってスイッチ 474 のソース端子 472 に接続されたドレイン端子 470 を有するトランジスタ ( T<sub>2n</sub> ) を備える第 n 番目の共通ソース増幅器 466 を含む。スイッチ 474 は、トランジスタ ( T<sub>5n</sub> ) を備え、第 n 番目の負荷 478 に接続されたドレイン端子 476 を有する。したがって、第 n 番目の共通ソース増幅器 466 は、トランジスタ T<sub>2n</sub> を使用して実装される。第 n 番目の共通ソース増幅器 466 を含む、および最大第 n 番目の共通ソース増幅器 466 までの追加の共通ソース増幅器は、ディジエネレーションインダクタ 410 を使用する第 1 の共通ソース増幅器 402 と同じようなソースディジエネレーションインダクタを利用して留意されたい。スイッチ 474 は、スイッチ 482 によって電圧レベル ( v b c ) に選択的に接続されるゲート端子 480 を含む。

### 【 0 0 2 1 】

[0029] S A R C 306 は、C A<sub>n</sub> 信号バスに接続されて、それによってドレイン端子 470 およびソース端子 472 に接続するソース端子 486 を有するトランジスタ ( T<sub>4n</sub> ) を備えるスイッチ 484 を含む。スイッチ 484 のドレイン端子 488 は、ドレイン端子 418 に接続される。スイッチ 484 のゲート端子 490 は、スイッチ 492 によって電圧レベル v b c に選択的に接続される。

### 【 0 0 2 2 】

[0030] 動作の間、コントローラ 308 は、複数の制御信号を生成する。例示的な実施形態では、各制御信号は、論理低電圧レベル ( a logic-low voltage level ) または論理高電圧レベル ( a logic-high voltage level ) のどちらかである。コントローラ 308 から出力される制御信号 “ S a ” は、スイッチ 424 に結合され、トランジスタ T 3 のゲート端子 422 における電圧レベルを制御する。制御信号 “ S a ” が論理低電圧レベルであるとき、ゼロボルト信号がゲート端子 422 に入力され、第 1 のカスコード増幅器 414 はオフにされる。結果として、入力信号 406 は、トランジスタ T 3 を通じてドレイン端子 418 に結合されない。代替的に、制御信号 “ S a ” が論理高電圧レベルであるとき、v b c 電圧レベルがゲート端子 422 に入力され、第 1 のカスコード増幅器 414 はオンにされる。結果として、入力信号 406 は、トランジスタ T 3 を通じてドレイン端子 418 に結合される。ドレイン端子 418 における信号はそれから、メイン信号バスを通じてメイン負荷 420 に通る。メイン負荷 420 において、信号は、メインベースバンド ( B B ) 信号を生成するために、選択された局部発振器信号 ( a selected local oscillator signal ) に基づいて信号を復調する復調器に変圧器を通じて結合される。

### 【 0 0 2 3 】

[0031] コントローラ 308 で生成される制御信号 “ S b ” は、スイッチ 444 を制御するために結合され、それはトランジスタ T 3' のゲート端子 446 における電圧レベルを制御する。制御信号 “ S b ” が論理低電圧レベルであるとき、スイッチ 444 は、ゲート端子 446 にゼロボルトを入力し、第 2 のカスコード増幅器 436 は、端子 412 における増幅された入力信号がトランジスタ T 3' のドレイン端子 440 に結合されないようにオフにされる。代替的に、制御信号 “ S b ” が論理高電圧レベルであるとき、スイッチ 444 は、第 2 のカスコード増幅器 436 がオンにされるように、ゲート端子 446 に v b c ボルトを入力する。結果として、端子 412 における増幅された入力信号は、トランジスタ T 3' のドレイン端子 440 およびメイン信号バスに結合される。

10

20

30

40

50

**【 0 0 2 4 】**

[0032] 制御信号“S(n)”は、コントローラ308で生成される。信号S1は、CA1信号パスに関連するスイッチ454を制御するために結合される。制御信号S(n)はまた、追加の信号パスに関連する追加の対応するスイッチを制御するために結合される。例えば、信号S<sub>n</sub>は、CA<sub>n</sub>信号パスに関連するスイッチ492を制御するために結合される。したがって、制御信号S(n)は、CA信号パスにおいて、対応するトランジスタT4(n)のゲート端子における電圧レベルを制御する。例えば、制御信号“S1”が論理低電圧レベルであるとき、スイッチ442はオフにされ（すなわち、開回路(open circuit)）、CA1信号パスとメイン信号バスとの間に接続がない。代替的に、制御信号“S1”が論理高電圧レベルであるとき、スイッチ442はオンにされ（すなわち、閉じられ）、CA1信号バスとメイン信号バスとの間の接続が確立される。S(n)制御信号のこの動作は、利用され得る任意の追加のCA信号バスに対して同じである。例えば、制御信号S<sub>n</sub>が論理高電圧レベルである場合、スイッチ484はオフにされ（すなわち、閉じられ）、CA<sub>n</sub>信号バスとメイン信号バスとの間の接続が確立される。10

**【 0 0 2 5 】**

[0033] 制御信号“SE(n)”は、コントローラ308によって生成される。制御信号SE(n)は、CA信号バスをそれらの関連する出力負荷に接続するスイッチのゲート端子への入力電圧を決定するようにスイッチを制御するために結合される。例えば、制御信号SE1は、スイッチ432のゲート端子460に入力される電圧レベルを決定するようにスイッチ462を制御するために結合される。制御信号“SE1”が論理低電圧レベルであるとき、ゼロボルトが、スイッチ432をオフにするために（例えば、開回路）、ゲート端子460に入力され、CA1信号バスと出力負荷434との間のバスが開放される。代替的に、制御信号“SE1”が論理高電圧レベルであるとき、vbcボルトが、スイッチ432のゲート端子460に入力され（例えば、閉回路(closed circuit)）、CA1信号バスと出力負荷434との間のバスが開放される。制御信号SE(n)は、同様の方法において、任意の追加のCA信号バスにおける他の対応するスイッチを制御するように動作する。20

**【 0 0 2 6 】**第1の動作モード - メイン負荷のみ

[0034] キャリアアグリゲーションを行うときに、入力信号406をメイン出力負荷420のみに結合することは有利であり得る。入力信号406をメイン負荷420のみに結合するために、第1のカスコード増幅器414および第2のカスコード増幅器436の1つまたは両方が、SaおよびSb制御信号の動作によってオンにされる。さらに、制御信号SE(n)は、関連する(T5(n))スイッチのゲート端子にゼロボルトが入力されるように設定され、それによって他のCA負荷への入力信号406の結合を防止するために、それらのスイッチを開放する。第1のカスコード増幅器414および第2のカスコード増幅器436の1つまたは他方をオンにすることは、選択されたゲインレベルを設定するであろう。第1のカスコード増幅器414および第2のカスコード増幅器436の両方をオンにすることは、入力信号406がメイン負荷420に結合される前に入力信号406に適用されるゲインを最大にするであろう。3040

**【 0 0 2 7 】**第2の動作モード - メイン負荷および1つまたは複数のCA負荷

[0035] キャリアアグリゲーションを行うときに、入力信号406をメイン出力負荷420および1つまたは複数のCA負荷に結合することは有利であり得る。例えば、メイン負荷は、第1のキャリア信号を復調するように動作し、1つまたは複数の追加のCA負荷は、1つまたは複数の追加のキャリア信号を復調するように動作する。入力信号406をメイン負荷420に結合するために、第1のカスコード増幅器414および第2のカスコード増幅器436の少なくとも1つが、SaおよびSb制御信号の動作によってオンにされる。入力信号を1つまたは複数のCA負荷に結合するために、制御信号SE(n)は、vbcボルトが関連する(T5(n))スイッチのゲート端子に入力されるように設定さ50

れ、それによって、関連する C A 負荷への入力信号 4 0 6 の結合を可能にするために、それらのスイッチを閉じる。第 1 のカスコード増幅器 4 1 4 および第 2 のカスコード増幅器 4 3 6 の両方をオンにすることは、入力信号 4 0 6 がメイン負荷 4 2 0 に結合される前に入力信号 4 0 6 に適用されるゲインを最大にするであろう。

#### 【 0 0 2 8 】

##### 第 3 の動作モード - メイン負荷に接続された第 1 の負荷

[0036] キャリアアグリゲーションを行うときに、第 1 の出力負荷 4 3 4 をメイン出力負荷 4 2 0 に結合することは有利であり得る。第 1 の出力負荷 4 3 4 をメイン出力負荷 4 2 0 に結合するために、制御信号 S 1 および S E 1 は、第 1 のスイッチ 4 3 2 および第 2 のスイッチ 4 4 2 の両方が閉じられるように設定される。第 1 のスイッチ 4 3 2 または第 2 のスイッチ 4 4 2 のどちらか一方が開放されるイベントにおいて、第 1 の出力負荷 4 3 4 は、メイン出力負荷 4 2 0 から接続が切られるであろう。第 1 の出力負荷 4 3 4 をメイン出力負荷 4 2 0 に結合するとき、入力信号をメイン出力負荷 4 2 0 から切り離すことは有利であり得る。メイン出力負荷 4 2 0 への入力信号の結合を防ぐために、第 1 のカスコード増幅器 4 1 4 および第 2 のカスコード増幅器 4 3 6 は、オフにされる。10

#### 【 0 0 2 9 】

[0037] 図 4 は、どのようにスイッチ 4 7 4 およびスイッチ 4 8 4 が、第 n 番目の出力負荷 4 7 8 をメイン出力負荷 4 2 0 に結合するように、同様な方法で動作されることが可能であるかを、さらに例示する。したがって、図 4 に例示される例示的な実施形態を利用して、S A R C 3 0 6 は、信号を増幅し、N 個の出力負荷における間でルーティングすることが可能である。信号の増幅およびルーティングは、上記で説明した各パスのためにコントローラ 3 0 8 によってダイナミックに制御される。20

#### 【 0 0 3 0 】

[0038] R F 入力信号を C A 負荷にルーティングするとき、トランジスタ T 1 の出力は、キャリア内アグリゲーションモード ( intra-carrier aggregation mode ) のために C A ( n ) 出力に結合される電流信号を生成するために、トランジスタ T 2 ( n ) によって使用される。トランジスタ T 1 のドレインにおける電圧ゲインは、共通ソース L N A トポロジー ( a common source LNA topology ) のために、“  $Q_{m a t c h} \times ( g_m_{T1} / g_m_{T3} )$  ” とされるであろう。共通ソース増幅器のために、入力ネットワーク Q は、リアクティブインピーダンス ( reactive impedance ) と抵抗性インピーダンス ( resistive impedance ) の比によって定義される。30

#### 【 0 0 3 1 】

[0039] 図 4 に示されている S A R C 3 0 6 は、各キャリアアグリゲーション ( C A ) パスに良好な直線性を提供する。各キャリアアグリゲーションパスに対する直線性は、メインパスの直線性に近い ( close to )。各キャリアアグリゲーションパスの直線性は、トランジスタ T 3 の電流および電圧ゲインと、トランジスタ T 2 の電流および電圧ゲインとによって設定される。第 1 のカスコード増幅器は、動作の間のノイズ寄与を減らし、直線性を改善するように、キャリアアグリゲーションモードで動作するか、またはノンキャリアアグリゲーションモード ( non-carrier aggregation mode ) で動作するかどうかに依存して調整される。図 4 に示されるフロントエンドアーキテクチャは、1 つまたは複数の集積回路上に実装されることが可能であることに留意されたい。例えば、例示的な実施形態において、回路の境界 ( circuit boundary ) 4 9 4 の一方の側の部品 ( components ) は、第 1 の集積回路で実装される ( implemented in ) ことが可能であり、回路の境界 4 9 4 の反対側の部品は、第 2 の集積回路で実装されることが可能である。したがって、例示的な実施形態は、任意の数の集積回路で実装されることが可能である。40

#### 【 0 0 3 2 】

[0040] 図 5 は、S A R C 5 0 2 を備える図 3 に示されるフロントエンドアーキテクチャの詳細な代替の例示的な実施形態を示す。S A R C 5 0 2 は、図 4 に示される S A R C 3 0 6 と同一の回路部品を含んでいるが、異なる構成に接続される。S A R C 5 0 2 において、第 3 の共通ソース増幅器 4 6 6 のゲート端子 4 6 8 は、信号線 5 0 4 によって、端

子 5 0 6 において第 1 の C A 1 パスに結合される。したがって、第 3 の共通ソース増幅器 4 6 6 は、第 2 の共通ソース増幅器 4 2 6 の出力からその入力を受信する。さらに拡張して、別の C A 信号バスに関連するその次の共通ソース増幅器は、端子 5 0 8 において C A 2 信号バスに接続されることが可能である。この方法で共通ソース増幅器の出力をつなぐこと (chaining) によって、任意の数の C A 信号バスは、生成されることが可能である。第 2 の共通ソース増幅器 4 2 6 および第 3 の共通ソース増幅器 4 6 6 はまた、ディジタルネーションインダクタなしで構成され、それは S A R C 5 0 2 の回路面積の要件を減らすことに留意されたい。

#### 【 0 0 3 3 】

[0041] 図 6 は、図 4 に示されるフロントエンドアーキテクチャとともに使用するコントローラ 6 0 0 の例示的な実施形態を示す。例示的な実施形態において、コントローラ 6 0 0 は、図 4 または図 5 に示されるコントローラ 3 0 8 として使用するのに適している。コントローラ 6 0 0 は、プロセッサ 6 0 2、メモリ 6 0 4、メイン制御信号発生器 6 0 6 、および第 2 次の制御信号発生器 (secondary control signal generator) 6 0 8 を含み、全てがバス 6 1 0 を通して通信するように結合する。10

#### 【 0 0 3 4 】

[0042] プロセッサ 6 0 2 は、C P U、プロセッサ、ゲートアレイ、ハードウェアロジック、ディスクリート回路、メモリ要素、および / またはソフトウェアを実行するハードウェアのうちの少なくとも 1 つを備える。プロセッサ 6 0 2 は、バス 6 1 0 を使用して、コントローラ 6 0 0 の他の機能的な要素を制御するように動作する。プロセッサ 6 0 2 はまた、通信線 6 1 2 を使用して、ワイヤレスデバイスにおける他のエンティティと通信するように構成される。例えば、プロセッサ 6 0 2 は、通信線 6 1 2 を通して、命令、制御情報、構成情報、データ、測定値、または他の情報を受信し得る。20

#### 【 0 0 3 5 】

[0043] メモリ 6 0 4 は、コントローラ 6 0 0 の動作に関連する命令および / またはデータを記憶し、引き出し、および維持することができる任意の適当なメモリまたは記憶デバイスを備える。例示的な実施形態において、メモリ 6 0 4 は、本明細書で説明されるように、信号の増幅およびルーティングの機能を行うためにプロセッサ 6 0 2 によって実行されることが可能であるアルゴリズム命令を記憶する。

#### 【 0 0 3 6 】

[0044] メイン制御信号発生器 6 0 6 は、増幅器、バッファ、レジスタ、ゲート、アナログ / デジタル変換器、デジタル / アナログ変換器、またはメイン制御信号 S a および S b を生成するように動作するソフトウェアを実行する任意の他の適当なハードウェアまたはディスクリート部品および / またはハードウェアのようなハードウェアを備える。例示的な実施形態において、プロセッサ 6 0 2 は、信号線 6 1 2 を通して受信される構成パラメータに基づいて、S A R C 3 0 6 の構成を決定するように動作する。プロセッサはそれから、所望の構成を取得するために、S a および S b 制御信号を生成し出力するようにバス 6 1 0 を使用してメイン制御信号発生器 6 0 6 を制御する。例示的な実施形態において、S a および S b 制御信号は、それらが結合されたトランジスタデバイスのいずれかを、使用可能にし (enable) 、使用不可能にし (disable) 、またはバイアスをかけるように設定される。例えば、S a および S b 制御信号は、任意の所望のバイアス設定に、または D C 結合のために、トランジスタデバイスにバイアスをかけるように動作し得る。3040

#### 【 0 0 3 7 】

[0045] 第 2 次の制御信号発生器 6 0 8 は、増幅器、バッファ、レジスタ、ゲート、アナログ / デジタル変換器、デジタル / アナログ変換器、または第 2 次の制御信号 S ( n ) および S E ( n ) を生成するように動作するソフトウェアを実行する任意の他の適当なハードウェアまたはディスクリート部品および / またはハードウェアのようなハードウェアを備える。例示的な実施形態において、プロセッサ 6 0 2 は、信号線 6 1 2 を通して受信された構成パラメータに基づいて、S A R C 3 0 6 の構成を決定するように動作する。プロセッサはそれから、所望の構成を取得するために、S ( n ) および S E ( n ) 制御線を50

生成するように第 2 次の制御信号発生器 608 を制御する。例示的な実施形態において、S(n) および S E(n) 制御信号は、それらが結合されたトランジスタデバイスのいずれかを使用可能にし、使用不可能にし、またはバイアスをかけるように設定される。例えば、S(n) および S E(n) 制御信号は、任意の所望のバイアス設定に、または D C 結合のために、トランジスタデバイスにバイアスをかけるように動作し得る。

#### 【0038】

[0046] 例示的な実施形態において、プロセッサ 602 は、所望の信号ルーティング構成を取得するために、制御信号を生成するようにメイン制御信号発生器 606 および第 2 次の制御信号発生器 608 を制御するためにメモリ 604 に記憶されたコードを実行する。10

#### 【0039】

[0047] コントローラ 600 は、単に 1 つの実装を表しており、他の実装が可能であることは留意されたい。例えば、コントローラ 600 は、プロセッサまたはメモリデバイスに対する必要性を取り除くディスクリートロジックで実装され得る。別の実装において、コントローラ 600 の機能および / または実装は、ワイヤレスデバイスにおけるベースバンドプロセッサまたは他のエンティティ内に組み込まれ、または統合される。

#### 【0040】

[0048] 図 7 は、受信機フロントエンドにおける R F 信号の増幅およびルーティングのための例示的な動作 700 を示す。例えば、例示的な実施形態において、図 4 に示される S A R C 306 およびコントローラ 308 は、受信機フロントエンドにおける所望の R F 信号の増幅およびルーティングを取得するために動作 700 を行うように構成される。例示的な実施形態において、コントローラ 308 は、コントローラ 600 であり、プロセッサ 602 は、以下に説明する動作を行うように S A R C 306 を制御するようにコントローラ 600 の部品を制御するためにメモリ 604 に記憶された命令を実行する。20

#### 【0041】

[0049] ブロック 702 において、構成パラメータが受信される。例えば、構成パラメータは、ワイヤレスデバイスにおけるエンティティから通信線 612 を通して、プロセッサ 602 によって受信される。構成パラメータは、受信機において、どのように受信 R F 信号が増幅され、メインおよびキャリアアグリゲーション負荷にルーティングされるかを説明する。例示的な実施形態において、プロセッサ 602 は、メモリ 604 に構成パラメータを記憶するように動作する。30

#### 【0042】

[0050] ブロック 704 において、R F 信号が受信される。例えば、R F 信号は、アンテナ 302 によって受信され、図 4 に示される入力線 406 上を流れる前に整合回路 304 を通る。

#### 【0043】

[0051] ブロック 706 において、受信 R F 信号が増幅される。例示的な実施形態において、受信 R F 信号は、第 1 の共通ソース増幅器 402 に入力される。第 1 の共通ソース増幅器 402 は、ディジジェネレーションインダクタ 410 を含む。受信 R F 信号の増幅バージョンは、ドレイン端子 412 において現れる。したがって、受信 R F 信号は、受信 R F 信号の増幅バージョンを生成するために、ソースディジジェネレーションを有する共通ソース増幅器によって増幅される。40

#### 【0044】

[0052] ブロック 708 において、受信 R F 信号の増幅バージョンは、構成パラメータに基づいて、メイン負荷に選択的に接続される。例示的な実施形態において、プロセッサ 602 は、所望の構成を取得するために必要とされる制御信号の設定を決定するために構成パラメータを処理する。プロセッサ 602 は、バス 610 を使用して、制御信号の設定をメイン制御信号発生器 606 に通信する。メイン制御信号発生器 606 は、所望の信号の増幅、および構成パラメータによって確認されたメイン負荷へのルーティングを取得するために、S a および S b 制御信号を生成し、出力するように動作する。例えば、S a 制50

御信号が論理ハイ(logic high)(1)であり、S b制御信号が論理ロー(logic low)(0)である場合、増幅器414は、メイン負荷に入力される端子418において増幅された出力信号を生成するために、端子412における信号を増幅するためのカスコード増幅を提供する。様々な例示的実施形態において、メイン制御信号発生器606は、増幅されたRF信号をメイン負荷に選択的に接続するために、図8に示されるテーブル800に提供されているような制御信号SaおよびSbを生成する。

#### 【0045】

[0053] ブロック710において、受信RF信号の増幅バージョンは、構成パラメータに基づいて、1つまたは複数のCA負荷に選択的に接続される。例示的な実施形態において、プロセッサ602は、所望の構成を取得するために必要とされる制御信号の設定を決定するために構成パラメータを処理する。プロセッサ602は、バス610を使用して、制御信号の設定を第2次の制御信号発生器608に通信する。第2次の制御信号発生器608は、所望の信号の増幅、および構成パラメータによって確認されたような1つまたは複数のCA負荷へのルーティングを取得するために、S(n)およびSE(n)制御信号を生成し、出力するように動作する。例えば、SE1制御信号が論理ハイ(1)である場合、スイッチ432は、端子430における増幅された信号を第1のCA負荷434に入力するために使用可能とされる。結果として、受信RF信号は、所望の信号の増幅およびルーティング構成を取得するために、SE(n)制御信号に基づいて、増幅され、選択されたCA負荷にルーティングされる。受信RF信号を増幅し、選択されたCA負荷にルーティングするとき、追加の共通ソース増幅器(T2(n))(例えば、増幅器426乃至466)は、ソースディジェネレーションインダクタを含まず(または、なしで構成され)、それは従来のシステムと比較したときに低減された回路面積をもたらす。

#### 【0046】

[0054] よって、SARC306およびコントローラ308は、上記で説明された動作を行うように構成される。動作700は例示であり、動作700に対するマイナーチェンジ、変更、再配列、および他の変化は、例示的な実施形態の範囲内にあることに留意されたい。

#### 【0047】

[0055] 図8は、図4に示されるフロントエンドアーキテクチャとともに使用する様々な増幅およびルーティング構成に対する制御信号の設定を示すテーブル800の例示的な実施形態を示す。テーブル800は、構成情報802、制御信号Saの設定804、制御信号Sbの設定806、制御信号S1の設定808、および制御信号SE1の設定810を含む。明快のために、テーブル800は、S1およびSE1信号のみに対する信号の設定を示す。同様の設定が、追加の負荷を入力信号またはメイン負荷に接続するために、制御信号S(n)およびSE(n)に対して使用されることが可能であることに留意されたい。様々な例示的な実施形態において、コントローラ600は、選択された構成を取得するために示される制御信号を生成し、出力するように動作する。

#### 【0048】

[0056] メイン負荷にのみ入力信号をルーティングする1つの動作モードにおいて、制御信号SAは論理高電圧に設定され、制御信号SBは論理高電圧に設定され、制御信号S1は論理低電圧に設定され、制御信号SE1は論理低電圧に設定される。

#### 【0049】

[0057] 入力信号をメイン負荷および第1の負荷(CA1)の両方にルーティングする別の動作モードにおいて、制御信号SAは論理低電圧に設定され、制御信号SBは論理低電圧に設定され、制御信号S1は論理低電圧に設定され、制御信号SE1は論理高電圧に設定される。

#### 【0050】

[0058] 第1の負荷信号をメイン負荷にルーティングするさらに別の動作モードにおいて、制御信号SAは論理低電圧に設定され、制御信号SBは論理低電圧に設定され、制御信号S1は論理高電圧に設定され、制御信号SE1は論理低電圧に設定される。

10

20

30

40

50

## 【0051】

[0059] 図9は、キャリアアグリゲーション受信機におけるRF信号の増幅およびルーティングのための装置900の例示的な実施形態を示す。例示的な実施形態において、装置900は、図4に示されるSARC306として使用するのに適している。装置900は、どのように信号が増幅され、1つまたは複数の負荷にルーティングされるかを制御する制御信号を生成する第1の手段902を含み、その信号はソースディジジェネレーションインダクタによって信号接地に接続されたソース端子を有する第1のトランジスタから出力され、それは例示的な実施形態において、図6に示されるコントローラ600および図4に示される増幅器402を備える。装置900はまた、制御信号に基づいて、信号を第1の信号バスを通じて第1の負荷に選択的に接続する第2の手段904を備え、それは例示的な実施形態において、図4に示されるトランジスタT3およびT3'を備える。装置900はまた、制御信号に基づいて、信号を第2の負荷に選択的に接続する第3の手段906を備え、前記手段は、信号を受信して、信号接地に接続されたソース端子を有するトランジスタを含み、それは例示的な実施形態において、トランジスタT2<sub>1</sub>を備える。10

## 【0052】

[0060] 本明細書で説明される信号増幅器およびルーティング回路(SARC: Signal Amplifier and Routing Circuit)の例示的な実施形態は、IC、アナログIC、RFIC、混合信号IC、ASIC、プリント回路基板(PCB)、電子デバイスなど上に実装され得る。SARCはまた、相補型金属酸化膜半導体(CMOS: complementary metal oxide semiconductor)、NチャネルMOS(NMOS)、PチャネルMOS(PMOS)、バイポーラ接合トランジスタ(BJT:bipolar junction transistor)、バイポーラCMOS(BiCMOS)、シリコンゲルマニウム(SiGe)、ガリウムヒ素(GaAs)、ヘテロ接合バイポーラトランジスタ(HBTs:heterojunction bipolar transistors)、高電子移動度トランジスタ(HEMTs:high electron mobility transistors)、シリコンオンインシレータ(SOI:silicon-on-insulator)などの様々なICプロセス技術を用いて組み立てて製造され得る。20

## 【0053】

[0061] 本明細書で説明される信号増幅器およびルーティング回路(SARC)を実装する装置は、スタンドアローン(stand-alone)デバイスであり得、またはより大きなデバイスの一部であり得る。デバイスは、(i)スタンドアローンIC、(ii)データおよび/または命令を記憶するためのメモリICを含み得る1つまたは複数のICのセット、(iii)RF受信機(RFR:RF receiver)またはRF送信機/受信機(RTR:RF transmitter/receiver)のようなRFIC、(iv)移動局モデム(MSM)のようなASIC、(v)他のデバイス内に埋め込まれ得るモジュール、(vi)受信機、セルラー電話、ワイヤレスデバイス、ハンドセット、または移動ユニット、(vii)などであり得る。30

## 【0054】

[0062] 1つまたは複数の例示的な設計において、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組み合わせで実装され得る。ソフトウェアで実装される場合、機能は、コンピュータ可読媒体上における1つまたは複数の命令またはコードとして記憶され、または送信され得る。コンピュータ可読媒体は、コンピュータ記憶媒体、および1つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体の両方を含む。記憶媒体は、コンピュータによってアクセスされることが可能である任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM(登録商標)、CD-ROMあるいは他の光ディスク記憶装置、磁気ディスク記憶装置あるいは他の磁気記憶デバイス、または命令もしくはデータ構造の形で所望のプログラムコードを搬送または記憶するために使用されることが可能であり、コンピュータによってアクセスされることが可能である任意の他の媒体を備えることが可能である。また、任意の接続は、厳密にはコンピュータ可読媒体と称される。例えば、ソフトウェアがウェブサイト、サーバ、ま4050

たは他の遠隔ソースから、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線（D S L）、または赤外線、無線、およびマイクロ波のようなワイヤレス技法を使用して送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、D S L、または赤外線、無線、およびマイクロ波のようなワイヤレス技法は、媒体の定義に含まれている。ディスク（disk）およびディスク（disc）は、本明細書で使用される場合、コンパクトディスク（C D）（disc）、レーザーディスク（登録商標）（disc）、光ディスク（disc）、デジタル多用途ディスク（D V D）（disc）、フロッピー（登録商標）ディスク（disk）およびB l u - r a y（登録商標）ディスク（disc）を含み、ここで、ディスク（disk）は通常、磁気的にデータを再生し、その一方でディスク（disc）は、レーザーを用いて光学的にデータを再生する。上記の組み合わせはまた、コンピュータ可読媒体の範囲内に含まれるべきである。10

#### 【 0 0 5 5 】

[0063] 本開示の先の説明は、当業者が本開示を製造または使用することを可能にするために提供される。本開示に対する種々の変更は、当業者にとって容易に明らかであり、ここで定義された一般的な原則は、本開示の範囲から逸脱することなく他の変形に適用され得る。したがって、本開示は、本明細書において説明された例および設計に限定されるよう意図されず、本明細書で開示された原理および新規の特徴と一致する最も幅広い範囲が付与されるべきである。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

#### [ C 1 ]

入力信号を受信するように構成されたゲート端子、増幅された信号を出力するように構成されたドレイン端子、およびソースディジェネレーションインダクタによって信号接地に接続されたソース端子を有する第1のトランジスタと、

前記第1のトランジスタの前記ドレイン端子に接続されたソース端子および第1の負荷に接続されたドレイン端子を有する第2のトランジスタと、

前記第1のトランジスタの前記ドレイン端子に接続されたゲート端子、第2の負荷に接続されたドレイン端子、および信号接地に接続されたソース端子を有する第3のトランジスタと

を備える、装置。

#### [ C 2 ]

前記第1のトランジスタの前記ドレイン端子に接続されたソース端子および前記第1の負荷に接続されたドレイン端子を有する第4のトランジスタをさらに備え、前記第4のトランジスタは、前記第2のトランジスタと同一のまたは異なる量の電流を伝導するように構成される、C 1 に記載の装置。

#### [ C 3 ]

前記第4のトランジスタは、前記第1の負荷への電流を制御するために、制御信号によって、選択的に使用可能にされる、またはD C 結合のためにバイアスをかけられる、C 2 に記載の装置。

#### [ C 4 ]

前記第1のトランジスタの前記ドレイン端子にそれぞれ接続された1つまたは複数のゲート端子、1つまたは複数の負荷にそれぞれ接続された1つまたは複数のドレイン端子、および前記信号接地に接続された1つまたは複数のソース端子を有する1つまたは複数の追加のトランジスタをさらに備える、C 1 に記載の装置。

#### [ C 5 ]

前記1つまたは複数のドレイン端子は、1つまたは複数のスイッチを通じて前記1つまたは複数の負荷に選択的に接続される、C 4 に記載の装置。

#### [ C 6 ]

前記1つまたは複数のスイッチは、1つまたは複数の制御信号によって選択的に使用可能にされる、C 5 に記載の装置。

#### [ C 7 ]

10

20

30

40

50

前記 1 つまたは複数の追加のトランジスタの前記ドレイン端子は、1 つまたは複数のスイッチを通じて前記第 1 の負荷に選択的に接続される、C 4 に記載の装置。

[ C 8 ]

前記 1 つまたは複数のスイッチは、1 つまたは複数の制御信号によって選択的に使用可能にされる、C 7 に記載の装置。

[ C 9 ]

前記第 2 のトランジスタは、制御信号によって、選択的に使用可能にされる、または DC 結合のためにバイアスをかけられる、C 1 に記載の装置。

[ C 10 ]

前記第 3 のトランジスタの前記ドレイン端子は、スイッチを通じて前記第 2 の負荷に選択的に接続される、C 1 に記載の装置。

10

[ C 11 ]

前記スイッチは、制御信号によって、選択的に使用可能にされる、または DC 結合のためにバイアスをかけられる、C 10 に記載の装置。

[ C 12 ]

前記第 3 のトランジスタの前記ドレイン端子は、スイッチを通じて前記第 1 の負荷に選択的に接続される、C 1 に記載の装置。

[ C 13 ]

前記スイッチは、制御信号によって選択的に使用可能にされる、C 12 に記載の装置。

20

[ C 14 ]

前記第 2 および第 3 のトランジスタを選択的に使用可能にするために、または DC 結合のために前記第 2 および第 3 のトランジスタにバイアスをかけるために、制御信号を生成するコントローラをさらに備える、C 1 に記載の装置。

[ C 15 ]

前記装置は、受信機中でキャリアアグリゲーション信号の構成可能な増幅およびルーティングを行うように構成される、C 1 に記載の装置。

[ C 16 ]

前記装置は、集積回路上に形成される、C 1 に記載の装置。

[ C 17 ]

どのように信号が増幅され、1 つまたは複数の負荷にルーティングされるかを制御する制御信号を生成する手段と、前記信号は、ソースディィジェネレーションインダクタによって信号接地に接続されたソース端子を有する第 1 のトランジスタから出力される、

30

前記制御信号に基づいて、前記信号を第 1 の信号バスを通じて第 1 の負荷に選択的に接続する手段と、

前記制御信号に基づいて、前記信号を第 2 の負荷に選択的に接続する手段と、前記手段は、前記信号を受信して、前記信号接地に接続されたソース端子を有するトランジスタを含む、

を備える、装置。

[ C 18 ]

前記制御信号に基づいて、前記信号を第 2 の信号バスを通じて前記第 1 の負荷に選択的に接続する手段をさらに備え、前記第 2 のバスは前記第 1 の信号バスと同一のまたは異なる量の電流を伝導するように構成される、C 17 に記載の装置。

40

[ C 19 ]

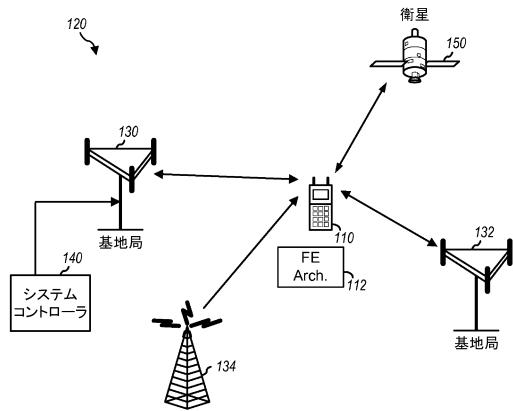
前記制御信号に基づいて、前記信号を 1 つまたは複数の追加の信号バスを通じて 1 つまたは複数の追加の負荷に選択的に接続する手段をさらに備え、前記手段は、前記信号を受信するために接続されて、前記信号接地に接続された 1 つまたは複数の追加のソース接地を有する 1 つまたは複数の追加のトランジスタを含む、C 17 に記載の装置。

[ C 20 ]

前記制御信号に基づいて、前記 1 つまたは複数の追加の信号バスを前記第 1 の信号バスに選択的に接続する手段をさらに備える、C 19 に記載の装置。

50

【図1】



【図2】

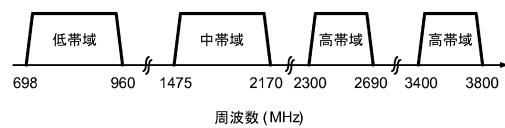


FIG. 2

FIG. 1

【図3】

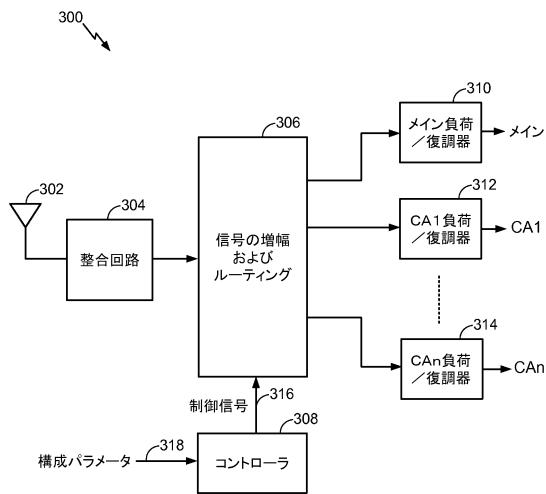
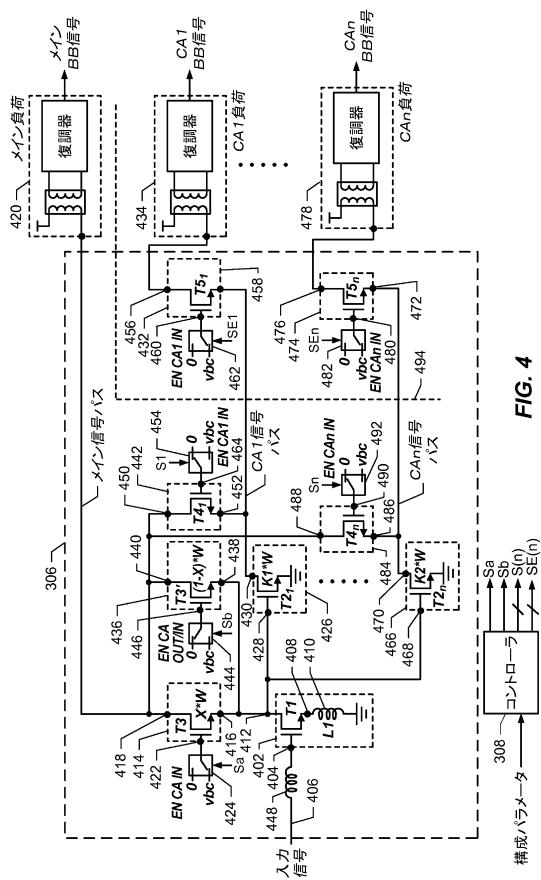
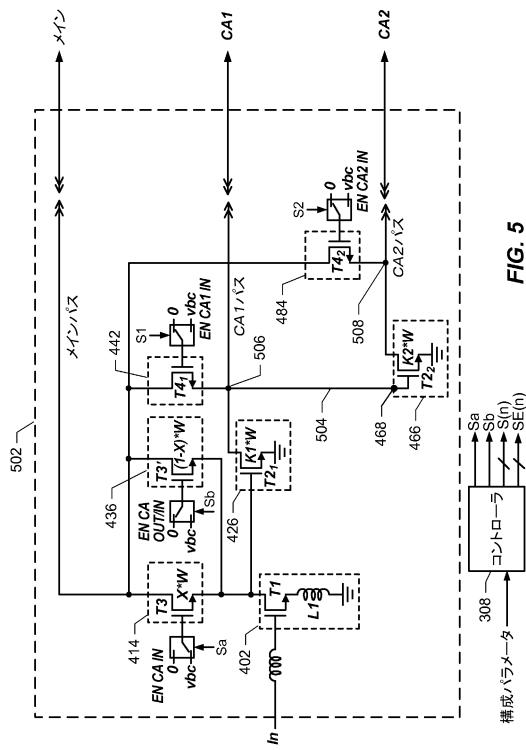


FIG. 3

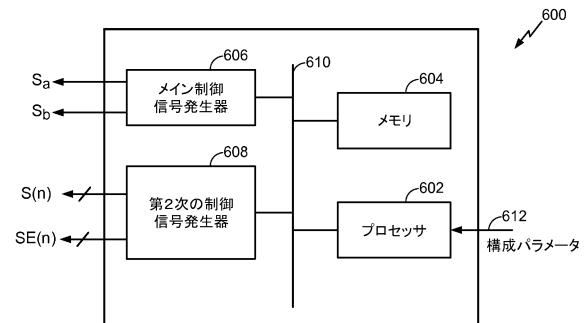
【図4】



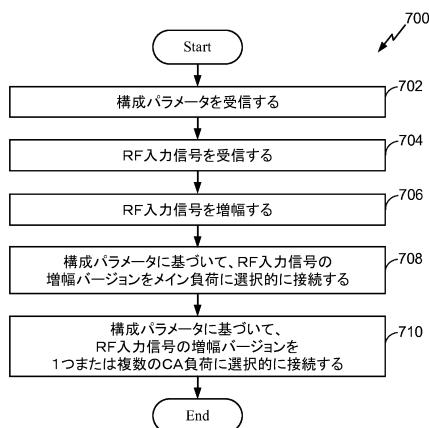
【図5】



【図6】



【図7】



【図8】

FIG. 8

Detailed description: This table maps configuration parameters to specific connections. The columns represent the parameters: S<sub>A</sub>, S<sub>B</sub>, S<sub>1</sub>, and SE<sub>1</sub>. The rows define the connections: '構成' (Configuration) connects all four; 'メイン負荷に' (To Main Load) connects S<sub>A</sub> and S<sub>B</sub>; '出力される入力信号' (Output Input Signal) connects S<sub>1</sub> and SE<sub>1</sub>; 'メインおよび第1の負荷の' (Main and First Load's) '両方に' (Both sides) connects S<sub>A</sub> and S<sub>B</sub>; '出力される入力信号' (Output Input Signal) connects S<sub>1</sub> and SE<sub>1</sub>; 'メイン負荷に入力される' (Input to Main Load) connects S<sub>1</sub>; and '第1の負荷の' (First Load's) '信号' (Signal) connects SE<sub>1</sub>.

	S <sub>A</sub>	S <sub>B</sub>	S <sub>1</sub>	SE <sub>1</sub>
構成	1	1	0	0
メイン負荷に 出力される入力信号	1	1	0	0
メインおよび第1の負荷の 両方に 出力される入力信号	1	0	0	1
メイン負荷に入力される 第1の負荷の 信号	0	0	1	0

【図9】

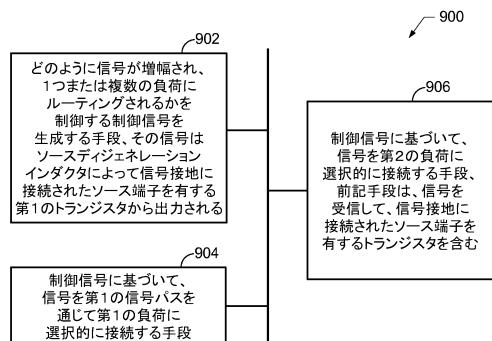


FIG. 9

---

フロントページの続き

(51)Int.Cl. F I  
H 0 4 L 27/26 (2006.01) H 0 4 L 27/26 100

(72)発明者 ラジェンドラン、ジリーシュ  
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

(72)発明者 サホタ、ガーカンワル・シン  
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

(72)発明者 クマー、ラケシュ  
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57  
75

審査官 工藤 一光

(56)参考文献 特表2004-516737(JP,A)  
国際公開第2008/102788(WO,A1)  
特表2009-504096(JP,A)  
特表2012-522421(JP,A)  
特表2016-513937(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 F 1 / 2 2  
H 0 3 F 1 / 2 6  
H 0 3 F 3 / 6 8  
H 0 3 F 3 / 7 2  
H 0 4 B 1 / 0 0  
H 0 4 J 1 / 0 0  
H 0 4 L 2 7 / 2 6