

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) . Int. Cl.<sup>7</sup>  
H01L 27/115

(45) 공고일자 2005년12월05일  
(11) 등록번호 10-0533302  
(24) 등록일자 2005년11월28일

(21) 출원번호  
(22) 출원일자

10-2003-0028891  
2003년05월07일

(65) 공개번호  
(43) 공개일자

10-2003-0087945  
2003년11월15일

(30) 우선권주장

JP-P-2002-00134177 2002년05월09일 일본(JP)

(73) 특허권자

가부시끼가이샤 도시바  
일본국 도쿄도 미나토구 시바우라 1초메 1방 1고

(72) 발명자

사이또가즈오  
일본도쿄도미나토구시바우라1초메1방1고가부시끼가이샤도시바지적재  
산부내

다까무라쇼고  
일본도쿄도미나토구시바우라1초메1방1고가부시끼가이샤도시바지적재  
산부내

(74) 대리인

주성민  
구영창

**심사관 : 김기현**

**(54) 불휘발성 반도체 기억 장치 및 그 제조 방법**

**요약**

불휘발성 반도체 기억 장치의 데이터 리텐션 불량을 방지한다. 부유 게이트를 갖는 스택형 게이트 구조의 트랜지스터 아래  
이가 형성된 메모리 셀 영역의 상방에, 메모리 셀 영역을 피복하는 Ti 함유 배리어를 형성하고, 그 상방에 패시베이션층을  
형성한다.

**대표도**

도 1

**색인어**

불휘발성 반도체 기억 장치, 트랜지스터 어레이, 메모리 셀 영역, 부유 게이트

**명세서**

**도면의 간단한 설명**

도 1은 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 부분 단면도.

도 2는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에서의 메모리 셀 영역의 평면도 및 단면도.

도 3은 본 발명의 제1 실시예에 따른 2차 데이터 동작인 경우의 임계값 전압 분포와 다차 데이터 동작인 경우의 임계값 전압 분포를 도시한 그래프.

도 4는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 각 공정에서의 장치 단면도.

도 5는 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 제조 방법을 나타내는 각 공정에서의 장치 단면도.

도 6은 본 발명의 제2 실시예에 따른 불휘발성 반도체 기억 장치에서의 메모리 셀 영역에서의 평면도 및 단면도.

도 7은 종래의 불휘발성 반도체 기억 장치의 부분 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판

12 : 소스/드레인 영역

14 : 게이트 절연막

16 : 부유 게이트 전극

18 : 게이트간 절연막

20 : 제어 게이트 전극

22 : 산화막

24, 34, 38 : 층간 절연막

26, 32, 40 : 컨택트

28 : 층간 절연막

30 : 제1 배선(비트선)

36 : 제1 메탈 배선층

42 : 제2 메탈 배선층

42b : Ti 함유 배리어

44 : 제1 패시베이션막

46 : 제2 패시베이션막

**발명의 상세한 설명**

**발명의 목적**

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 부유 게이트를 갖는 스택형 게이트 구조의 메모리 셀 어레이를 갖는 불휘발성 반도체 기억 장치의 데이터 리텐션(Data retention) 불량의 억제에 관한 것이다.

불휘발성 메모리의 하나로서, 전기적으로 정보의 기입과 소거가 가능한 EEPROM(Electrically Erasable and Programmable Read Only Memory)이 알려져 있다. 또한, EEPROM 중에서도, 고집적화에 적합한 NAND형 플래시 EEPROM은 복수의 메모리 트랜지스터를 각 소스, 드레인을 인접하는 것끼리 공용하는 형태로 직렬 접속하고, 이것을 1단 위로 하여 비트선에 접속하고, 데이터 소거를 일괄하여 행하는 것이다.

도 7은 종래의 NAND형 플래시 EEPROM의 메모리 셀 영역(100) 및 주변 회로 영역(200)의 구조를 도시한 장치의 부분 단면도이다. 도 7에 도시한 바와 같이, 메모리 셀 영역(100)에는 하측으로부터 게이트 산화막(114), 부유 게이트 전극(116), 게이트간 절연막(118) 및 제어 게이트(120)의 순으로 적층된 스택형 게이트 구조의 트랜지스터가 어레이 형상으로 형성되어 있고, 각 게이트의 양측 하방의 Si 기판(110)에는 소스/드레인 확산 영역(112)이 형성되어 있다.

주변 회로 영역(200)에는 필요에 따라, 전원 회로 등을 위한 트랜지스터 소자 등이 형성되어 있다. 이 트랜지스터 소자는 통상적으로 단층 게이트 구조로, 예를 들면 메모리 셀 영역(100)의 부유 게이트 전극(116)을 구성하는 도전층과 동일층에서 게이트 전극(116b)이 형성되며, 그 양측의 반도체 기판층에 소스/드레인 영역(112b)을 갖고 있다.

또한, 메모리 셀 영역(100) 및 주변 회로 영역(200) 위에는, 복수의 층간 절연막(124, 128, 134, 138)을 개재하여 필요한 컨택트(126, 140)나 배선(130, 136, 142)이 형성되고, 그 위에 패시베이션층이 형성되어 있다. 패시베이션층은, 복수층으로 형성되는 경우도 많은데, 예를 들면 하층의 제1 패시베이션막(144)으로는, 피복성이 좋은  $\text{SiO}_2$ 막이 형성되고, 상층의 제2 패시베이션막으로는 수분을 통과시키기 어려운  $\text{SiNx}$ 막이 형성되어 있다. 이들 패시베이션막은, 내습성 등을 확보하기 위해 불휘발성 반도체 기억 장치에 있어서 필요 불가결한 존재이다.

각 메모리 셀에 대한 데이터의 기입시에는, 드레인 영역(112) 및 제어 게이트 전극(120)으로 각각 소정의 전압이 인가되고, 이에 수반하여 게이트 절연막(114)을 개재하여 드레인 영역(112)으로부터 부유 게이트 전극(116)으로 흐르는 터널 전류가 발생하고, 이 전류에 의해 부유 게이트 전극(116)으로 전자의 주입이 행해진다.

예를 들면, 2치 데이터의 기억 동작을 행하는 EEPROM에서는, 부유 게이트 전극(116)에 주입 축적된 전자에 의해 메모리 셀의 임계값 전압  $V_{th}$ 가 소정값 이상인 경우, "0" 상태로 된다.

또한, 제어 게이트 전극(120)을 접지 전위로 하고, 드레인 영역(112)을 부유 상태로 하면, 소스 영역(112)에 인가된 전압에 의해, 부유 게이트 전극(116) 내의 전자는 게이트 절연막(114)을 개재하여 방출되고, 메모리 셀 트랜지스터의 임계값 전압  $V_{th}$ 는 낮아진다. 이 임계값 전압이 소정값보다 낮아진 상태가 "1" 상태이다.

각 메모리 셀의 데이터의 판독시에는, 각 데이터의 상태에 대응한 임계값 전압  $V_{th}$ 에 의해 전류 흐름의 유무로 "0"과 "1"이 판별된다.

## 발명이 이루고자 하는 기술적 과제

일반적으로 패시베이션막의 성막에는, 성막 온도가 비교적 낮은 플라즈마 CVD법이 이용되고 있다. 또한, 가스 원료로서는, 모노실란( $\text{SiH}_4$ ) 가스나 TEOS( $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) 가스 등의 수소를 포함하는 가스가 이용되고 있다. 이 때문에, 패시베이션 막 내에는 대량의 수소가 함유되기 쉽다. 막 내에 함유된 수소는, 비교적 저온의 열 처리에서도 확산되기 쉽고, 패시베이션 막 형성 공정 후에 계속되는 어셈블리 공정 내로 확산하여, 메모리 셀의 트랜지스터 영역에 도달하는 경우가 있다.

부유 게이트 전극(116)이나 게이트 절연막(114)에 도달한 수소는, 그 곳에서 전자에 대한 트랩 준위를 형성한다. 따라서, 각 메모리 셀로 데이터를 기입/소거할 때, 확산 수소에 의해 생긴 트랩 준위가 임계값 전압  $V_{th}$ 의 변동을 야기할 우려가 있으며, 또한 이  $V_{th}$ 의 변동은 데이터·리텐션(데이터의 유지 특성) 불량을 야기하는 요인으로 된다.

한편, 한층더 고집적화의 요청에 의한 패턴의 미세화를 위해, NAND형 플래시 EEPROM에서, 미세화에 수반하는 가공 변동이 기입 소거 횟수에 미치는 영향도 무시할 수 없게 되어 있으며, 데이터 리텐션 불량에 대한 마진은 감소하고 있다.

또한, 최근에는 메모리의 대용량화를 위해, "1"과 "0"의 종래의 2치 데이터 기억 동작으로부터, 각 메모리 셀에서 3개 이상의 서로 다른 다치 데이터를 기억하는 EEPROM이 실용화되고 있지만, 이러한 다치 데이터를 취급하는 경우에는 허용되는 임계값 분포 폭이 종래의 2치 데이터 기억 동작과 비교하여, 협소화되기 때문에, 데이터 리텐션 불량이 더 발생하기 쉬운 상황으로 되어 있다.

본 발명의 목적은, 상술하는 종래의 과제를 감안하여, 데이터 리텐션 불량의 발생을 억제할 수 있는 불휘발성 반도체 기억 장치 및 그 제조 방법을 제공하는 것이다.

### 발명의 구성 및 작용

본 발명의 불휘발성 반도체 기억 장치의 특징은, 반도체 기판과, 반도체 기판위에 배치되고, 부유 게이트를 갖는 스택형 게이트 구조의 트랜지스터 어레이를 갖는 메모리 셀 영역과, 메모리 셀 영역의 상방에 배치되고, 메모리 셀 영역을 피복하는 Ti 함유 배리어와, Ti 함유 배리어 상방에 배치된 패시베이션층을 갖는 것이다.

상기 본 발명의 특징에 의하면, Ti가 갖는 수소 게터링 효과에 의해, Ti 함유 배리어가 수소의 투과를 저지하므로, 패시베이션층 등으로부터 메모리 셀 트랜지스터 영역으로의 수소의 확산을 방지할 수 있다. 그 결과, 확산 수소에 기인하는 메모리 셀 트랜지스터의 임계값 변동이 억제된다.

상기 본 발명의 특징을 갖는 불휘발성 반도체 기억 장치에 있어서, 또한 반도체 기판 위의 상기 메모리 셀 영역 이외의 영역에 배치되고, Ti 함유 배선층과, 주변 회로 영역을 갖는 경우에는 상기 Ti 함유 배리어는 이 Ti 함유 배선층과 동일층으로 형성되는 것이어도 된다.

이 경우에는, 주변 회로 영역에서 필요한 배선에 이용하는 Ti 함유 배선층의 일부를 이용하여, Ti 함유 배리어를 형성할 수 있으므로, 제조 공정의 부담없이, 메모리 셀 영역 위에 Ti 함유 배리어를 형성할 수 있다.

또, 상기 Ti 함유 배리어는 메모리 셀 영역의 면적 중 적어도 90% 이상을 피복하는 것이어도 된다.

즉, 메모리 셀 영역 면적의 90% 이상을 피복하도록, 상기 Ti 함유 배리어를 형성하면, 실용상 메모리 셀 영역 면적 전체를 피복하도록 형성한 경우와 거의 동등한 메모리 셀 트랜지스터 임계값 변동 억제 효과가 얻어진다.

또한, 상기 본 발명의 특징을 갖는 불휘발성 반도체 기억 장치에 있어서, 상기 Ti 함유 배리어는 슬릿이 있는 평면 패턴 형태를 갖는 것이어도 된다.

슬릿이 응력 완화 효과를 갖으므로, Ti 함유 배리어에 열 응력 등에 의한 결합이 발생하는 것을 방지할 수 있다.

또한, 상기 Ti 함유 배리어 내에 포함되는 Ti는, Ti 단체뿐만 아니라, 질화 티탄, 티탄 실리사이드 등의 Ti 화합물의 형태로 함유되어 있어도 된다.

또한, 상기 본 발명의 제1 특징을 갖는 불휘발성 반도체 기억 장치에 있어서, 메모리 셀 영역의 각 메모리 셀은 3 이상의 다치 데이터를 기억하는 것이어도 된다. 다치 데이터를 기억하는 경우에는 메모리 셀 트랜지스터의 임계값 전압 변동의 마진이 협소화되기 때문에, Ti 함유 배리어에 의한 수소의 확산을 방지하고, 임계값 변동을 억제하는 효과의 유효성은 매우 커진다.

또한, 상기 본 발명의 특징을 갖는 불휘발성 반도체 기억 장치에 있어서, 상기 패시베이션층은 실리콘 질화막을 포함하는 것이어도 된다. 이 경우에는, 실리콘 질화막에 의해 불휘발성 반도체 기억 장치의 내습성을 올릴 수 있지만, 실리콘 질화막이 대량의 수소를 포함하기 때문에, 상기 Ti 함유 배리어의 수소 확산 억제 효과의 유효성이 크다.

본 발명의 불휘발성 반도체 기억 장치의 제조 방법의 특징은, 반도체 기판 위의 메모리 셀 영역 위에 메모리 셀 구조를 형성함과 함께, 반도체 기판 위의 메모리 셀 영역 이외의 주변 회로 영역에 필요한 소자 구조를 형성하는 공정과, 메모리 셀 구조 및 소자 구조를 피복하는 층간 절연층을 형성하는 공정과, 층간 절연층 위에 Ti 함유 도전막을 형성하는 공정과, Ti 함유 도전막을 선택적으로 에칭함으로써, 주변 회로 영역 상방에는 Ti 함유 배선층을 형성함과 함께, 메모리 셀 영역 상방에 메모리 셀 영역을 피복하는 Ti 함유 배리어를 형성하는 공정을 포함하는 것이다.

상기 본 발명의 불휘발성 반도체 기억 장치의 제조 방법의 특징에 의하면, 주변 회로 영역에 필요한 배선층을 형성할 때에, 이 배선층과 동일층으로 메모리 셀 영역 위에 수소 확산 방지 효과가 있는 Ti 함유 배리어를 형성할 수 있다. 따라서, 프로세스 위의 Ti 함유 배리어를 부담없이 형성하고, 확산 수소에 기인하는 메모리 셀 트랜지스터의 임계값 변동을 억제할 수 있다.

또, 본 발명의 불휘발성 반도체 기억 장치의 제조 방법에 있어서, 또한 Ti 함유 배선층 및 Ti 함유 배리어 위에, 혹은 그 상방에 패시베이션층을 형성하는 공정을 포함해도 되며, 또한 이 패시베이션층을 형성하는 공정은 플라즈마 CVD법을 이용하여 TEOS 막을 형성하는 공정과, 플라즈마 CVD법을 이용하여 실리콘 질화막을 형성하는 공정을 포함해도 된다.

이 경우에는, 패시베이션막에 의한 내습성을 충분히 확보한 후에, 패시베이션막 내에 포함되는 수소의 확산을 억제하고, 메모리 셀의 임계값 변동을 억제할 수 있다.

이하, 본 발명의 실시예에 대하여 설명한다.

#### (제1 실시예)

도 1은, 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 구조를 도시한 단면도이다. 여기서는, 불휘발성 반도체 기억 장치의 일례로서, NAND 플래시 EEPROM을 도시한다. 도 1의 좌측에 메모리 셀 영역(1), 우측에 주변 회로 영역(2)을 도시한다.

제1 실시예에 따른 불휘발성 반도체 기억 장치의 주된 특징은, 메모리 셀 영역(1)의 상방에, 메모리 셀 영역(1)의 전역을 피복하는 Ti 함유 배리어(42b)를 구비하고, 그 상층에 제1 패시베이션막(44) 및 제2 패시베이션막(46)으로 이루어지는 패시베이션층이 형성되어 있는 것이다. Ti 함유 배리어(42b)가, 패시베이션층으로부터 메모리 셀의 트랜지스터 영역으로의 수소의 확산을 방지하기 때문에, 수소에 기인하는 메모리 셀 트랜지스터의 데이터 리텐션 변동을 억제할 수 있다. 이하, 보다 구체적으로 제1 실시예에 따른 불휘발성 반도체 기억 장치의 구조에 대하여 설명한다.

도 1에 도시한 바와 같이, 단일의 Si 기판(10) 위에 메모리 셀 영역(1)과 주변 회로 영역(2)이 형성되어 있다. 메모리 셀 영역(1)의 Si 기판(10) 위에는 스택형 게이트 구조의 트랜지스터 어레이가 지면 좌우로 연장하여 형성되어 있다. 이 중 컨택트(26) 좌우에 위치하는 트랜지스터가 선택 게이트 트랜지스터 SGD이고, 그 외의 트랜지스터가 메모리 셀 트랜지스터 ST이다. 예를 들면, 하나의 메모리 셀 유닛은 16개의 메모리 셀 트랜지스터 ST로 구성된다.

메모리 셀 영역(1)의 각 트랜지스터는 Si 기판(10) 위에 막 두께가 얇은 게이트 절연막(터널 산화막)(14), 부유 게이트 전극(16), 게이트간 절연막(18) 및 제어 게이트 전극(20)이 순차적으로 적층된 스택형 게이트 구조와, 그 주위를 피복하는 산화막(22)을 갖고 있다. 또한, 부유 게이트 전극(16)의 거의 양측에 해당하는 Si 기판(10) 표면층에 소스/드레인 영역(12)을 갖는다.

한편, 주변 회로 영역(2)에는, 예를 들면 전원 회로 등을 위한 트랜지스터가 형성되어 있지만, 이것은 스택형 게이트 구조 일 필요는 없으며, 게이트 절연막(14b)과 게이트 전극(16b) 및 Si 기판(10) 표면층에 형성된 소스/드레인 영역(12b)으로 구성된다.

메모리 셀 영역(1)의 트랜지스터 어레이 및 주변 회로 영역(2)의 트랜지스터를 피복하도록, 층간 절연막(24, 28)이 형성되어 있다. 또한, 이 층간 절연막(24, 28)을 관통하여, 드레인 영역(12)에 접속된 컨택트(26)가 형성되어 있다. 컨택트(26)에 접속되어 있는 제1 배선(30)이 층간 절연막(28) 상층에 형성되어 있고, 층간 절연막(34)을 관통하는 컨택트(32)가 형성되고, 층간 절연막(34) 위에 제1 메탈 배선층(비트선)(36)이 형성되어 있다.

또한, 제1 메탈 배선층(36) 위에 층간 절연막(38)이 형성되고, 주변 회로 영역(2)에는 필요한 컨택트(40) 및 제2 메탈 배선층(42)이 형성되어 있다. 이 제2 메탈 배선층(42)은 도 7을 참조한 바와 같이, 종래에는 주변 회로 영역(2) 위에만 필요하고, 메모리 셀 영역(1) 위에는 형성되어 있지 않았는데, 제1 실시예에 따른 불휘발성 반도체 기억 장치에서는 제2 메탈 배선층(42)과 동일한 배선층에 의해 메모리 셀 영역(1)의 거의 전역을 피복하는 Ti 함유 배리어(42b)를 형성하고 있다. 이 제2 메탈 배선층(42)은 적어도 수소의 게터링 효과가 있는 티탄(Ti)을 함유하는 배선 재료, 예를 들면 Ti 단체 재료 외에, 티

탄니트라이드(TiN), 티탄 실리사이드( $TiSi_2$ ) 등의 Ti 화합물 재료를 함유한다. 또한, 이들 Ti 함유막을 단층 혹은 복수층으로 해도 된다. 또한, 저항화를 도모하기 위해, Ti 함유막보다 고도전성이 있는 도전층을 적층해도 된다. 이러한 도전층으로는 Al층, Cu층, Al-Cu층, Al-Si층 등을 예로 들 수 있다.

또한, 제2 메탈 배선층(42) 및 Ti 함유 배리어(42b) 위에는 제1 패시베이션막(44)과 제2 패시베이션막(46)이 순차적으로 형성되어 있다. 예를 들면 제1 패시베이션막(44)으로는 플라즈마 CVD법에 의해 형성한, 피복성이 양호하고, 절연성이 높은 TEOS막(이하, d-TEOS막)을 사용하고, 제2 패시베이션막(45)으로는 플라즈마 CVD법에 의해 형성한 내습성이 높은  $SiNx$ 막(P-SiN 막이라고 함)을 사용하는 것이 바람직하다. 이와 같이 d-TEOS막과 P-SiN막을 적층하여 패시베이션층으로 함으로써, 충분한 피복성과 절연성을 겸한 패시베이션층을 얻을 수 있다.

제2 패시베이션막(45)인 P-SiN막의 형성에는 플라즈마 CVD법이 이용되고, 가스 원료로서 수소 가스를 포함하는  $SiH_4$  등의 재료가 사용되고, 200~300°C의 낮은 성막 온도에서 막 형성이 행해지기 때문에, 막 내에는 비교적 많은 Si-H 결합이 남기 쉽다. 이렇게 해서 남은 수소 함유량은 10atom%~20atom%에 상당한다. 막 내의 수소는 저온의 열 처리에 의해서도 간단히 확산된다. 그러나, 제1 실시예에 따른 불휘발성 반도체 기억 장치에 따르면, 메모리 셀 영역을 피복하는 Ti 함유 배리어(42b) 내의 Ti가 수소 게터링 작용이 있기 때문에, 수소는 Ti 함유 배리어(42b)에 도달한 단계에서 흡수되며, 그 이상 깊은 방향으로의 확산이 저지된다. 이 때문에, 메모리 셀 트랜지스터 영역, 특히 전하 축적층으로 되는 부유 게이트로의 수소의 침입이 억제되어, 수소 침입에 기인하는 임계값 전압의 변동이 회피된다.

도 2의 (a)는, 제1 실시예에 따른 불휘발성 반도체 기억 장치의 메모리 셀 영역(1)의 부분 평면도이고, 도 2의 (b) 및 도 2의 (c)는 각각 도 2의 (a)에서의 파선부 A의 X 축 단면도, 및 파선부 B의 Y 축 단면도이다.

도 2의 (a)에 도시한 바와 같이, Ti 함유 배리어(42b)는 파선부로 나타낸 메모리 셀 영역(1) 전역을 피복하도록 형성되어 있다. 또한, 도 2의 (b) 및 도 2의 (c)로부터 알 수 있듯이, 메모리 셀 영역(1)의 평면 패턴으로는 부유 게이트 전극(16) 및 제어 게이트 전극(20)이 스트라이프 형상으로 배열되어 있으며, 이 전극 패턴과 직교하는 방향으로 스트라이프 형상의 소자 분리 영역(50)의 패턴이 나란히 배치되고, 소자 분리 영역(50)에서 분리된 활성 영역에 부유 게이트 전극(16)을 갖는 메모리 트랜지스터가 형성되어 있다. 제1 메탈 배선(36)도 소자 분리 영역(50)에 평행하게 배치된다. 또, 제1 메탈 배선(36b)은 더미 배선이다.

도 2의 (a)~도 2의 (c)에 도시한 바와 같이, Ti 함유 배리어(42b)는 메모리 셀 영역(1)을 완전히 피복하도록 형성되어 있으므로, 제1 패시베이션막(44) 및 제2 패시베이션막(46)으로부터 확산되는 수소가 각 메모리 트랜지스터 영역에 도달하여, 임계값 전압  $V_{th}$ 가 변동하는 것을 효과적으로 방지할 수 있다.

도 3의 (a)는 본 발명의 제1 실시예에 따른 EEPROM에서 2치 데이터 기억 동작을 행하는 경우의 임계값 전압 분포를 나타내는 그래프이다. 2치 데이터의 기억 동작인 경우는, 예를 들면 -5V~+5V 사이에, "1" 상태와 "0" 상태 각각에 대한 트랜지스터의 임계값  $V_{th}$ 가 설정된다. 한편, 도 3의 (b)는 본 발명의 제1 실시예에 관한 EEPROM으로 다치 데이터 기억 동작, 예를 들면 4치 데이터 기억 동작을 행하는 경우의 메모리 트랜지스터에서의 임계값 전압 분포를 나타내는 그래프이다. 4치 데이터 기억 동작인 경우에는, "1.1" "1.0" "0.0" "0.1"의 4개의 상태를 동일한 -5V~+5V 사이로 설정할 필요가 있다. 특히 도 3의 (b)에 도시한 바와 같이 "1.0" "0.0" "0.1"의 3개의 상태는 0~+5V 사이로 설정되기 때문에, 임계값  $V_{th}$ 의 편차 폭의 여유(마진)는 2치 데이터 기억 동작과 비교하여 꽤 협소하게 된다. 임계값의 편차가 인접하는 데이터의 임계값 분포에 걸리고, 인접 데이터의 판독 전압(리드 검증 전압)값에 도달하면, 데이터 리텐션 불량이 발생한다.

그러나, 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치에 의하면, 데이터 리텐션 불량에 가장 약한 "0.1" 상태의 임계값에 대해서도 10만회 정도의 반복 기입 테스트를 행한 후의 임계값 분포의 변동량을 종래의 약 25% 삭감할 수 있다.

이하, 도 4의 (a)~도 4의 (f)를 참조하여, 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치의 제조 방법에 대하여 설명한다.

우선, 도 4의 (a)에 도시한 바와 같이, Si 기판(10)에 웰 영역 및 소자 분리 영역(도시하지 않음)을 형성한다. 이어서, Si 기판(10) 위에 CVD법 혹은 열 산화법 등을 이용하여 막 두께 10nm 정도의 게이트 절연막(터널 산화막)(14)을 형성한다. 메모리 셀 영역(1)에서는 게이트 절연막(14) 위에 스퍼터법 혹은 CVD법 등을 이용하여 막 두께 약 50nm~100nm의 다결정 실리콘막으로, 부유 게이트 전극(16)을 형성한다. 또한, 주변 회로 영역(2)에도 게이트 절연막(14) 위에 부유 게이트 전극(16)과 동일층에서 게이트 전극(16b)을 형성한다. 이어서, 메모리 셀 영역(1)에서는 CVD법 등을 이용하여 게이트간 절연막(18)을 형성한다.

이 게이트간 절연막(18)은, 예를 들면 실리콘 산화막, 실리콘 질화막, 혹은 그것의 적층막인 ONO막(옥사이드/나이트라이드/옥사이드)으로 형성한다. 또한 이 위에 스퍼터법이나 CVD법 등을 이용하여 막 두께 약 100nm~200nm의 제어 게이트 전극층(26)을 형성한다. 제어 게이트 전극층(26)은 예를 들면 다결정 실리콘막, 혹은 다결정 실리콘과 메탈 실리사이드의 적층막, 혹은 금속 재료만의 메탈 게이트막으로 해도 된다. 이렇게 해서, 메모리 셀 영역(1)에는 스택형 게이트 구조를 형성하고, 주변 회로 영역(2)에는 단일층 게이트 구조를 형성한다. 또한, 각 게이트 구조의 표면을 폐복하도록 산화막(22)을 형성한다.

이어서, 도 4의 (b)에 도시한 바와 같이, 각 게이트 전극을 마스크로 하여, 웨ல과 역도전형 불순물을 이온 주입하고, 어닐링 공정을 거쳐 소스/드레인 영역(12)을 형성한다. 또한, 예를 들면 CVD법을 이용하여 BPSG(Boron Phosphorus Silicate Glass) 등으로 충간 절연막(24)을 형성한다.

도 4의 (c)에 도시한 바와 같이, 충간 절연막(24)에 RIE(Reactive Ion Etching)법을 이용하여 드레인 영역(12D)이 저면에 노출되는 컨택트홀을 개구하고, 여기를 예를 들면 W(텅스텐) 등의 도전 재료로 매립하여, 표면을 평탄화하고, 컨택트(26)를 형성한다. 마찬가지의 방법으로 충간 절연막(28)을 형성하고, 다마신 기법 등을 이용하여 충간 절연막(28) 상층에 제1 배선(30)을 형성한다. 또한, 그 위에 충간 절연막(34)을 형성하며, 필요한 컨택트(32)를 더 형성한다. 또, 주변 회로 영역(2)에도, 충간 절연막(24, 28, 34)이 메모리 셀 영역(1)의 제조 공정에 맞추어, 순차적으로 형성되어, 필요에 따라 도시하지 않은 배선층이 형성된다. 그리고, 충간 절연막(34) 위에 제1 메탈 배선층(비트선)(36)을 형성한다.

이어서, 도 5의 (d)~도 5의 (f)를 참조하여, 제2 메탈 배선층(42) 및 Ti 함유 배리어(42b)의 제조 방법에 대하여 설명한다.

도 5의 (d)에 도시한 바와 같이, 충간 절연막(38)에 필요한 컨택트홀을 개구한 후, 전면에 스퍼터법 등을 이용하여, 하층으로부터 순차적으로 막 두께 약 25nm의 Ti막, 막 두께 약 25nm의 TiN 막 및 막 두께 약 800nm의 Al-Cu 막을 각각 적층하여, 제2 메탈 배선층(42)을 형성한다.

이어서, 도 5의 (e)에 도시한 바와 같이, 제2 메탈 배선층(42) 위에 레지스트(48)를 코팅하고, 또한 주변 회로 영역(2)에는 필요한 배선 패턴에 상당하는 레지스트(48)의 패턴을 형성함과 함께, 메모리 셀 영역(1)에서는 메모리 셀 영역(1) 전역을 폐복하는 레지스트(48)의 패턴을 형성한다. 이 레지스트(48)의 패턴을 에칭 마스크로 하여, 제2 메탈 배선층(42)을 에칭한다. 이렇게 함으로써, 주변 회로 영역(2)에 필요한 배선층(42)을 형성함과 함께, 메모리 셀 영역(1) 위에 Ti 함유 배리어(42b)를 형성한다. 불필요해진 레지스트(48)는 그 후 박리한다.

도 1로 되돌아가, 패시베이션층의 형성 공정에 대하여 설명한다. Ti 함유 배리어(42b) 및 제2 메탈 배선층(42)이 형성된 기판 표면 위에 폐복성이 좋은 TEOS막으로 이루어지는 제1 패시베이션막(44)을 형성한다. 구체적으로는, 플라즈마 CVD 법을 이용하여 막 두께 약 50nm의 TEOS막을 형성한 후, 더 높은 폐복성을 얻기 위해, 고밀도 플라즈마 CVD(High density plasma CVD)법을 이용하여 막 두께 약 900nm의 TEOS막을 형성한다.

또한, 제1 패시베이션막(44) 위에 제2 패시베이션막(46)을 형성한다. 제2 패시베이션막(46)으로는 모노실란(SiH<sub>4</sub>) 가스 및 일산화질소(N<sub>2</sub>O) 가스를 가스원으로 이용하여, 플라즈마 CVD법에 의해 내습성이 양호한 실리콘 질화(SiNx)막을 형성한다.

이상에서 설명한 바와 같이, 본 발명의 제1 실시예에 따른 불휘발성 반도체 기억 장치는, 메모리 셀 영역(1) 상방에 Ti 함유 배리어(42b)를 구비하므로, 패시베이션막 내의 수소의 확산을 이 Ti 함유 배리어(42b)에 의해 저지할 수 있다. 따라서, 부유 게이트 전극(16)으로의 수소의 확산에 기인하는 임계값 전압의 편차의 발생이 억제된다. 특히, 임계값 전압의 마진이 좁은 다치 데이터 기억 동작을 행하는 경우, Ti 함유 배리어(42b)에 의한 수소 확산 억제 효과의 유효성이 높다. 또한, Ti 함유 배리어(42b)는 제2 메탈 배선층(42)과 동일층으로 형성할 수 있으므로, 제2 메탈 배선층(42)을 패터닝할 때에 사용하는 마스크 패턴을 변경하는 것만으로도 대응할 수 있다.

(제2 실시예)

본 발명의 제2 실시예에 따른 불휘발성 반도체 기억 장치의 구성은 도 6의 (a)~도 6의 (c)에 도시한다. 제2 실시예에 따른 불휘발성 반도체 기억 장치도 NA ND형 플레시 EEPROM이고, 기본적인 구성은 제1 실시예와 공통되기 때문에, 중복되는 설명은 생략한다. 제1 실시예와 상이한 점은 Ti 함유 배리어(42b)가 메모리 셀 영역(1) 전역을 폐복하는 것은 아니며, 일부에 슬릿 영역(49)을 갖고 있는 것이다.

예를 들면, 도 6의 (a)에 도시한 바와 같이, 슬릿 영역(49)은 메모리 셀 영역(1)을 복수 영역으로 분할하고, 워드선과 비트선에 평행한 슬릿에 의해 각 영역을 둘러싼 프레임 형상으로 해도 된다. 도 6의 (b)는 도 6의 (a)에서의 파선부 A의 X축 단면도이고, 도 6의 (c)는 도 6의 (a)에서의 파선부 B의 Y 축 단면도이다. 도 6의 (b)에 도시한 단면 구조는 제1 실시예에 따른 구조와 공통적이지만, 제2 실시예에 따른 EEPROM에서는 Ti 함유 배리어(42b)가 슬릿 영역(49)을 갖기 때문에, 도 6의 (c)에 도시하는 단면 구조에서는 일부 메모리 셀 트랜지스터의 상방에는 Ti 함유 배리어(42b)는 형성되어 있지 않다.

이와 같이, Ti 함유 배리어(42b)는, 반드시 메모리 셀 영역의 전역을 피복할 필요는 없다. 구체적으로는, 예를 들면 도 6의 (a)에 도시한 바와 같이, 메모리 셀 영역을 비트선과 평행한 슬릿으로 16의 영역으로 분할하고, 각 영역 주위 각각에 2비트선 폭의 프레임 형상의 슬릿을 형성하는 경우, 1비트선이 1024블록, 1블록이 16비트로 하면, 슬릿을 위해 피복되어 있지 않은 메모리 셀은 전체적으로 983040 비트에 상당한다. 메모리 셀 전체에서는 128M 비트인 것을 고려하면, Ti 함유 배리어(42b)로 피복되어 있지 않은 메모리 셀 면적 영역은 전체의 약 2%, 메모리 수로 말하면 전체의 약 1%에 상당한다. 이 조건에서는, Ti 함유 배리어(42b)는 슬릿이 없는 Ti 함유 배리어를 구비한 제1 실시예에 따른 반도체 불휘발성 기억 장치와 거의 동일한 임계값 변동 억제 효과를 나타내는 것이 확인되고 있다. 즉, 메모리 셀 영역의 98%를 Ti 함유 배리어(42b)가 피복하는 경우에는, 확실하게 양호한 임계값 변동 억제 효과가 있다. 따라서, 예를 들면 메모리 셀 영역(1)의 총 면적의 90% 이상, 보다 바람직하게는 95% 이상을 피복하는 것이면, 메모리 셀 영역 전역을 피복하는 경우와 거의 마찬가지의 수소 확산 방지 효과를 얻을 수 있으며, 다치 데이터의 동작 표시인 경우에 있어서 임계값 변동을 억제하는 효과가 얻어진다.

또한, Ti 함유 배리어(42b)와 그 상하의 층간 절연층 사이에서는 열팽창 계수 등의 차이가 있기 때문에, Ti 함유 배리어(42b)의 면적이 넓어지면, 응력에 의한 균열 등 결함이 발생할 우려가 있지만, Ti 함유 배리어(42b)에 형성한 슬릿 영역(49)은 이를 응력을 완화시키는 기능이 있다.

슬릿 영역(49)의 형상은 한정되지 않으며, 도 6의 (a)에 도시한 바와 같은 프레임 형상뿐만 아니라, 스트라이프 형상 등 다양한 형상을 취할 수 있다. 또, 슬릿 폭이 지나치게 넓어지면, 슬릿 사이로부터 수소가 확산되기 때문에, 슬릿 폭은 메모리 셀 트랜지스터의 게이트 폭의 수 분량의 이하인 것이 바람직하다.

또, NAND 셀 열(워드 라인)과 평행한, 선택 게이트가 배치된 영역 위에 슬릿을 형성하는 경우에는 실질적으로 메모리 셀 위를 피복하는 Ti 함유 배리어(42b) 면적을 줄이지 않아도 되기 때문에, 높은 수소 배리어 효과를 유지할 수 있고, 또한 슬릿에 의한 응력 완화 효과를 갖출 수 있다.

또, 제2 실시예에 따른 EEPROM은 제1 실시예에 따른 제조 방법과 마찬가지의 방법을 이용하여 제작할 수 있다.

이상, 본 발명의 불휘발성 반도체 기억 장치에 대하여, 실시예를 따라 설명했지만, 본 발명은 이를 기재에 한정되지 않으며, 다양한 개변이나 치환이 가능한 것은 당업자에게는 자명한 일이다.

예를 들면, 상술하는 실시예에서는 NAND형 플래시 EEPROM에 대하여 설명했지만, 플래시형, NAND형의 EEPROM 뿐 아니라, 수소 확산에 의한 임계값 전압의 변동이 문제되는 불휘발성 반도체 기억 장치이면 마찬가지로 Ti 함유 배리어를 이용한 상술하는 구조를 적용할 수 있다.

또한, 상술하는 실시예에서는 주변 회로 영역에 형성하는 제2 메탈 배선층과 동일층에서 메모리 셀 영역을 피복하는 Ti 함유 배리어를 형성하는 예에 대하여 설명했지만, 제2 메탈 배선층을 사용하지 않고, 독립적으로 Ti 함유층을 형성하고, 동층을 이용하여 Ti 함유 배리어를 형성해도 된다. 또한, 주변 회로 영역에 제3, 제4 메탈 배선층이 형성되는 경우에는, 이를 배선층 중 어느 하나를 이용하여 Ti 함유 배리어를 형성해도 된다.

또한, 패시베이션층은 Ti 함유 배리어의 바로 위에 형성되어 있을 필요는 없으며, Ti 함유 배리어 위 또는 상방에 형성되어 있으면 된다.

### 발명의 효과

상술한 바와 같이, 본 발명의 불휘발성 반도체 기억 장치의 특징에 의하면, 메모리 셀 영역 위에 Ti 함유 배리어를 형성하므로, 패시베이션층 등으로부터 메모리 셀 트랜지스터로의 수소의 확산을 방지할 수 있다. 그 결과, 확산 수소에 기인하는 메모리 셀 트랜지스터의 임계값 변동이 억제되고, 데이터 리텐션 불량을 방지할 수 있다.

또한, 본 발명의 불휘발성 반도체 기억 장치의 제조 방법의 특징에 의하면, 주변 회로 영역에 배선층을 형성하는 공정을 이용하여, 동일 배선층으로 메모리 셀 영역 위에 Ti 함유 배리어를 형성하므로, 제조 공정의 부담없이, 수소 확산 방지 효과가 있는 Ti 함유 배리어를 갖고, 데이터 리텐션 불량을 방지할 수 있는 불휘발성 반도체 기억 장치를 제공할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

메모리 셀 영역 및 주변 회로 영역을 갖는 반도체 기판과,

상기 메모리 셀 영역에 형성되고, 부유 게이트를 갖는 스택형 게이트 구조의 메모리 셀 트랜지스터와,

상기 주변 회로 영역에 형성된 주변 회로 트랜지스터와,

상기 메모리 셀 트랜지스터 및 상기 주변 회로 트랜지스터 상에 형성된 제1 층간 절연막과,

상기 제1 층간 절연막 상에 형성된 제1 메탈 배선층과,

상기 제1 메탈 배선층 상에 형성된 제2 층간 절연막과,

상기 주변 회로 영역의 상기 제2 층간 절연막 상에 형성된, Ti를 함유하는 제2 배선층과,

상기 제2 배선층과 동일층에 형성되고, 상기 제2 배선층과 동일 재료로 이루어지고, 상기 메모리 셀 영역의 거의 전체 영역을 피복하는 Ti 함유 배리어막과, 상기 Ti 함유 배리어막 상 또는 상방에 형성된 패시베이션층

을 포함하는 불휘발성 반도체 기억 장치.

#### 청구항 2.

삭제

#### 청구항 3.

제1항에 있어서,

상기 Ti 함유 배리어막은, 상기 메모리 셀 영역 면적의 적어도 90% 이상을 피복하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 4.

제1항에 있어서,

상기 Ti 함유 배리어막은 슬릿이 있는 평면 패턴 형상을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

#### 청구항 5.

제4항에 있어서,

상기 슬릿은, 상기 메모리 셀 영역의 워드선, 혹은 비트선에 평행한 라인 패턴을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 6.

제5항에 있어서,

상기 슬릿은, 상기 메모리 셀 영역의 선택 게이트 트랜지스터 상방을 통과하는 라인 패턴을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 7.

제1항에 있어서,

상기 Ti 함유 배리어막은 티탄, 질화 티탄, 티탄 실리사이드 중 적어도 어느 하나를 포함하는 Ti 함유막을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 8.

제7항에 있어서,

상기 Ti 함유 배리어막은, 상기 Ti 함유막보다 고도전성을 갖는 도전층을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

### 청구항 9.

삭제

### 청구항 10.

삭제

### 청구항 11.

삭제

### 청구항 12.

삭제

### 청구항 13.

삭제

### 청구항 14.

삭제

### 청구항 15.

반도체 기판 위의 메모리 셀 영역에 메모리 셀 구조를 형성함과 함께, 상기 반도체 기판 위의 상기 메모리 셀 영역 이외의 주변 회로 영역에 소자 구조를 형성하는 공정과,

상기 메모리 셀 구조 및 상기 소자 구조를 피복하는 충간 절연층을 형성하는 공정과,

상기 충간 절연층 위에 Ti 함유 도전막을 형성하는 공정과,

상기 Ti 함유 도전막을 선택적으로 에칭함으로써, 상기 주변 회로 영역 상방에는 Ti 함유 배선층을 형성함과 함께, 상기 메모리 셀 영역 상방에는, 상기 메모리 셀 영역의 거의 전체 영역을 피복하는 Ti 함유 배리어막을 형성하는 공정

을 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 제조 방법.

## 청구항 16.

제15항에 있어서,

상기 Ti 함유 배선층 및 상기 Ti 함유 배리어막 위, 혹은 그 상방에 패시베이션층을 형성하는 공정을 더 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 제조 방법.

## 청구항 17.

제16항에 있어서,

상기 패시베이션층을 형성하는 공정은,

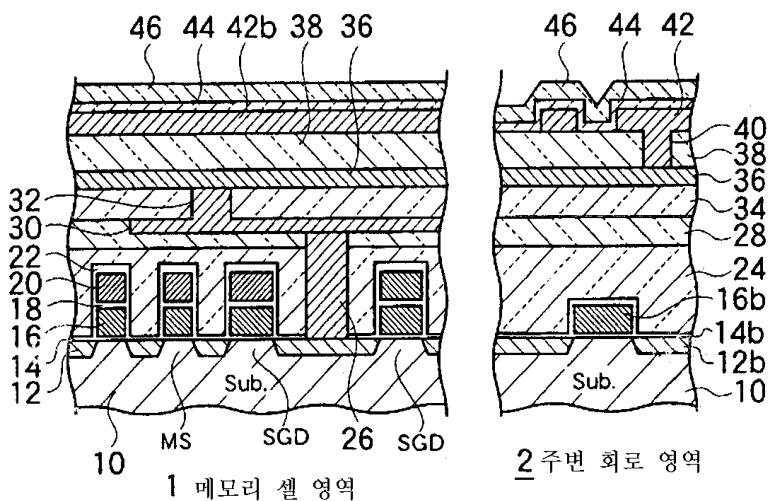
플라즈마 CVD법을 이용하여 TEOS 막을 형성하는 공정과,

플라즈마 CVD법을 이용하여 실리콘 질화막을 형성하는 공정

을 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치의 제조 방법.

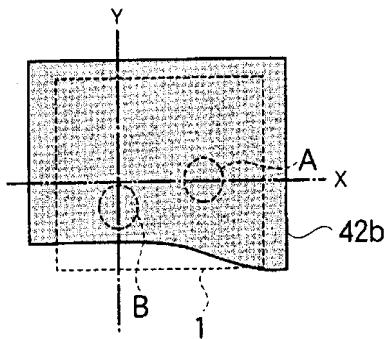
**도면**

도면1

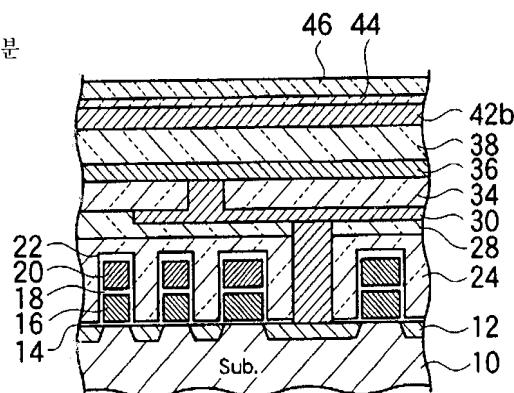


## 도면2

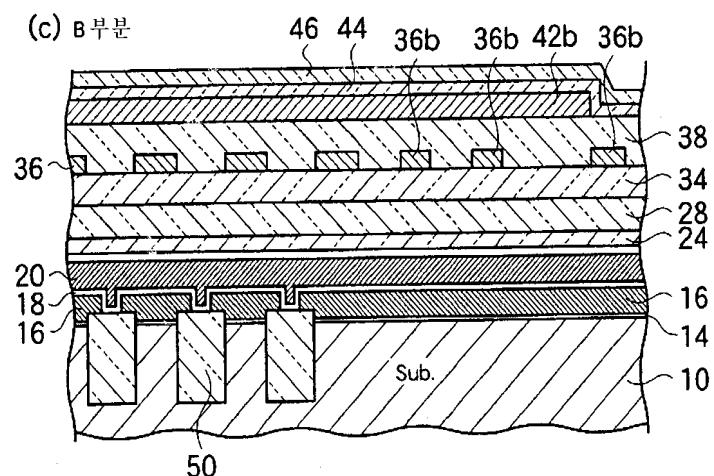
(a)



(b) A 부분

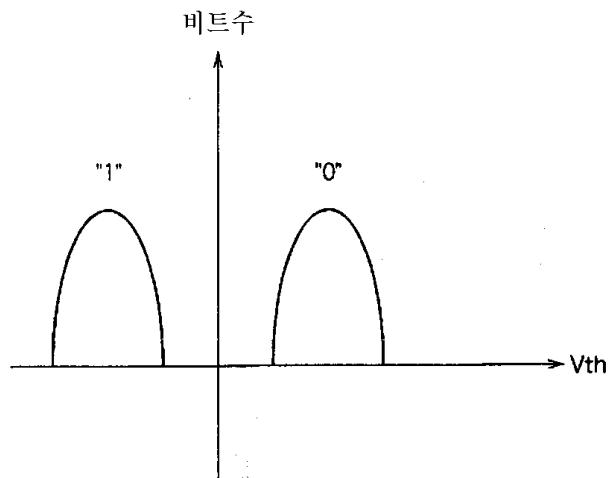


(c) B 부분

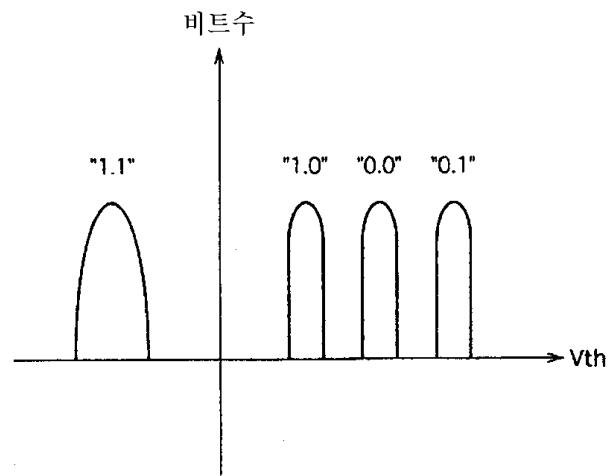


## 도면3

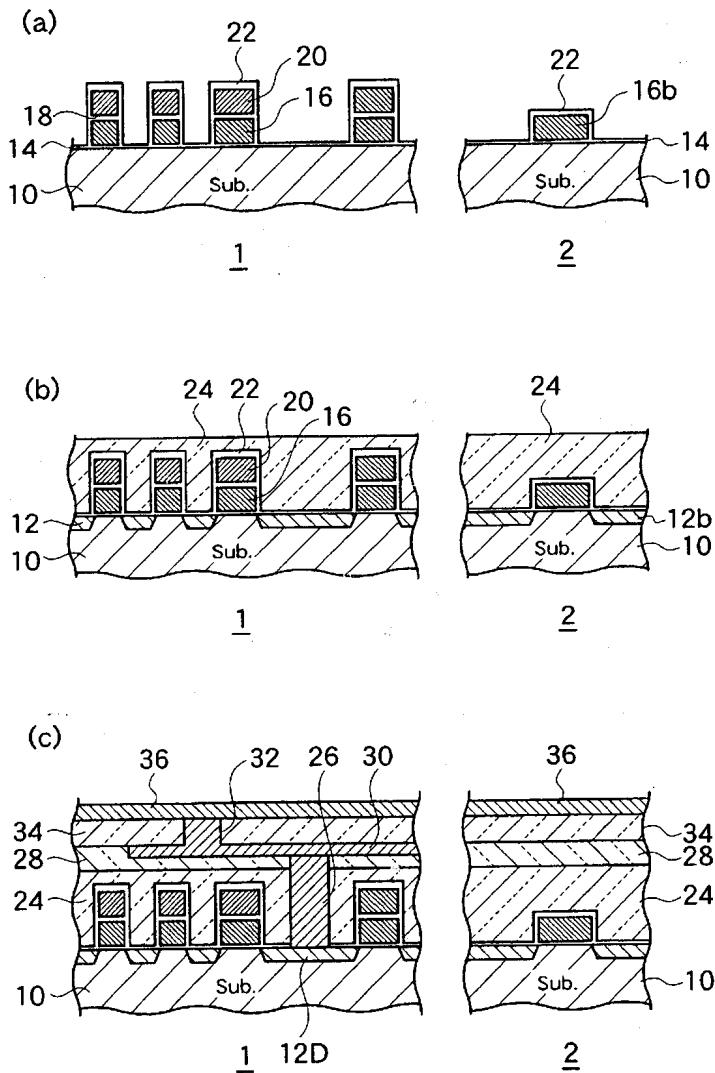
(a)



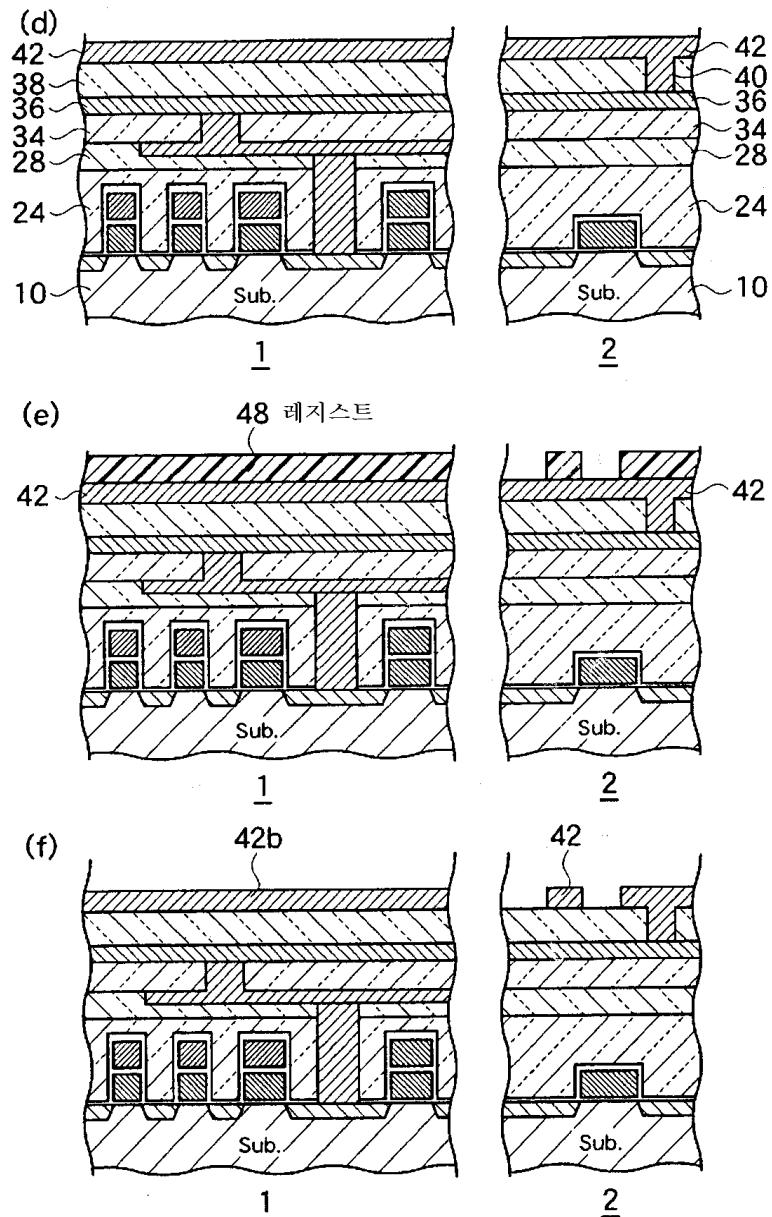
(b)



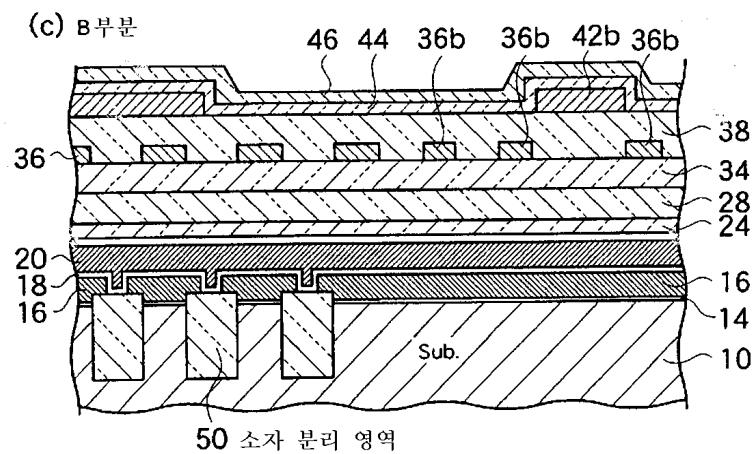
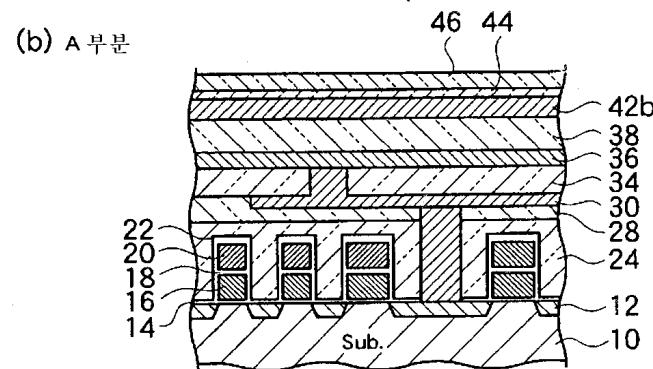
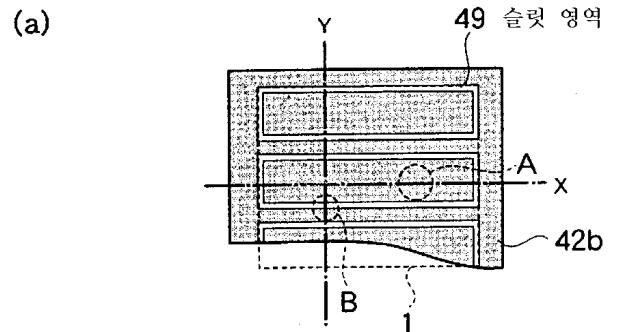
## 도면4



## 도면5



도면6



도면7

