

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-140972

(P2010-140972A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 C	5 F 0 3 3
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 H	5 F 0 3 8
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 Z	
H O 1 L 23/52 (2006.01)		

審査請求 未請求 請求項の数 14 O L (全 12 頁)

(21) 出願番号	特願2008-313662 (P2008-313662)	(71) 出願人	302062931
(22) 出願日	平成20年12月9日 (2008.12.9)		ルネサスエレクトロニクス株式会社
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
		(74) 代理人	100146178
			弁理士 浜田 満広
		(72) 発明者	松井 孝二郎
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			N E C エレクトロニクス株式会社内
		F ターム (参考)	5F033 HH11 HH12 JJ11 JJ12 KK11
			KK12 MM22 NN38 RR04 UU04
			VV10
			5F038 AC04 AC05 AC15 BH10 BH19
			CA02 CA07 EZ20

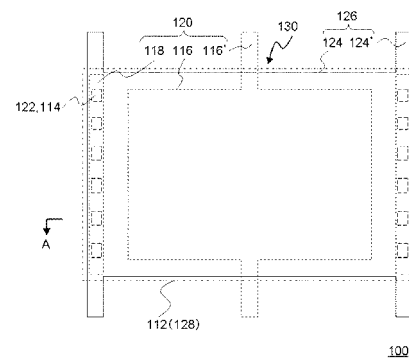
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】ノイズの影響を低減できるとともに、レイアウト効率のよいMIM型容量素子を提供する。

【解決手段】半導体装置100は、下部電極112と、下部電極112上に設けられた中間電極116と、中間電極116上に設けられた上部電極124と、下部電極112と中間電極116との間に設けられた第1の絶縁膜と、中間電極116と上部電極124との間に設けられた第2の絶縁膜と、中間電極116と同層に設けられている第1の接続配線118と、下部電極112と第1の接続配線118とを電気的に接続する第1のビア114と、第1の接続配線118と上部電極124とを電気的に接続する第2のビア122とを有し、第1の接続配線118、第1のビア114、および、第2のビア122が、中間電極116の第1の辺に隣接して設けられているとともに、中間電極116の第1の辺と対向する第2の辺に隣接して設けられている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板上に設けられた下部電極と、

前記下部電極上に設けられた中間電極と、

前記中間電極上に設けられた上部電極と、

前記下部電極と前記中間電極との間に設けられた第 1 の絶縁膜と、

前記中間電極と前記上部電極との間に設けられた第 2 の絶縁膜と、

前記中間電極と同層に設けられ、前記中間電極と電氣的に絶縁されている第 1 の接続配線と、

10

前記下部電極と前記第 1 の接続配線とを電氣的に接続する第 1 のビアと、

前記第 1 の接続配線と前記上部電極とを電氣的に接続する第 2 のビアと、

を有し、

前記下部電極と、前記中間電極と、前記上部電極と、前記第 1 の絶縁膜と、前記第 2 の絶縁膜とが、MIM 型容量素子を構成していて、

前記第 1 の接続配線、前記第 1 のビア、および、前記第 2 のビアが、前記中間電極の第 1 の辺に隣接して設けられているとともに、前記中間電極の前記第 1 の辺と対向する第 2 の辺に隣接して設けられていることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

20

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、

前記下部電極、前記中間電極、および、前記上部電極には、スリット状の溝が設けられていることを特徴とする半導体装置。

30

【請求項 5】

請求項 4 に記載の半導体装置において、

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 6】

請求項 4 または請求項 5 に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 7】

請求項 1 または請求項 4 に記載の半導体装置において、

40

前記中間電極と同層に設けられ、前記中間電極と電氣的に絶縁されている第 2 の接続配線と、

前記下部電極と前記第 2 の接続配線とを接続する第 3 のビアと、

前記第 2 の接続配線と前記上部電極とを接続する第 4 のビアと、

をさらに有し、

前記第 2 の接続配線、前記第 3 のビア、および、前記第 4 のビアが、前記中間電極の前記第 1 の辺と直交する第 3 の辺に隣接して設けられているとともに、前記中間電極の前記第 3 の辺と対向する第 4 の辺に隣接して設けられていることを特徴とする半導体装置。

【請求項 8】

請求項 7 に記載の半導体装置において、

50

前記上部電極は、前記上部電極と同層に設けられた上部電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 9】

請求項 7 または請求項 8 に記載の半導体装置において、

前記中間電極は、前記中間電極と同層に設けられた中間電極引き出し配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 6 のいずれか一項に記載の半導体装置において、前記第 1 のビアおよび前記第 2 のビアは、スリット状のビアであることを特徴とする半導体装置。

【請求項 11】

請求項 7 乃至請求項 9 のいずれか一項に記載の半導体装置において、

前記第 1 のビア、前記第 2 のビア、前記第 3 のビア、および前記第 4 のビアは、スリット状のビアであることを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項に記載の半導体装置において、複数の前記 MIM 型容量素子が、マトリックス状に配置されていることを特徴とする半導体装置。

【請求項 13】

請求項 2、請求項 5、請求項 8 のいずれか一項に記載の半導体装置において、複数の前記 MIM 型容量素子が、マトリックス状に配置されているとともに、複数の前記 MIM 型容量素子が、前記上部電極引き出し配線を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 14】

請求項 3、請求項 6、請求項 9 のいずれか一項に記載の半導体装置において、複数の前記 MIM 型容量素子が、マトリックス状に配置されているとともに、複数の前記 MIM 型容量素子が、前記上部電極引き出し配線および前記中間電極引き出し配線を介して電氣的に接続されていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に高精度な容量素子を有する半導体装置に関する。

【背景技術】

【0002】

アナログ回路を有する半導体装置には、容量素子が使用されることがある。例えば、特許文献 1 には、MIM (Metal-Insulator-Metal) 型容量素子の上部電極および下部電極と同層にダミー配線を形成し、上部電極の上層および下部電極の下層にさらにダミー配線を形成し、これらのダミー配線を接地することによって、容量素子へのノイズの影響を少なくすることが開示されている。

【0003】

また、特許文献 2 には、MIM 型容量素子の上部電極の上層に上部シールド層を設け、下部電極の下層に下部シールド層を設け、上部シールド層と下部シールド層との間をビアで接続することによって、容量素子へのノイズの結合を防止することが開示されている。

【0004】

さらに、特許文献 3 には、上部電極と中間電極と下部電極とを有し、上部電極と下部電極がビアを介して接続されている MIM 型容量素子によって、容量素子の占有面積を低減させながら、容量素子の寄生容量を低減することを開示している。

【0005】

【特許文献 1】特開 2004 - 146632 号公報

【特許文献 2】特開 2003 - 152085 号公報

【特許文献 3】特開 2007 - 5719 号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1においては、MIM型容量素子の上部電極および下部電極がビアによって囲まれていないので、ノイズの低減の点で改善の余地があった。また、上部電極の上層および下部電極の下層にさらにダミー配線を形成しているので、容量値に寄与する配線の割合が小さく、レイアウト効率の点で改善の余地があった。

【0007】

また、特許文献2においては、MIM型容量素子の上部電極の上層に上部シールド層を設け、MIM型容量素子の下部電極の下層に下部シールド層を設けているので、容量値に寄与する配線の割合が小さく、レイアウト効率の点で改善の余地があった。

10

【0008】

さらに、特許文献3においては、MIM型容量素子の上部電極と下部電極を電氣的に接続するビアが片側だけにしか設けられていないので、ノイズの低減の点で改善の余地があった。

【課題を解決するための手段】

【0009】

上述した課題を鑑みて、本発明によれば、半導体基板と、半導体基板上に設けられた下部電極と、下部電極上に設けられた中間電極と、中間電極上に設けられた上部電極と、下部電極と前記中間電極との間に設けられた第1の絶縁膜と、中間電極と上部電極との間に設けられた第2の絶縁膜と、中間電極と同層に設けられ、中間電極と電氣的に絶縁されている第1の接続配線と、下部電極と第1の接続配線とを電氣的に接続する第1のビアと、第1の接続配線と上部電極とを電氣的に接続する第2のビアとを有し、下部電極と、中間電極、上部電極と、第1の絶縁膜と、第2の絶縁膜とが、MIM型容量素子を構成していて、第1の接続配線、第1のビア、および、第2のビアが、中間電極の第1の辺に隣接して設けられているとともに、中間電極の第1の辺と対向する第2の辺に隣接して設けられていることを特徴とする半導体装置が提供される。

20

【0010】

本発明によれば、第1の接続配線、第1のビア、および、第2のビアが、中間電極を取り囲むように設けられているので、MIM型容量素子への外部からのノイズの影響をより少なくすることができるとともに、シールド層として機能する下部電極および上部電極がMIM型容量素子の容量値に寄与するので、レイアウト効率を向上させることができる。

30

【発明の効果】

【0011】

本発明によれば、ノイズの影響を低減できるとともに、レイアウト効率のよいMIM型容量素子を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照して説明する。

【0013】

(第1の実施形態)

40

図1乃至図3は、本発明の第1の実施形態を示すための図である。図1は本発明の第1の実施形態によるMIM型容量素子130を有する半導体装置100の平面図であり、図2(a)乃至図2(c)は各配線層を表す平面図であり、図3は、図1のA-A'断面図である。

【0014】

図1および図3を参照すると、本発明の第1の実施形態による半導体装置100は、半導体基板(不図示)、例えばシリコン基板上に設けられた第1の層間絶縁膜102と、第1の層間絶縁膜102上に設けられた第2の層間絶縁膜104と、第2の層間絶縁膜104上に設けられた第3の層間絶縁膜106と、第3の層間絶縁膜106上に設けられた第4の層間絶縁膜108と、第4の層間絶縁膜108上に設けられた第5の層間絶縁膜11

50

0と有している。

【0015】

第1の層間絶縁膜102には、下部電極112を含む第1の配線層128が埋め込まれている。下部電極112は、例えば、銅または銅を主成分とする合金からなる。第1の層間絶縁膜102は、例えば、シリコン酸化膜またはLow-k膜からなる。第3の層間絶縁膜106には、中間電極116、中間電極引き出し配線116'、および、第1の接続配線118を含む第2の配線層120が埋め込まれている。中間電極116、中間電極引き出し配線116'、および、第1の接続配線118は、例えば、銅または銅を主成分とする合金からなる。第3の層間絶縁膜106は、例えば、シリコン酸化膜またはLow-k膜からなる。第5の層間絶縁膜110には、上部電極124および上部電極引き出し配線124'を含む第3の配線層126が埋め込まれている。上部電極124および上部電極引き出し配線124'は、例えば、銅または銅を主成分とする合金からなる。第5の層間絶縁膜110は、例えば、シリコン酸化膜またはLow-k膜からなる。中間電極116および中間電極引き出し配線116'は電氣的に接続されていて、上部電極124および上部電極引き出し配線124'は電氣的に接続されている。第1の接続配線118と中間電極116とは、第3の層間絶縁膜106によって、電氣的に絶縁されている。第1の接続配線118は、中間電極116の両側に中間電極引き出し配線116'と平行な方向に延在するように設けられている。

10

【0016】

第2の層間絶縁膜104には、下部電極112と第1の接続配線118とを電氣的に接続する第1のビア114が埋め込まれている。第1のビア114は、例えば、銅または銅を主成分とする合金からなる。第2の層間絶縁膜104は、例えば、シリコン酸化膜またはLow-k膜からなる。第4の層間絶縁膜108には、上部電極124と第1の接続配線118とを電氣的に接続する第2のビア122が埋め込まれている。第2のビア122は、例えば、銅または銅を主成分とする合金からなる。第4の層間絶縁膜108は、例えば、シリコン酸化膜またはLow-k膜からなる。

20

【0017】

下部電極112と、第2の層間絶縁膜104と、中間電極116と、第4の層間絶縁膜108と、上部電極124は、MIM型容量素子130を構成していて、第1のビア114、第1の接続配線118、および、第2のビア122を介して互いに電氣的に接続されている下部電極112および上部電極はMIM型容量素子130の一方の電極として機能し、中間電極116はMIM型容量素子の他方の電極として機能し、第2の層間絶縁膜104および第4の層間絶縁膜108は、容量絶縁膜として機能する。

30

【0018】

また、上部電極124に電氣的に接続された上部電極引き出し配線124'は、MIM型容量素子130の一方の電極からの引き出し配線として機能し、中間電極116に電氣的に接続された中間電極引き出し配線116'は、MIM型容量素子130の他方の電極からの引き出し配線として機能する。

【0019】

図2は、図1の各配線層を示す図であり、図2(a)は第3の配線層126を示しており、図2(b)は第2の配線層120を示しており、図2(c)は第1の配線層128を示している。図2(a)の第3の配線層126は、上部電極124と上部電極引き出し配線124'を含んでおり、図2(b)の第2の配線層120の上層に設けられている。図2(b)の第2の配線層120は、中間電極116と中間電極引き出し配線116'と第1の接続配線118を含んでおり、図2(c)の第1の配線層128の上層に設けられている。

40

図2(c)の第1の配線層128は、下部電極112を含んでおり、図2(b)の第2の配線層120の下層に設けられている。

【0020】

図1および図3に示される半導体装置100は、既知のデュアルダマシンプロセスまた

50

はシングルダマシンプロセスを用いて形成することができる。また、第1配線層128は、MIM型容量素子形成領域以外の回路領域の配線を含んでいてもよいし、第2配線層120は、MIM形成領域以外の回路領域の配線を含んでいてもよいし、第3配線層126は、MIM型容量素子形成領域以外の回路領域の配線を含んでいてもよい。

【0021】

本実施形態では、電氣的に接続された第1のビア114、第1のビア122、下部電極112、上部電極124、第1の接続電極118が、中間電極116を3次的に包囲する構成になっているので、MIM型容量への外部のノイズからの影響をより少なくすることができるとともに、シールド層として機能する上部電極124および下部電極112がMIM型容量素子の容量値に寄与することができるので、レイアウトの効率化を図ることが可能になる。

10

【0022】

なお、本実施形態においては、ビア114、122を複数の矩形のビアによって形成しているけれども、図4に示すように、ビア114、122をスリット状のビアによって形成することもできる。ビア114、122をスリット状のビアにすることにより、MIM型容量素子への外部のノイズからの影響をより一層少なくすることができる。

【0023】

(第2の実施形態)

図5乃至図7は、本発明の第2の実施形態を示すための図である。図5は本発明の第2の実施形態によるMIM型容量素子230を有する半導体装置200の平面図であり、図6(a)乃至図6(c)は各配線層を表す平面図であり、図7は、図5のA-A'断面図である。

20

【0024】

第2の実施形態が第1の実施形態と異なる点は、MIM型容量素子230を構成する上部電極124、中間電極116、下部電極112がそれぞれスリット状の溝202、204、206を有していることである。第1の実施形態と異なる点については、説明を省略する。

【0025】

図5および図6(a)に示されているように、第3の配線層126に含まれる上部電極124は、スリット状の溝202を有しており、図7に示されるように、スリット状の溝202は、第5の層間絶縁膜110から構成されている。

30

【0026】

図5および図6(b)に示されているように、第2の配線層120に含まれる中間電極124は、スリット状の溝204を有しており、図7に示されるように、スリット状の溝204の箇所は、第3の層間絶縁膜106から構成されている。

【0027】

図5および図6(c)に示されているように、第1の配線層128に含まれる下部電極112は、スリット状の溝206を有しており、図7に示されるように、スリット状の溝206の箇所は、第1の層間絶縁膜102から構成されている。

40

【0028】

第1の実施形態と同様に本実施形態の半導体装置200は、既知のデュアルダマシンプロセスまたはシングルダマシンプロセスを用いて形成することができる。ダマシンプロセスにおいては、配線形成工程において、CMP (Chemical Mechanical Polishing) による平坦化を使う。CMP (Chemical Mechanical Polishing) による平坦化を行うプロセスを用いる場合には、大面積を有する配線パターン中にスリット状の溝を設けることにより、配線の上表面の平坦度が改善される。したがって、MIM型容量素子を構成する各電極にスリット状の溝を設けることによって、各電極の上表面の平坦度が改善され、MIM型容量素子の容量値の精度を向上させることができる。

【0029】

なお、本実施形態においても、ビア114、122を複数の矩形のビアによって形成し

50

ているけれども、図 8 に示すように、ビア 1 1 4 , 1 2 2 をスリット状のビアによって形成することもできる。ビア 1 1 4 , 1 2 2 をスリット状のビアにすることにより、M I M 型容量素子への外部のノイズからの影響をより一層少なくことができる。

【 0 0 3 0 】

(第 3 の実施形態)

図 9 乃至図 1 2 は、本発明の第 3 の実施形態を示すための図である。図 9 は本発明の第 3 の実施形態による M I M 型容量素子 3 3 0 を有する半導体装置 3 0 0 の平面図であり、図 1 0 (a) 乃至図 1 0 (c) は各配線層を表す平面図であり、図 1 1 は、図 9 の A - A ' 断面図であり、図 1 2 は、図 9 の B - B ' 断面図である。

【 0 0 3 1 】

第 3 の実施形態が第 1 の実施形態と異なる点は、M I M 型容量素子 3 3 0 を構成する上部電極 1 2 4 と下部電極 1 1 2 がさらに、第 3 のビア 3 0 4 と第 2 の接続配線 3 0 2 と第 4 のビア 3 0 6 によって電氣的に接続されていることである。第 1 の実施形態と異なる点については、説明を省略する。

【 0 0 3 2 】

図 9 乃至図 1 2 に示されているように、半導体装置第 3 0 0 はさらに、第 2 の配線層 1 2 0 に含まれる第 2 の接続配線 3 0 2 と、第 2 層間絶縁膜 1 0 4 内に埋め込まれ、下部電極 1 1 2 と第 2 の接続配線 3 0 2 とを電氣的に接続する第 3 のビア 3 0 4 と、第 4 層間絶縁膜 1 0 8 内に埋め込まれ、第 2 の接続配線 3 0 2 と上部電極 1 2 4 とを電氣的に接続する第 4 のビア 3 0 6 とを有している。第 2 の接続配線 3 0 2 は、例えば、銅または銅を主成分とする合金からなる。第 3 のビア 3 0 4 は、例えば、銅または銅を主成分とする合金からなる。第 4 のビア 3 0 6 は、例えば、銅または銅を主成分とする合金からなる。第 2 の接続配線 3 0 2 は、中間電極 1 1 6 の両側に第 1 の接続配線 1 1 8 と直交する方向に延在するように設けられている。すなわち、上部電極 1 2 4 は、第 1 のビア 1 1 4 、第 1 の接続配線 1 1 8 、および、第 2 のビア 1 2 2 を介して、下部電極 1 1 2 に電氣的に接続されるとともに、第 3 のビア 3 0 4 、第 2 の接続配線 3 0 2 、および、第 4 のビアを介して、下部電極 1 1 2 に電氣的に接続されている。

【 0 0 3 3 】

本実施形態においては、第 1 の実施形態の構成に加えて、上部電極 1 2 4 が、第 3 のビア 3 0 4 、第 2 の接続配線 3 0 2 、および、第 4 のビアを介して、下部電極 1 1 2 に電氣的に接続されているので、中間電極 1 1 6 の四方をビアで囲むことが可能となり、M I M 型容量素子への外部のノイズからの影響をより一層少なくことができる。

【 0 0 3 4 】

なお、本実施形態においても、ビア 1 1 4 , 1 2 2 , 3 0 4 , 3 0 6 を複数の矩形のビアによって形成しているけれども、図 1 3 に示すように、ビア 1 1 4 , 1 2 2 , 3 0 4 , 3 0 6 をスリット状のビアによって形成することもできる。ビア 1 1 4 , 1 2 2 , 3 0 4 , 3 0 6 をスリット状のビアにすることにより、M I M 型容量素子への外部のノイズからの影響をより一層少なくことができる。

【 0 0 3 5 】

(第 4 の実施形態)

図 1 4 は、本発明の第 4 の実施形態を示すための図である。本実施形態は、第 1 実施形態乃至第 3 の実施形態のいずれかの M I M 型容量素子を単位容量として用い、上記の単位容量をマトリックス状に配置したものである。

【 0 0 3 6 】

図 1 4 (a) は本発明の第 1 の実施形態による M I M 型容量素子 1 3 0 (図 1 を参照) を単位容量としてマトリックス状に配置した半導体装置 4 0 0 であり、図 1 4 (b) は本発明の第 2 の実施形態による M I M 型容量素子 2 3 0 (図 5 を参照) を単位容量としてマトリックス状に配置した半導体装置 5 0 0 であり、図 1 4 (c) は本発明の第 3 の実施形態による M I M 型容量素子 3 3 0 (図 9 を参照) を単位容量としてマトリックス状に配置した半導体装置 6 0 0 である。

10

20

30

40

50

【 0 0 3 7 】

図 1 4 (a) において、単位容量である M I M 型容量素子 1 3 0 は、上部電極引き出し配線 1 2 4 ' および中間電極引き出し配線 1 1 6 ' (図 1 を参照) を介して、相互に接続されている。また、図 1 4 (b) において、単位容量である M I M 型容量素子 2 3 0 は、上部電極引き出し配線 1 2 4 ' および中間電極引き出し配線 1 1 6 ' (図 5 を参照) を介して、相互に接続されている。さらに、図 1 4 (c) において、単位容量である M I M 型容量素子 3 3 0 は、上部電極引き出し配線 1 2 4 ' および中間電極引き出し配線 1 1 6 ' (図 9 を参照) を介して、相互に接続されている。

【 0 0 3 8 】

本実施形態においては、外部のノイズからの影響をより少なくした第 1 実施形態乃至第 3 の実施形態のいずれかの M I M 型容量素子を単位容量として、マトリックス状に配置することにより、ノイズレベルが場所によって異なるような場合においても、ノイズに起因する単位容量の容量値のバラつきを小さくできるので、より高精度な容量素子を得ることができる。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】 本発明の第 1 の実施形態の半導体装置の平面図を示す図である。

【 図 2 】 本発明の第 1 の実施形態の半導体装置の各配線層の平面図を示す図である。

【 図 3 】 本発明の第 1 の実施形態の半導体装置の断面図を示す図である。

【 図 4 】 本発明の第 1 の実施形態の半導体装置の変形例を示す平面図である。

【 図 5 】 本発明の第 2 の実施形態の半導体装置の平面図を示す図である。

【 図 6 】 本発明の第 2 の実施形態の半導体装置の各配線層の平面図を示す図である。

【 図 7 】 本発明の第 2 の実施形態の半導体装置の断面図を示す図である。

【 図 8 】 本発明の第 2 の実施形態の半導体装置の変形例を示す平面図である。

【 図 9 】 本発明の第 3 の実施形態の半導体装置の平面図を示す図である。

【 図 1 0 】 本発明の第 3 の実施形態の半導体装置の各配線層の平面図を示す図である。

【 図 1 1 】 本発明の第 3 の実施形態の半導体装置の断面図を示す図である。

【 図 1 2 】 本発明の第 3 の実施形態の半導体装置の断面図を示す図である。

【 図 1 3 】 本発明の第 3 の実施形態の半導体装置の変形例を示す平面図である。

【 図 1 4 】 本発明の第 4 の実施形態の半導体装置の平面図を示す図である。

【 符号の説明 】

【 0 0 4 0 】

- 1 0 0 半導体装置
- 1 0 2 第 1 の層間絶縁膜
- 1 0 4 第 2 の層間絶縁膜
- 1 0 6 第 3 の層間絶縁膜
- 1 0 8 第 4 の層間絶縁膜
- 1 1 0 第 5 の層間絶縁膜
- 1 1 2 下部電極
- 1 1 4 第 1 のビア
- 1 1 6 中間電極
- 1 1 6 ' 中間電極引き出し配線
- 1 1 8 第 1 の接続配線
- 1 2 0 第 2 の配線層
- 1 2 2 第 2 のビア
- 1 2 4 上部電極
- 1 2 4 ' 上部電極引き出し配線
- 1 2 6 第 3 の配線層
- 1 2 8 第 1 の配線層
- 1 3 0 M I M 型容量素子

10

20

30

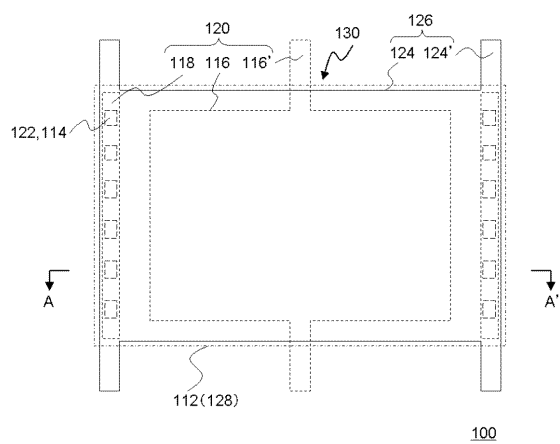
40

50

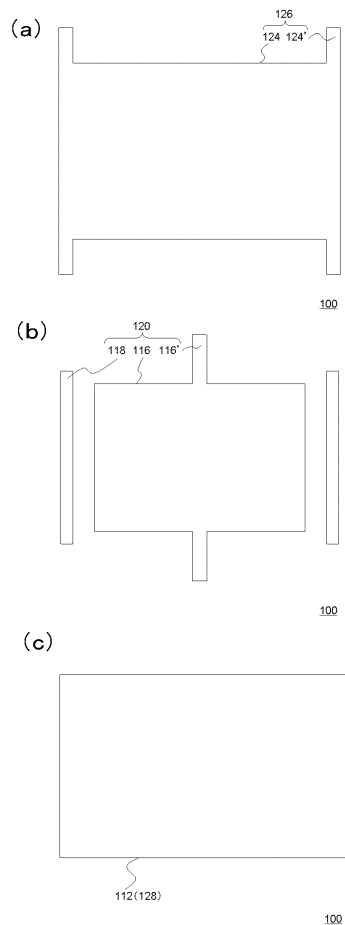
2 0 0 半 導 体 装 置
 2 0 2 スリット状の溝
 2 0 4 スリット状の溝
 2 0 6 スリット状の溝
 2 3 0 M I M 型 容 量 素 子
 3 0 0 半 導 体 装 置
 3 0 2 第 2 の 接 続 配 線
 3 0 4 第 3 の ビ ア
 3 0 6 第 4 の ビ ア
 3 3 0 M I M 型 容 量 素 子
 4 0 0 半 導 体 装 置
 5 0 0 半 導 体 装 置
 6 0 0 半 導 体 装 置

10

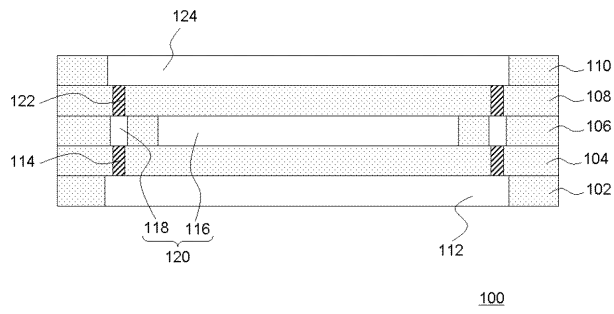
【 図 1 】



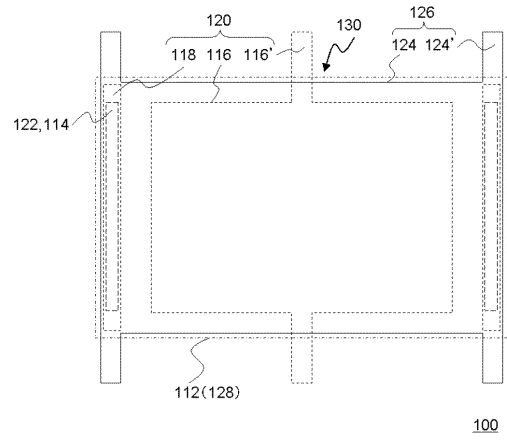
【 図 2 】



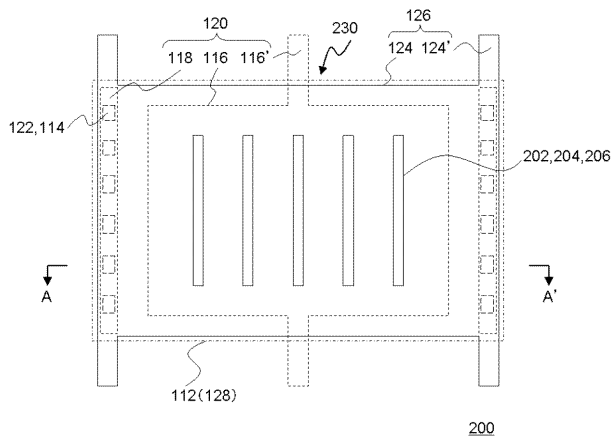
【図 3】



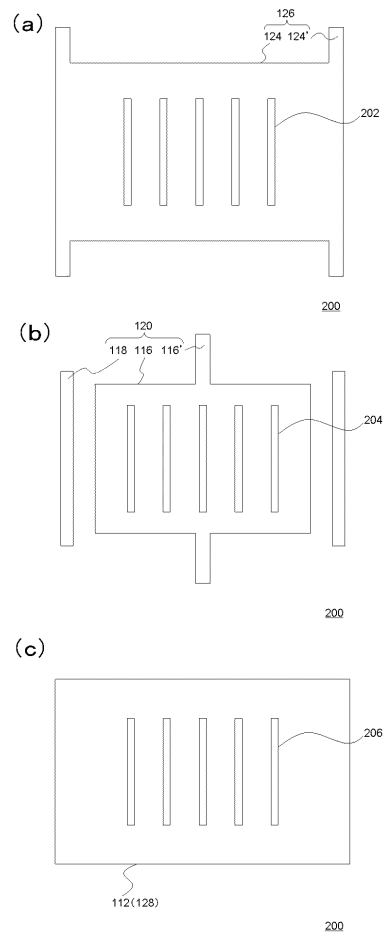
【図 4】



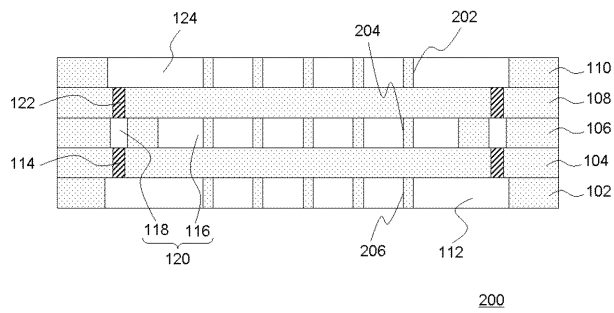
【図 5】



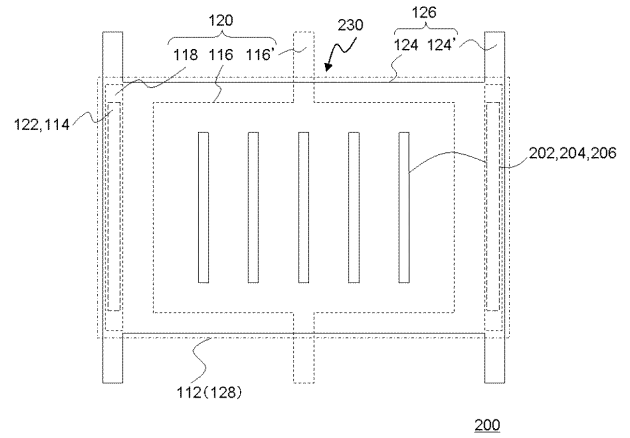
【図 6】



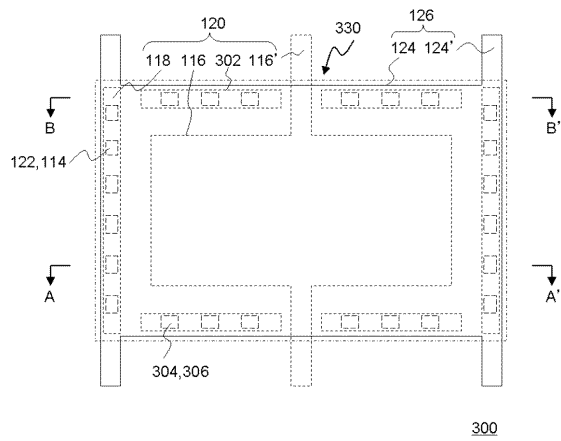
【図 7】



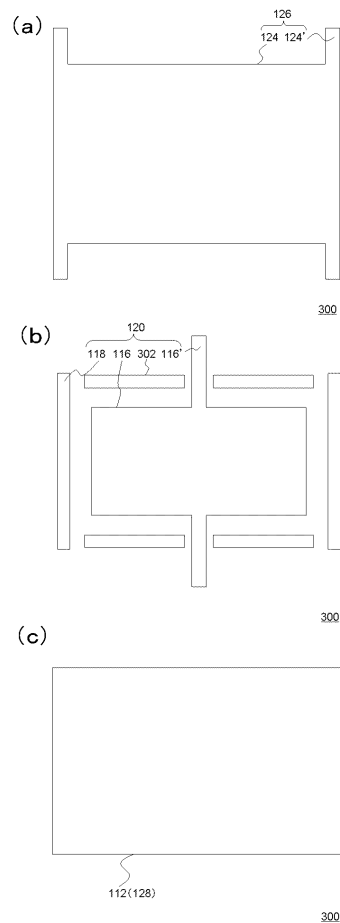
【図 8】



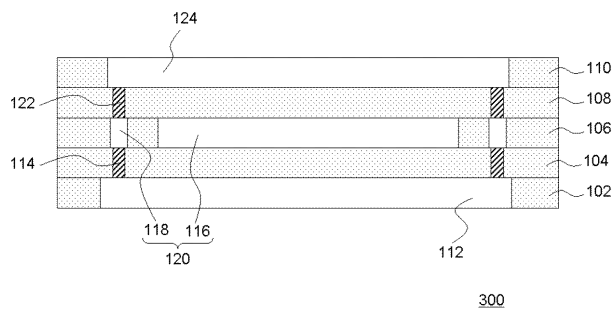
【図 9】



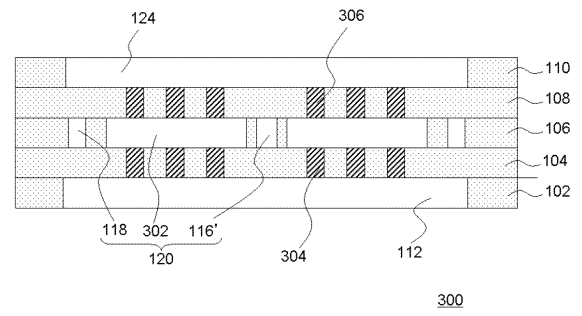
【図 10】



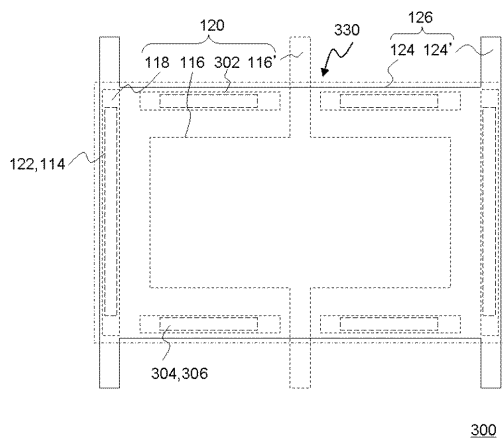
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

