

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 17 年 6 月 30 日 (2005.6.30)

【公開番号】特開 2001-274351 (P2001-274351A)
【公開日】平成 13 年 10 月 5 日 (2001.10.5)
【出願番号】特願 2000-87402 (P2000-87402)
【国際特許分類第 7 版】

H 0 1 L 27/10
H 0 1 L 27/108
H 0 1 L 21/8242

【F I】

H 0 1 L 27/10 4 5 1
H 0 1 L 27/10 6 2 1 Z
H 0 1 L 27/10 6 5 1
H 0 1 L 27/10 6 8 1 Z

【手続補正書】
【提出日】平成 16 年 10 月 20 日 (2004.10.20)
【手続補正 1】

【補正対象書類名】明細書
【補正対象項目名】発明の名称
【補正方法】変更
【補正の内容】

【発明の名称】強誘電体メモリ

【手続補正 2】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1、第 2 のソース/ドレイン領域を有する MOS トランジスタと、

前記 MOS トランジスタの上方に強誘電体キャパシタの第 1、第 2 電極を結ぶ線が前記第 1、第 2 のソース/ドレイン領域間に形成されたチャンネルに沿った方向になるように前記第 1、第 2 電極が横方向に配置された強誘電体キャパシタと、

前記 MOS トランジスタのゲートに接続された第 1 のコンタクトプラグならびに前記 MOS トランジスタの第 1、第 2 のソース/ドレイン領域にそれぞれ接続された第 2、第 3 のコンタクトプラグと、

前記第 1、第 2 のソース/ドレイン領域に接続された前記第 2、第 3 のコンタクトプラグ上に夫々形成され、前記強誘電体キャパシタの第 1、第 2 電極に接触する側面を夫々有する第 1、第 2 の金属配線と、
を備えたことを特徴とする強誘電体メモリ。

【請求項 2】

半導体基板上に形成された第 1、第 2 のソース/ドレイン領域を有する MOS トランジスタと、

前記 MOS トランジスタを覆って形成された層間絶縁膜と、

前記 MOS トランジスタの上方にその第 1、第 2 電極を結ぶ線が前記第 1、第 2 のソース/ドレイン領域間に形成されたチャンネルに沿った方向になるように前記第 1、第 2 電極

が横向きに配置されたキャパシタと、

前記層間絶縁膜に埋設された第1、第2、第3のコンタクトプラグであって、前記第1のコンタクトプラグの一方の端部は前記MOSトランジスタのゲートに接続され、前記第2、第3のコンタクトプラグの一方の端部は前記MOSトランジスタの第1、第2のソース/ドレイン領域にそれぞれ接続され、前記第1乃至第3のコンタクトプラグの他方の端部は前記層間絶縁膜の表面から露出される、第1、第2、第3のコンタクトプラグと、

前記第1、第2のソース/ドレイン領域に接続された前記第2、第3のコンタクトプラグ上に夫々形成され、前記キャパシタの第1、第2電極に接触する側面を夫々有する第1、第2の金属配線と、

を備えたことを特徴とする強誘電体メモリ。

【請求項3】

半導体基板上に並んで形成された複数の拡散領域と、

前記複数の拡散領域のうちの2つの隣接する拡散領域間において前記半導体基板の表面部に形成されたゲート絶縁膜を介してそれぞれ形成され、前記2つの隣接する拡散領域とともに複数のMOSトランジスタを形成する複数のゲート電極と、

前記夫々のMOSトランジスタの上方に横方向に配置された第1、第2電極をそれぞれ有する複数の強誘電体キャパシタと、

前記MOSトランジスタのゲートに接続された複数の第1のコンタクトプラグならびに前記MOSトランジスタのソース/ドレイン領域として動作する前記拡散領域にそれぞれ接続された複数の第2のコンタクトプラグとを含む複数のコンタクトプラグと、

夫々前記第2のコンタクトプラグに接続され、前記強誘電体キャパシタ夫々の第1電極に接触する一側面を有する第1の金属配線ならびにこの第1の金属配線と隣接して前記強誘電体キャパシタの第2電極に接触する一側面を有する第2の金属配線とを含む複数の金属配線と、

を備えたことを特徴とする強誘電体メモリ。

【請求項4】

半導体基板表面上に順次形成された複数の拡散領域と、

前記複数の拡散領域のうちの隣接する拡散領域間において前記半導体基板の表面部に形成されたゲート絶縁膜を介してそれぞれ形成され、前記複数の拡散領域とともに複数のMOSトランジスタを形成する複数のゲート電極と、

前記MOSトランジスタを覆うように形成され且つ平らな表面を有する層間絶縁膜と、

半導体基板の表面に形成されたMOSトランジスタの上方に夫々のチャネル長方向に沿って横方向に配置された第1、第2電極をそれぞれ有する複数の強誘電体キャパシタと、

前記層間絶縁膜中に埋設され、一方の端部が前記MOSトランジスタのゲート電極ならびに前記MOSトランジスタのソース/ドレイン領域として動作する拡散領域に夫々接続され、他方の端部が前記層間絶縁膜の表面から露出した複数のコンタクトプラグと、

夫々前記ソース/ドレイン領域として動作する拡散領域に接続されたコンタクトプラグに接触し、前記強誘電体キャパシタの第1電極に接触する一側面を有する第1の金属配線ならびにこの第1の金属配線と隣接して前記強誘電体キャパシタの第2電極に接触する一側面を有する第2の金属配線とを含む複数の金属配線と、

を備えたことを特徴とする強誘電体メモリ。