



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

222723
(11) (B1)

(51) Int. Cl.³
G 06 K 5/04

(22) Přihlášeno 30 01 81
(21) (PV 663-81)

(40) Zveřejněno 26 02 82

(45) Vydáno 15 03 86

(75)
Autor vynálezu JARABICA JOSEF ing., PRAHA

(54) Zapojení pro vyhodnocení záznamu dvojí frekvence

1

Vynález se týká zapojení pro vyhodnocení záznamu dvojí frekvence, který je čten např. z magnetického média, jako je magnetický disk nebo pružný magnetický disk, to jest floppy. Sériová čtená data vyhodnocená v předběžném obvodu podle vynálezu se ukládají do registru, odkud se již v paralelním tvaru předávají do vyrovnávací paměti, ze které jsou podle potřeby odebírána k dalšímu zpracování.

Dosud používaná zapojení obvodů pro vyhodnocení záznamu dvojí frekvence předpokládají buď pevný kmitočet čtených dat, to jest stejnou dobu trvání bitového intervalu, což jim znemožňuje vyrovnat odchylku při kolísání rychlosti magnetického média a může mít za následek vyšší chybovost při vyhodnocení čteného signálu, nebo používají složité oscilátory s pilovým průběhem napětí, které sledují kmitočet čtených dat a pomocí napěťových komparátorů zvyšují nebo snižují frekvenci synchronizačního oscilátoru. Tyto obvody potřebují pro správnou funkci rychlou a tedy i složitou analogovou paměť odchylky fáze vzorkovanou v době příchodu čtených dat, to jest v době reverzace záznamové vrstvy média. Realizace analogových vzorkovacích obvodů s pamětí je značně nákladná a často vyžaduje použití nestandardních napěťo-

2

vých úrovní a zvyšuje tak nároky na napájecí zdrojovou soustavu.

Úkolem předloženého vynálezu je odstranění vpředu uvedených nevýhod dosud známých a užívaných zapojení pro vyhodnocení záznamů dvojí frekvence, užívaného u magnetických nosičů informace, s cílem dosažení vyšší provozní spolehlivosti při vyhodnocování záznamu dvojí frekvence.

Podstata zapojení pro vyhodnocení záznamu dvojí frekvence, zejména pro vyhodnocení záznamů informace pořízených na magnetických nosičích informace podle vynálezu spočívá v tom, že první vstup fázového komparátoru je spojen s prvním vstupem úplného zapojení pro přívod signálu synchronizace podle datových pulsů magnetického záznamu, dále druhý vstup fázového komparátoru je spojen jednak se třetím vstupem zpětnovazebního regulátoru napětí a jednak s druhým vstupem úplného zapojení pro přívod signálu rychlého zasynchronizování oscilátoru s frekvencí magnetického záznamu, přičemž třetí vstup fázového komparátoru je spojen jednak se čtvrtým vstupem separátoru datových a hodinových pulsů a jednak se třetím vstupem úplného zapojení pro přívod dat dvojí frekvence magnetického záznamu, zatímco čtvrtý vstup fázového komparátoru a první vstup sepa-

rátoru datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke třetímu výstupu generátoru synchronizačních pulsů a jednak k třetímu výstupu úplného zapojení pro odběr signálu intervalu jednoho bitu záznamu získaného jako osmina základní frekvence napěťově řízeného oscilátoru, zatímco pátý vstup fázového komparátoru a druhý vstup separátoru datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke druhému výstupu generátoru synchronizačních pulsů a jednak ke druhému výstupu úplného zapojení pro odběr fázově posunutě čtvrtiny základní frekvence napěťově řízeného oscilátoru, přičemž třetí vstup separátoru datových a hodinových pulsů a první výstup generátoru synchronizačních pulsů jsou spolu spojeny a připojeny k prvnímu výstupu úplného zapojení pro odběr čtvrtiny základní frekvence napěťově řízeného oscilátoru, zatímco šestý vstup fázového komparátoru je spojen s třetím výstupem tříbitové paměti přírůstku a úbytku pro časové blokování fáze během synchronizace záznamu dvojí frekvence, přičemž druhý vstup tříbitové paměti přírůstku a úbytku je spojen s prvním výstupem fázového komparátoru pro vysílání budicího signálu přírůstku napětí, zatímco třetí vstup tříbitové paměti přírůstku a úbytku je spojen s druhým výstupem fázového komparátoru pro vysílání budicího signálu úbytku napětí, přičemž čtvrtý vstup tříbitové paměti přírůstku a úbytku je spojen s třetím výstupem fázového komparátoru pro vysílání signálu nulování paměti, zatímco pátý vstup tříbitové paměti přírůstku a úbytku je spojen s prvním výstupem separátoru datových a hodinových pulsů pro vysílání signálu o chybějícím hodinovém pulsu uvnitř jedné bitové periody čteného záznamu dvojí frekvence, přičemž první vstup tříbitové paměti přírůstku a úbytku je spojen s prvním výstupem zpětnovazebního regulátoru napětí pro vysílání signálu blokování přírůstku napětí v případě překročení mezního napětí odpovídajícímu maximálně frekvenci reverzací čteného záznamu dvojí frekvence, zatímco čtvrtý výstup úplného zapojení je spojen s druhým výstupem separátoru datových a hodinových pulsů pro vysílání signálu o přítomnosti datového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, přičemž pátý výstup úplného zapojení je spojen se třetím výstupem separátoru datových a hodinových pulsů pro vysílání signálu o přítomnosti hodinového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, zatímco první vstup zpětnovazebního regulátoru napětí je spojen s prvním výstupem tříbitové paměti přírůstku a úbytku pro vysílání zapamatovaného signálu o přírůstku napětí, zatímco druhý vstup zpětnovazebního regulátoru napětí je spojen s druhým výstupem tříbitové paměti přírůst-

ku a úbytku pro vysílání zapamatovaného signálu o úbytku napětí, přičemž vstup napěťově řízeného oscilátoru je spojen s druhým výstupem zpětnovazebního regulátoru napětí pro vysílání proměnné napěťové úrovně zvětšené nebo zmenšené o přírůstek nebo úbytek způsobený posunutím fáze čteného záznamu dvojí frekvence vzhledem k stavu vnitřní synchronizace danému signály tří výstupů generátoru synchronizačních pulsů během posledního vyhodnocovacího bitového intervalu záznamu dvojí frekvence, zatímco vstup generátoru synchronizačních pulsů je spojen s výstupem napěťově řízeného oscilátoru, pro vysílání proměnné frekvence v závislosti na úrovni řídicího napětí připojeného na vstup napěťově řízeného oscilátoru.

Zpětnovazební regulátor napětí může být sestaven z třístavového proudového budiče, třístavového impedančního článku, emitorového sledovače proporciálně integračního RC členu, napěťového komparátoru a referenčního potenciometru, které jsou spojeny tak, že první vstup třístavového proudového budiče je spojen s prvním vstupem zpětnovazebního regulátoru napětí, přičemž druhý vstup třístavového proudového budiče a první vstup třístavového impedančního článku jsou spolu spojeny a připojeny k třetímu vstupu zpětnovazebního regulátoru napětí, zatímco druhý vstup třístavového impedančního článku je spojen s druhým vstupem zpětnovazebního regulátoru napětí, přičemž vstup emitorového sledovače a vstup proporciálně integračního RC členu jsou spolu spojeny a připojeny jednak k výstupu třístavového proudového budiče pro vysílání proudu I , $2I$ nebo nulového proudu, a jednak s výstupem třístavového impedančního článku, pro zatěžování impedancemi Z , $2Z$ nebo konečnou impedancí, přičemž výstup emitorového sledovače je připojen k druhému výstupu zpětnovazebního regulátoru napětí pro odebrání řídicího analogového napětí, jehož velikost odpovídá zapamatované úrovni napětí na proporciálně integračním RC členu impedančně oddělenému emitorovým sledovačem, zatímco výstup proporciálně integračního RC členu, pro vysílání analogové integrační složky získané nabíjením z proudového zdroje nebo sníženou zatěžovací impedancí, je spojen s prvním vstupem napěťového komparátoru, zatímco druhý vstup napěťového komparátoru je spojen s výstupem referenčního potenciometru pro nastavení prahového napětí odpovídajícího maximální reakční frekvenci, přičemž výstup napěťového komparátoru pro hodnoty logické nuly nebo jedničky v závislosti na rozdílu napětí mezi svými vstupy je spojen s prvním výstupem zpětnovazebního regulátoru napětí pro vysílání blokovacího signálu v případě, že při nesouhlasu vyhodnocovaného záznamu dvojí frekvence s nasta-

veným normálem na referenčním potenciometru.

Zapojení pro vyhodnocení záznamů dvojí frekvence, jak bylo popsáno, má oproti doposud realizovaným obvodům zvýrazněny následující vlastnosti:

Je snadno realizovatelné s běžnými elektronickými součástkami a nemusí se pracně nastavovat a oživovat. Současně je zcela nezávislé na toleranci součástek a změny teploty i napěťových napájecích úrovní, protože všechny tyto změny se plynule kompenzují ve zpětnovazební regulační smyčce, která kompenzuje i případné změny fázových a frekvenčních odchylek způsobených proměnnou rychlostí pohybu magnetického záznamového média. Zvyšuje značně spolehlivost čtení záznamu, protože umožňuje provoz detekce a synchronizace čteného záznamu provádět se dvěma zesíleními zpětnovazební smyčky, z nichž větší zesílení, žádané signálem rychlého zasynchronizování oscilátoru, se uplatňuje při hledání synchronizačních pulsů před počáteční adresovou značkou a menší zesílení a tedy i dlouhodobější stálost frekvence je vyžadována v průběhu vlastního čtení dat záznamu. Zapojení umožňuje zvýšit množství přenášených slabik dat v poměru k délce nutných synchronizačních oblastí před každým blokem záznamu dat na použitém médiu, což představuje celkové zvýšení datové kapacity média.

Na připojených obrázcích je uveden jeden z možných příkladů provedení zapojení podle vynálezu, kde

obr. 1 je úplné zapojení,

obr. 2 je speciální uspořádání zpětnovazebního regulátoru napětí, a

obr. 3 je časový diagram.

Podle obr. 1 zapojení pro vyhodnocení záznamu dvojí frekvence, zejména pro vyhodnocení záznamů informace pořízených na magnetických nosičích informace je provedeno tak, že první vstup 31 fázového komparátoru 3 je spojen s prvním vstupem úplného zapojení pro přívod signálu synchronizace podle datových pulsů magnetického záznamu, dále druhý vstup 32 fázového komparátoru 3 je spojen jednak se třetím vstupem 53 zpětnovazebního regulátoru 5 napětí a jednak s druhým vstupem úplného zapojení pro přívod signálu rychlého zasynchronizování oscilátoru s frekvencí magnetického záznamu, přičemž třetí vstup 33 fázového komparátoru je spojen jednak se čtvrtým vstupem 64 separátoru 6 datových a hodinových pulsů a jednak se třetím vstupem úplného zapojení, pro přívod dat dvojí frekvence magnetického záznamu, zatímco čtvrtý vstup 34 fázového komparátoru 3 a první vstup 61 separátoru 6 datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke třetímu výstupu generátoru 2 synchronizačních pulsů a jednak k třetímu výstupu úplného zapojení pro odběr signálu intervalu jednoho bitu záznamu zís-

kaného jako osmina základní frekvence napěťově řízeného oscilátoru 1, zatímco pátý vstup 35 fázového komparátoru 3 a druhý vstup 62 separátoru 6 datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke druhému výstupu generátoru 2 synchronizačních pulsů a jednak ke druhému výstupu úplného zapojení pro odběr fázově posunuté čtvrtiny základní frekvence napěťově řízeného oscilátoru 1, přičemž třetí vstup 63 separátoru 6 datových a hodinových pulsů a první výstup generátoru 2 synchronizačních pulsů jsou spolu spojeny a připojeny k prvnímu výstupu úplného zapojení pro odběr čtvrtiny základní frekvence napěťově řízeného oscilátoru 1, zatímco šestý vstup 36 fázového komparátoru 3 je spojen s třetím výstupem tříbitové paměti 4 přírůstku a úbytku pro časové blokování fáze během synchronizace záznamu dvojí frekvence, přičemž druhý vstup 42 tříbitové paměti 4 přírůstku a úbytku je spojen s prvním výstupem fázového komparátoru 3 pro vysílání budicího signálu přírůstku napětí, zatímco třetí vstup 43 tříbitové paměti 4 přírůstku a úbytku je spojen s druhým výstupem fázového komparátoru 3 pro vysílání budicího signálu úbytku napětí, přičemž čtvrtý vstup 44 tříbitové paměti 4 přírůstku a úbytku je spojen s třetím výstupem fázového komparátoru 3 pro vysílání signálu nulování paměti, zatímco pátý vstup 45 tříbitové paměti 4 přírůstku a úbytku je spojen s prvním výstupem separátoru 6 datových a hodinových pulsů pro vysílání signálu o chybějícím hodinovém pulsu uvnitř jedné bitové periody čteného záznamu dvojí frekvence, přičemž první vstup 41 tříbitové paměti 4 přírůstku a úbytku je spojen s prvním výstupem zpětnovazebního regulátoru 5 napětí pro vysílání signálu blokování přírůstku napětí v případě překročení mezního napětí odpovídajícímu maximálně frekvenci reverzací čteného záznamu dvojí frekvence, zatímco čtvrtý výstup úplného zapojení je spojen s druhým výstupem 66 separátoru 6 datových a hodinových pulsů pro vysílání signálu o přítomnosti datového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, přičemž pátý výstup úplného zapojení je spojen se třetím výstupem 67 separátoru 6 datových a hodinových pulsů pro vysílání signálu o přítomnosti hodinového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, zatímco první vstup 51 zpětnovazebního regulátoru 5 napětí je spojen s prvním výstupem tříbitové paměti 4 přírůstku a úbytku pro vysílání zapamatovaného signálu o přírůstku napětí, zatímco druhý vstup 52 zpětnovazebního regulátoru 5 napětí je spojen s druhým výstupem tříbitové paměti 4 přírůstku a úbytku pro vysílání zapamatovaného signálu o úbytku napětí, přičemž vstup 11 napěťově řízeného oscilátoru 1 je

spojen s druhým výstupem zpětnovazebního regulátoru **5** napětí, pro vysílání proměnné napětíové úrovně zvětšené nebo zmenšené o přírůstek nebo úbytek způsobený posunutím fáze čteného záznamu dvojí frekvence vzhledem k stavu vnitřní synchronizace danému signály tří výstupů generátoru **2** synchronizačních pulsů během posledního vyhodnocovacího bitového intervalu záznamu dvojí frekvence, zatímco vstup **21** generátoru **2** synchronizačních pulsů je spojen s výstupem napětíově řízeného oscilátoru **1** pro vysílání proměnné frekvence v závislosti na úrovni řídicího napětí připojeného na vstup **11** napětíově řízeného oscilátoru **1**. Zpětnovazební regulátor **5** napětí podle obr. 2 je sestaven z třístavového proudového budiče **56**, třístavového impedančního článku **57**, emitorového sledovače **58** proporcionálně integračního RC členu **59**, napětíového komparátoru **60** a referenčního potenciometru **61**, které jsou zapojeny tak, že první vstup **561** třístavového proudového budiče **56** je spojen s prvním vstupem **51** zpětnovazebního regulátoru **5** napětí, přičemž druhý vstup **562** třístavového proudového budiče **56** a první vstup **571** třístavového impedančního článku **57** jsou spolu spojeny a připojeny k třetímu vstupu **53** zpětnovazebního regulátoru napětí **5**, zatímco druhý vstup **572** třístavového impedančního článku **57** je spojen s druhým vstupem **52** zpětnovazebního regulátoru napětí **5**, přičemž vstup **581** emitorového sledovače **58** a vstup **591** proporcionálně integračního RC členu **59** jsou spolu spojeny a připojeny jednak k výstupu třístavového proudového budiče **56**, pro vysílání proudu I , $2I$ nebo nulového proudu a jednak s výstupem třístavového impedančního článku **57**, pro zatěžování impedancemi Z , $2Z$ nebo nekonečnou impedancí, přičemž výstup emitorového sledovače **58** je připojen k druhému výstupu zpětnovazebního regulátoru **5** napětí pro odebrání řídicího analogového napětí, jehož velikost odpovídá zapamatované úrovni napětí na proporcionálně integračním členu **59** impedančně oddělenému emitorovým sledovačem **58**, zatímco výstup proporcionálně integračního RC členu **59**, pro vysílání analogové integrační složky získané nabíjením z proudového zdroje nebo sníženou zatěžovací impedancí, je spojen s prvním vstupem **601** napětíového komparátoru **10**, zatímco druhý vstup **602** napětíového komparátoru je spojen s výstupem referenčního potenciometru **61**, pro nastavení prahového napětí odpovídajícího maximální reakční frekvenci zapojení podle bodu 1 vynálezu, přičemž výstup napětíového kompa-

rátoru **60**, pro hodnoty logické nuly nebo jedničky v závislosti na rozdílu napětí mezi svými vstupy **601**, **602** je spojen s prvním výstupem zpětnovazebního regulátoru napětí **5** pro vysílání blokového signálu v případě, že při nesouhlasu vyhodnocovaného záznamu dvojí frekvence s nastaveným normálem na referenčním potenciometru **61**.

Úplnou představu pro objasnění funkce obvodu podle vynálezu podává časový diagram na obr. 3.

Z diagramu je zřejmé, že měřená fázová odchylka mezi daty dvojí frekvence přicházející na třetí vstup úplného zapojení a vlastními pulsy vnitřní synchronizace vysílanými na druhý výstup úplného zapojení jako fázově posunutá čtvrtina základní frekvence se uplatňuje pouze při kladné hodnotě pulsů na třetím výstupu úplného zapojení označujícím intervaly jednotlivých bitů záznamu dvojí frekvence, to jest v dobách předpokládaného příchodu hodinových pulsů záznamu. Pro případy rychlého nasynchronizování, to jest, je-li na druhý vstup úplného zapojení přiveden signál logické jedničky, neplatí tyto omezení a v tomto případě je každý signál přicházející na třetí vstup dat dvojí frekvence chápán jako hodinový puls. V tomto případě rozhodují o správném zasynchronizování a nalezení standardizované synchronizační oblasti pátý výstup vysílající signály o přítomnosti hodinového pulsu a čtvrtý výstup vysílací signály o přítomnosti datového pulsu. V synchronizační oblasti se nesmí vyskytovat žádný signál o přítomnosti dalšího pulsu a naopak musí tam být přítomna souvislá skupina minimálně šestnácti hodinových pulsů. V případě splnění těchto podmínek se čtený záznam považuje za zasynchronizovaný a na druhý vstup rychlého zasynchronizování je potom přiváděna logická nula. První nenulová slabika dat, to jest taková, která obsahuje alespoň jeden kladný puls na čtvrtém výstupu separovaných a standardizovaných dat, přicházející po nalezení synchronizační oblasti záznamu, je chápána jako adresová značka záznamu obsahující předem standardizovanou kombinaci hodinových a datových pulsů záznamu dvojí frekvence. Pokud standard adresové značky vyžaduje nepřítomnost některých hodinových pulsů ve slabice značky, pak na popud signálu na prvním vstupu úplného zapojení je vyžadována synchronizace podle datových pulsů záznamu.

Zapojení podle vynálezu lze používat pro všechny záznamy na magnetických nosičích informací.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro vyhodnocení záznamu dvojí frekvence, zejména pro vyhodnocení záznamů informace pořízených na magnetických nosičích informace, vyznačující se tím, že první vstup (31) fázového komparátoru (3) je spojen s prvním vstupem úplného zapojení pro přívod signálu synchronizace podle datových pulsů magnetického záznamu, dále druhý vstup (32) fázového komparátoru (3) je spojen jednak se třetím vstupem (53) zpětnovazebního regulátoru (5) napětí a jednak s druhým vstupem úplného zapojení pro přívod signálu rychlého zasynchronizování oscilátoru s frekvencí magnetického záznamu, přičemž třetí vstup (33) fázového komparátoru (3) je spojen jednak se čtvrtým vstupem (64) separátoru (6) datových a hodinových pulsů a jednak se třetím vstupem úplného zapojení pro přívod dat dvojí frekvence magnetického záznamu, zatímco čtvrtý vstup (34) fázového komparátoru (3) a první vstup (61) separátoru (6) datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke třetímu výstupu generátoru (2) synchronizačních pulsů a jednak k třetímu výstupu úplného zapojení pro odběr signálu intervalu jednoho bitu záznamu získaného jako osmina základní frekvence napěťově řízeného oscilátoru (1), zatímco pátý vstup (35) fázového komparátoru (3) a druhý vstup (62) separátoru (6) datových a hodinových pulsů jsou spolu spojeny a připojeny jednak ke druhému výstupu generátoru (2) synchronizačních pulsů a jednak ke druhému výstupu úplného zapojení pro odběr fázově posunuté čtvrtiny základní frekvence napěťově řízeného oscilátoru (1), přičemž třetí vstup (63) separátoru (6) datových a hodinových pulsů a první výstup generátoru (2) synchronizačních pulsů jsou spolu spojeny a připojeny k prvnímu výstupu úplného zapojení pro odběr čtvrtiny základní frekvence napěťově řízeného oscilátoru (1), zatímco šestý vstup (36) fázového komparátoru (3) je spojen s třetím výstupem tříbitové paměti (4) přírůstku a úbytku pro časové blokování fáze během synchronizace záznamu dvojí frekvence, přičemž druhý vstup (42) tříbitové paměti (4) přírůstku a úbytku je spojen s prvním výstupem fázového komparátoru (3) pro vysílání budicího signálu přírůstku napětí, zatímco třetí vstup (43) tříbitové paměti (4) přírůstku a úbytku je spojen s druhým výstupem fázového komparátoru (3) pro vysílání budicího signálu úbytku napětí, přičemž čtvrtý vstup (44) tříbitové paměti (4) přírůstku a úbytku je spojen s třetím výstupem fázového komparátoru (3) pro vysílání signálu nulování paměti, zatímco pátý vstup (45) tříbitové paměti (4) přírůstku a úbytku je spojen s prvním výstupem separátoru (6) datových a hodinových pulsů pro vysílání sig-

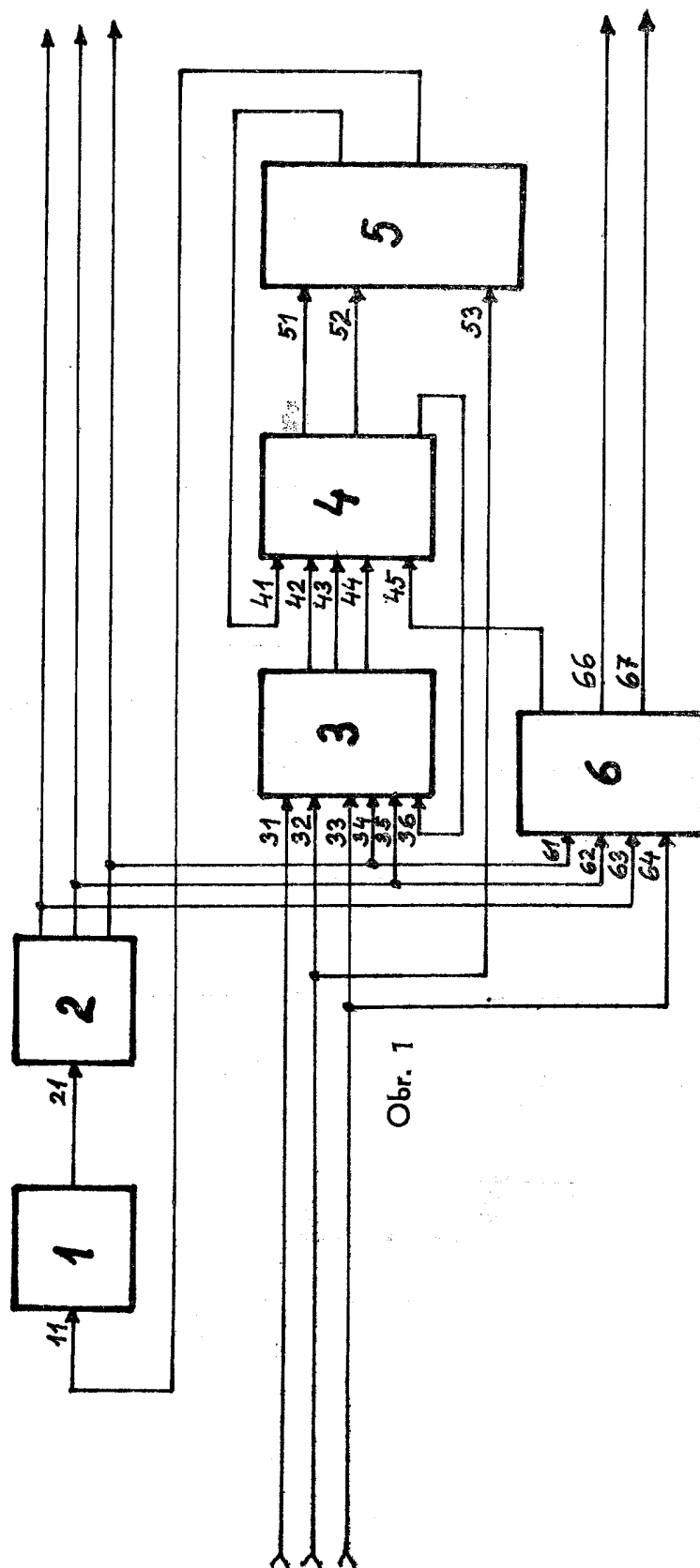
nálu o chybějícím hodinovém pulsu uvnitř jedné bitové periody čteného záznamu dvojí frekvence, přičemž první vstup (41) tříbitové paměti (4) přírůstku a úbytku je spojen s prvním výstupem zpětnovazebního regulátoru (5) napětí pro vysílání signálu blokování přírůstku napětí v případě překročení mezního napětí odpovídajícímu maximálně frekvenci reverzací čteného záznamu dvojí frekvence, zatímco čtvrtý výstup úplného zapojení je spojen s druhým výstupem (66) separátoru (6) datových a hodinových pulsů pro vysílání signálu o přítomnosti datového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, přičemž pátý výstup úplného zapojení je spojen se třetím výstupem (67) separátoru (6) datových a hodinových pulsů pro vysílání signálu o přítomnosti hodinového pulsu v časovém intervalu odpovídajícímu jednomu bitu čteného záznamu dvojí frekvence, zatímco první vstup (51) zpětnovazebního regulátoru (5) napětí je spojen s prvním výstupem tříbitové paměti (4) přírůstku a úbytku pro vysílání zapamatovaného signálu o přírůstku napětí, zatímco druhý vstup (52) zpětnovazebního regulátoru (5) napětí je spojen s druhým výstupem tříbitové paměti (4) přírůstku a úbytku pro vysílání zapamatovaného signálu o úbytku napětí, přičemž vstup (11) napěťově řízeného oscilátoru (1) je spojen s druhým výstupem zpětnovazebního regulátoru (5) napětí pro vysílání proměnné napěťové úrovně zvětšené nebo zmenšené o přírůstek nebo úbytek způsobený posunutím fáze čteného záznamu dvojí frekvence vzhledem k stavu vnitřní synchronizace danému signály tří výstupů generátoru (2) synchronizačních pulsů během posledního vyhodnocovacího bitového intervalu záznamu dvojí frekvence, zatímco vstup (21) generátoru (2) synchronizačních pulsů je spojen s výstupem napěťově řízeného oscilátoru (1) pro vysílání proměnné frekvence v závislosti na úrovni řídicího napětí připojeného na vstup (11) napěťově řízeného oscilátoru (1).

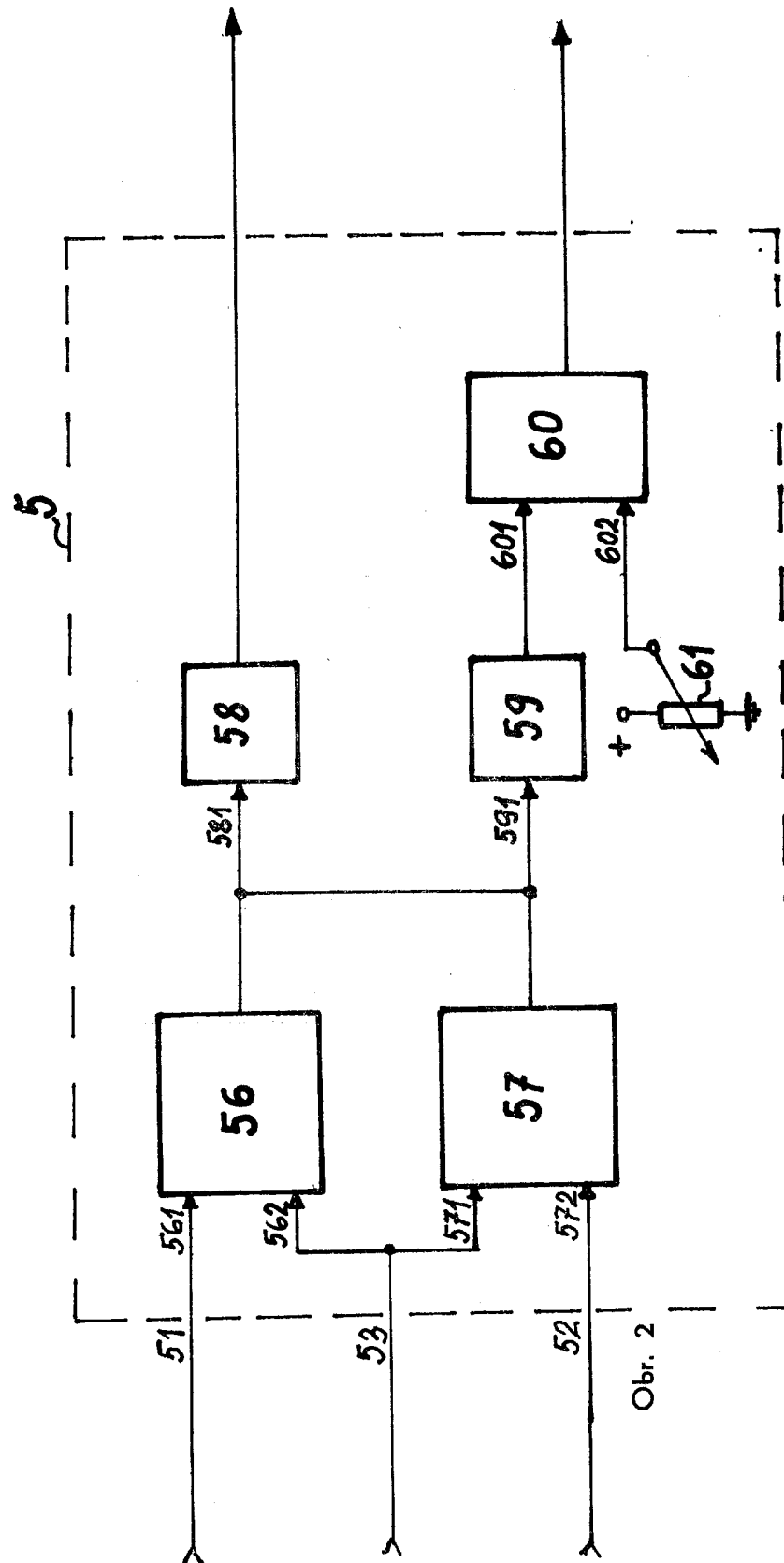
2. Zapojení pro vyhodnocení záznamu dvojí frekvence podle bodu 1, vyznačující se tím, že zpětnovazební regulátor (5) napětí je sestaven z třístavového proudového budiče (56), třístavového impedančního článku (57), emitorového sledovače (58), proporcionálně integračního RC členu (59), napěťového komparátoru (60) a referenčního potenciometru (61), přičemž první vstup (561) třístavového proudového budiče (56) je spojen s prvním vstupem (51) zpětnovazebního regulátoru (5) napětí, druhý vstup (562) třístavového proudového budiče (56) a první vstup (571) třístavového impedančního článku (57) jsou spolu spojeny a při-

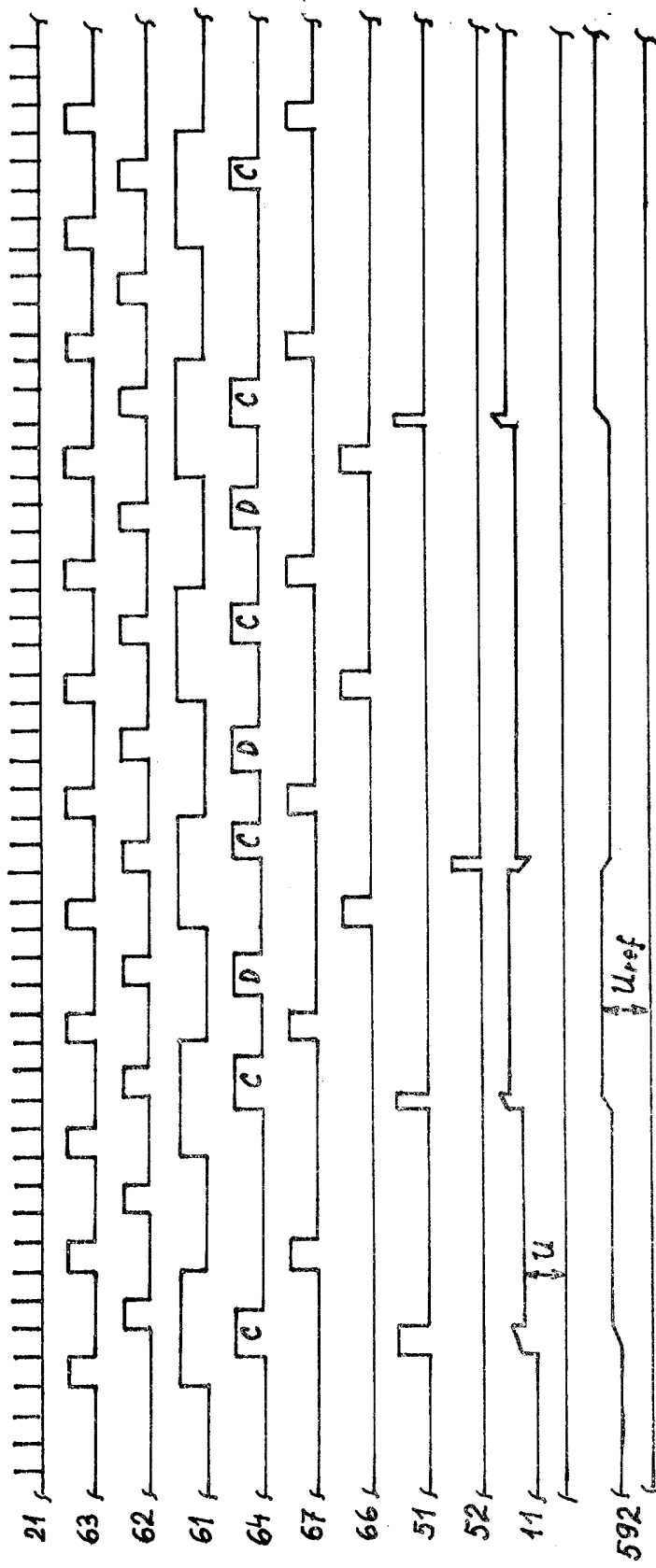
pojeny k třetímu vstupu (53) zpětnovazebního regulátoru napětí (5), zatímco druhý vstup (572) třístavového impedančního článku (57) je spojen s druhým vstupem (52) zpětnovazebního regulátoru napětí (5), přičemž vstup (581) emitorového sledovače (58) a vstup (591) proporcionálně integračního RC členu (59) jsou spolu spojeny a připojeny jednak k výstupu třístavového proudového budiče (56) pro vysílání proudu I , $2I$ nebo nulového proudu, a jednak s výstupem třístavového impedančního článku (57) pro zatěžování impedancemi Z , $2Z$ nebo nekonečnou impedancí, přičemž výstup emitorového sledovače (58) je připojen k druhému výstupu zpětnovazebního regulátoru (5) napětí pro odebrání řídicího analogového napětí, jehož velikost odpovídá zapamatované úrovni napětí na proporcionálně integračním RC členu (59) impedančně od-

děleném emitorovým sledovačem (58), zatímco výstup proporcionálně integračního RC členu (59) pro vysílání analogové integrační složky získané nabíjením z proudového zdroje nebo sníženou zatěžovací impedancí, je spojen s prvním vstupem (601) napětového komparátoru (60), zatímco druhý vstup (602) napětového komparátoru je spojen s výstupem referenčního potenciometru (61) pro nastavení prahového napětí odpovídajícího maximální reakční frekvenci, přičemž výstup napětového komparátoru (60) pro hodnoty logické nuly nebo jedničky v závislosti na rozdílu napětí mezi svými vstupy (601, 602) je spojen s prvním výstupem zpětnovazebního regulátoru napětí (5) pro vysílání blokovacího signálu v případě nesouhlasu vyhodnocovaného záznamu dvojí frekvence s nastaveným normálem na referenčním potenciometru (61).

3 listý výkresů







ČASOVÝ DIAGRAM