



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0064547
(43) 공개일자 2024년05월13일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) H04L 25/02 (2006.01)
H04L 25/49 (2006.01)
(52) CPC특허분류
H04L 25/03267 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2023-0149034
(22) 출원일자 2023년11월01일
심사청구일자 2023년11월01일
(30) 우선권주장
1020220146415 2022년11월04일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
최종혁
경기도 수원시 영통구 삼성로 11(신동, 래미안 영
통마크원 2단지)
(73) 권리자
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

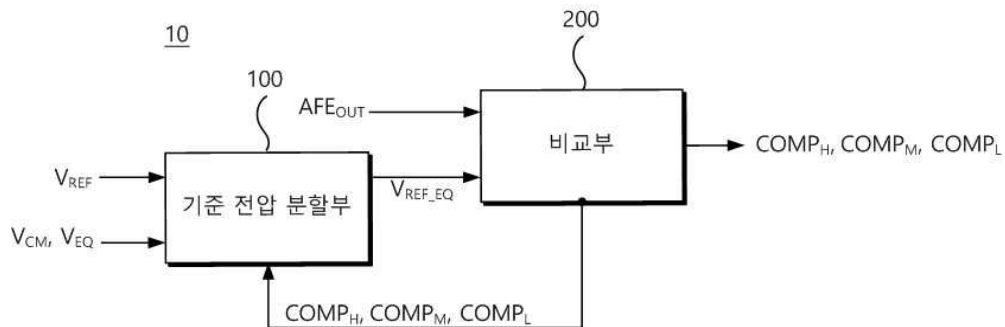
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 PAM-4용 기준 전압 분할을 이용한 판정 궤환 등화기 및 그 동작 방법

(57) 요약

본 발명은 PAM-4용 기준 전압 분할을 이용한 판정 궤환 등화기 및 그 동작 방법에 관한 것으로서, 본 발명에 따르면 판정 궤환 등화기는 입력 기준 전압을 분할하여 출력 기준 전압을 생성하는 기준 전압 분할기 및 입력되는 상기 출력 기준 전압 및 수신 신호를 비교하고, 비교 결과에 대응하는 비교 신호를 출력하는 비교부를 포함하되, 상기 기준 전압 분할기는 상기 비교 신호에 기초하여 온 또는 오프되는 적어도 하나 이상의 스위치 및 일 단에 상기 입력 기준 전압이 인가되고, 상기 적어도 하나의 스위치의 온 또는 오프에 기초하여 상기 일 단에 상기 출력 기준 전압을 출력하는 적어도 하나 이상의 캐패시터를 포함하고, 상기 기준 전압 분할기는 상기 적어도 하나 이상의 스위치의 동작에 따라 상기 출력 기준 전압의 분할 정도를 조절할 수 있다.

대표도 - 도1



(52) CPC특허분류

H04L 25/4917 (2013.01)

(72) 발명자

박승우

서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)

김성철

서울특별시 동대문구 왕산로 122 (용두동)

심창민

서울특별시 동대문구 약령시로3길 22-9(제기동)

신화석

서울특별시 동작구 동작대로39길 22(동작동, 이수 힐스테이트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711170665
과제번호	2022-0-01171-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	PIM인공지능반도체핵심기술개발(설계)
연구과제명	PIM 고속 데이터 송수신을 위한 지능형 PHY 인터페이스 기술 개발
기 여 율	1/1
과제수행기관명	고려대학교산학협력단
연구기간	2022.04.01 ~ 2022.12.31

명세서

청구범위

청구항 1

입력 기준 전압을 분할하여 출력 기준 전압을 생성하는 기준 전압 분할기; 및

입력되는 상기 출력 기준 전압 및 수신 신호를 비교하고, 비교 결과에 대응하는 비교 신호를 출력하는 비교부를 포함하되,

상기 기준 전압 분할기는:

상기 비교 신호에 기초하여 온 또는 오프되는 적어도 하나 이상의 스위치; 및

일 단에 상기 입력 기준 전압이 인가되고, 상기 적어도 하나의 스위치의 온 또는 오프에 기초하여 상기 일 단에 상기 출력 기준 전압을 출력하는 적어도 하나 이상의 캐패시터를 포함하고,

상기 기준 전압 분할기는 상기 적어도 하나 이상의 스위치의 동작에 따라 상기 출력 기준 전압의 분할 정도를 조절하는, 판정 궤환 등화기.

청구항 2

제1항에 있어서,

적어도 하나 이상의 플립플롭을 포함하고, 클럭 신호에 기초하여 상기 비교 신호를 저장하는 플립플롭부를 더 포함하는, 판정 궤환 등화기.

청구항 3

제1항에 있어서,

상기 입력 기준 전압은,

하이레벨 기준 전압, 미들레벨 기준 전압 및 로우레벨 기준 전압을 포함하는, 판정 궤환 등화기.

청구항 4

제3항에 있어서,

상기 적어도 하나 이상의 스위치는,

상기 비교 신호에 기초하여 상기 적어도 하나의 캐패시터의 타단에 공통 모드 전압을 인가하는 제1 스위치부; 및

상기 비교 신호에 기초하여 상기 적어도 하나의 캐패시터의 타단에 등화용 기준 전압을 인가하는 제2 스위치부를 포함하는, 판정 궤환 등화기.

청구항 5

제4항에 있어서,

상기 기준 전압 분할기는,

샘플링 위상인 경우에,

상기 제1 스위치부의 스위치는 온하고, 상기 제2 스위치부의 스위치는 오프하여 상기 적어도 하나의 캐패시터의 타단에 상기 공통 모드 전압을 인가하는, 판정 궤환 등화기.

청구항 6

제4항에 있어서,

상기 기준 전압 분할기는,

등화 위상인 경우에,

상기 제2 스위치부의 적어도 하나 이상의 스위치가 온하고, 상기 제1 스위치부의 적어도 하나 이상의 스위치가 오프하여 상기 적어도 하나의 캐패시터의 타단에 상기 등화용 기준 전압을 인가하는, 판정 레환 등화기.

청구항 7

제4항에 있어서,

상기 등화용 기준 전압은,

상기 미들레벨 기준 전압과 등화 계수에 따른 전압의 합이고,

상기 입력 기준 전압의 상기 분할 정도를 조절하는, 판정 레환 등화기.

청구항 8

제7항에 있어서,

상기 등화 계수에 따른 전압은 ISI(Inter-symbol interference)의 크기에 기초하여 설정되는, 판정 레환 등화기.

청구항 9

제8항에 있어서,

상기 출력 기준 전압은,

하기의 수학적식으로 정의되는, 판정 레환 등화기.

[수학적식]

$$V_{REF_EQ} = \frac{N \cdot V_{REF} + (4-N) \cdot (V_{REF} + V_{COE})}{4} = V_{REF} + \frac{(4-N) \cdot V_{COE}}{4}$$

여기에서, V_{REF_EQ} 는 상기 출력 기준 전압, V_{REF} 는 상기 입력 기준 전압, V_{COE} 는 상기 등화 계수에 따른 전압, N 은 상기 등화용 전압 V_{EQ} 이 인가되는 상기 스위치의 개수임.

청구항 10

제9항에 있어서,

상기 기준 전압 분할기는,

상기 등화용 전압이 인가되도록 하는 상기 제2 스위치부의 스위치가 온하는 개수에 따라 상기 출력 기준 전압이 변화하는, 판정 레환 등화기.

청구항 11

기준 전압 분할을 이용한 판정 레환 등화기의 동작 방법에 있어서,

비교부에 수신 신호가 입력되는 단계;

상기 비교부가 상기 수신 신호 및 출력 기준 전압을 비교하는 단계;

비교 결과에 따라 상기 비교부가 비교 신호를 출력하는 단계;

기준 전압 분할기의 캐패시터의 일단에 입력 기준 전압이 인가되는 단계;

상기 비교 신호에 기초하여 상기 캐패시터의 타단에 연결된 스위치가 온 또는 오프되는 단계;

상기 기준 전압 분할기가 상기 스위치의 동작에 따라 분할 정도를 조절하는 단계; 및

상기 기준 전압 분할기가 상기 분할 정도에 기초하여 상기 출력 기준 전압을 생성하는 단계를 포함하는, 판정

궤환 등화기의 동작 방법.

청구항 12

제11항에 있어서,

플립플롭부가 클럭 신호에 기초하여 상기 비교부의 출력 신호를 저장하는 단계를 더 포함하는, 판정 궤환 등화기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 PAM-4 수신기에 사용되는 기준 전압 분할을 이용한 판정 궤환 등화기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 종래의 차동 신호를 위한 판정 궤환 등화기(Decision Feedback Equalizer; 이하 DFE) 회로에서, 채널을 통과하며 발생하는 신호 간 간섭(Inter-symbol interference; 이하 ISI)은 ISI를 보상하는 전류를 가산하여 ISI를 제거한다. 이러한 방식은 고정된 전류원을 이용하여 ISI를 제거하므로, 전류를 소모하는 문제가 있다.

[0003] 또한, 종래의 DFE는 DFE의 출력 신호에 따라 전류원이 포화(saturation) 영역에서 동작하지 않을 수 있고, 인가되는 전류의 양이 변할 수 있다. 그러면 DFE의 보상 계수(equalizing coefficient)가 일정하지 않게 되므로, 출력 신호에 왜곡이 발생될 수 있다. 상술한 문제를 해결하기 위하여 전류원을 포화 영역에서 동작시키는데, 이는 DFE의 출력 신호의 공통 모드 전압 및 입력 신호의 크기를 제한할 수 있다. 즉, 보상 계수는 입력 신호의 레벨 및 공통 모드 전압에 따라 변할 수 있다. 또한, 전류원에 인가되는 전류의 양을 조절함으로써, DFE의 보상 계수를 조절할 수 있는데, 전류원은 입력 신호의 조절에 따라 출력 신호가 선형적이지 않아 가제어성(controllability)이 떨어질 수 있다. 그리고 종래의 DFE는 입력 신호가 차동 신호이므로 단일 신호를 차동 신호로 바꿔주는 S2D 증폭기(single-to-differential amplifier)가 필요하다. 여기에서, S2D 증폭기의 차동 신호는 대칭적이지 않으므로, 왜곡이 발생할 수 있다. 왜곡이 발생하면, DFE 회로의 동작 역시 비선형적일 수 있다.

[0004] 메모리 인터페이스는 낮은 가격으로 고속의 대용량 데이터를 전송하므로, 핀 효율이 100%인 단일 신호 방식이 사용된다. 또한, 종래의 NRZ 신호 방식으로는 증가하는 전송 속도의 요구량을 만족시킬 수 없어 PAM-4가 메모리 인터페이스로 사용되는 추세이다. 이러한 PAM-4에 종래의 차동 신호 기반의 DFE를 단일 신호 방식으로 사용하면, 정상적으로 동작하지 않거나 성능이 제한될 수 있다. 이를 해결하기 위하여, 종래의 PAM-4용 DFE는 4개의 신호 레벨을 구분하기 위하여 기준 전압을 선택하는 회로를 구성하였다. 여기에서, 종래의 PAM-4용 DFE는 12개의 기준 전압을 미리 생성하는데, 이러한 구조는 하드웨어에 큰 부담이 될 수 있다.

[0005] 또한, 종래의 PAM-4용 DFE는 멀티플렉서(Multiplexer)의 동작을 위하여 써모미터(Thermometer) 코드를 이진법 데이터로 변환하는 디코더를 사용할 수 있다. 종래의 PAM-4용 DFE는 디코더로 써모미터 코드를 이진법 데이터로 변환한 후, DFE에 피드백하므로 루프(Loop) 지연이 길어지고, 동작 속도가 느려지는 문제가 있다. 또한, 12개의 기준 전압을 생성하기 위해 12개의 비교기가 사용되므로, 캐피시터 부하가 크게 걸릴 수 있으며, DFE의 AFE(Analog Front-End)의 대역폭이 제한될 수 있다.

[0006] 따라서 상술한 문제점을 해결하기 위하여, 일정한 샘플링 마진(margin)을 가지는 PAM-4용 DFE가 필요한 실정이다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국 등록 특허 제10-2204355호

발명의 내용

해결하려는 과제

[0009] 본 발명의 목적은 PAM-4 수신기에 사용되어 신호를 보상하는 기준 전압 분할을 이용한 판정 궤환 등화기 및 그 동작 방법을 제공함에 있다.

과제의 해결 수단

[0010] 본 발명에 따른 판정 궤환 등화기는 입력 기준 전압을 분할하여 출력 기준 전압을 생성하는 기준 전압 분할기 및 입력되는 상기 출력 기준 전압 및 수신 신호를 비교하고, 비교 결과에 대응하는 비교 신호를 출력하는 비교부를 포함하되, 상기 기준 전압 분할기는 상기 비교 신호에 기초하여 온 또는 오프되는 적어도 하나 이상의 스위치 및 일 단에 상기 입력 기준 전압이 인가되고, 상기 적어도 하나의 스위치의 온 또는 오프에 기초하여 상기 일 단에 상기 출력 기준 전압을 출력하는 적어도 하나 이상의 캐패시터를 포함하고, 상기 기준 전압 분할기는 상기 적어도 하나 이상의 스위치의 동작에 따라 상기 출력 기준 전압의 분할 정도를 조절할 수 있다.

[0011] 본 발명에 따른 기준 전압 분할을 이용한 판정 궤환 등화기의 동작 방법에 있어서, 비교부에 수신 신호가 입력되는 단계, 상기 비교부가 상기 수신 신호 및 출력 기준 전압을 비교하는 단계, 비교 결과에 따라 상기 비교부가 비교 신호를 출력하는 단계, 기준 전압 분할기의 캐패시터의 일단에 입력 기준 전압이 인가되는 단계, 상기 비교 신호에 기초하여 상기 캐패시터의 타단에 연결된 스위치가 온 또는 오프되는 단계, 상기 기준 전압 분할기가 상기 스위치의 동작에 따라 분할 정도를 조절하는 단계 및 상기 기준 전압 분할기가 상기 분할 정도에 기초하여 상기 출력 기준 전압을 생성하는 단계를 포함한다.

발명의 효과

[0012] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 궤환 등화기 및 그 동작 방법은 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예에 따른 판정 궤환 등화기의 블록구성도이다.
 도 2는 본 발명의 다른 실시예에 따른 판정 궤환 등화기의 블록구성도이다.
 도 3은 본 발명의 실시예에 따른 판정 궤환 등화기의 회로도에 대한 예시이다.
 도 4a는 본 발명의 실시예에 따른 기준 전압 분할기의 회로도에 대한 예시이다.
 도 4b 및 4c는 본 발명의 실시예에 따른 기준 전압 분할기의 회로도에 대한 동작 예시이다.
 도 5a 내지 도 5c는 본 발명의 실시예에 따른 판정 궤환 등화기의 신호의 예시이다.
 도 6은 본 발명의 실시예에 따른 기준 전압 분할기의 시뮬레이션에 대한 예시이다.
 도 7은 본 발명의 다른 실시예에 따른 기준 전압 분할기의 회로도에 대한 예시이다.
 도 8은 본 발명의 다른 실시예에 따른 기준 전압 분할기의 시뮬레이션에 대한 예시이다.
 도 9는 본 발명의 실시예에 따른 판정 궤환 등화기의 회로도에 대한 다른 예시이다.
 도 10은 본 발명의 실시예에 따른 판정 궤환 등화기의 동작 방법에 대한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 본 발명의 기술사상을 본 발명의 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예들이 첨부된 도면을 참조하여 설명될 것이다.

[0015] 도 1은 본 발명의 실시예에 따른 판정 궤환 등화기(10)의 블록구성도이다.

[0016] 도 1을 참조하면, 판정 궤환 등화기(10)는 기준 전압 분할기(100) 및 비교부(200)를 포함할 수 있다.

[0017] 기준 전압 분할기(100)는 입력 기준 전압(V_{REF})을 분할하여 출력 기준 전압(V_{REF_EQ})을 생성할 수 있다. 여기에서,

기준 전압 분할기(100)의 일단에는 입력 기준 전압(V_{REF})이 인가될 수 있다. 기준 전압 분할기(100)의 타단에는 등화용 전압(V_{EQ})과 공통 모드 전압(V_{CM})이 인가될 수 있다.

[0018] 비교부(200)의 양단에는 출력 기준 전압(V_{REF_EQ}) 및 수신 신호(AFE_{OUT})가 입력될 수 있고, 비교부(200)는 이를 비교할 수 있다. 그리고 비교부(200)는 ISI(Inter-symbol interference)가 제거된 수신 신호인 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)를 출력할 수 있다.

[0019] 그리고 판정 제한 등화기(10)는 비교부(200)의 출력 신호인 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)는 기준 전압 분할기(100)로 피드백할 수 있다. 기준 전압 분할기(100)는 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 입력 기준 전압(V_{REF})을 소정의 간격으로 분할할 수 있고, 출력 기준 전압(V_{REF_EQ})을 생성할 수 있다.

[0020] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 제한 등화기(10)는 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.

[0021] 판정 제한 등화기(10)의 구체적인 설명은 이후의 도면에서 후술하기로 한다.

[0022] 도 2는 도 1의 판정 제한 등화기(10)의 다른 블록구성도이고, 도 3은 도 2의 판정 제한 등화기(10')의 회로도에 대한 예시이다.

[0023] 도 2를 참조하면, 기준 전압 분할기(100) 및 비교부(200)는 도 1의 설명과 동일하거나 유사하다.

[0024] 플립플롭부(300)는 적어도 하나 이상의 플립플롭을 포함할 수 있다. 이에 따라 플립플롭부(300)는 클럭 신호에 기초하여 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)를 저장할 수 있다. 그리고 플립플롭부(300)는 저장된 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 FF_H , FF_M , FF_L 를 출력할 수 있다. 그러므로 본 발명에서, 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)와 플립플롭부(300)의 출력 신호(FF_H , FF_M , FF_L)는 동일하거나 유사하다고 가정된다. 이에 따라, 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$) 대신 플립플롭부(300)의 출력 신호(FF_H , FF_M , FF_L)가 기준 전압 분할기(100)에 입력될 수 있다.

[0025] 도 3을 참조하면, 비교부(200)는 제1 내지 제3 비교기(210, 220, 230)로 구성될 수 있다. 여기에서, 제1 내지 제3 비교기(210, 220, 230) 모두 AFE(Analog Front-End, 20)의 출력 신호인 수신 신호(AFE_{OUT})가 입력될 수 있다. 여기에서, AFE(20)는 판정 제한 등화기(10)에 입력되는 수신 신호(AFE_{OUT})를 증폭시킬 수 있다.

[0026] 기준 전압 분할기(100)는 제1 내지 제3 비교기(210, 220, 230) 각각에 연결된 적어도 하나 이상의 기준 전압 분할기로 구성될 수 있다. 각각의 기준 전압 분할기(100)의 출력 신호인 출력 기준 전압(V_{REF_EQ})은 제1 내지 제3 비교기(210, 220, 230)의 각각의 입력단으로 입력될 수 있다. 여기에서, 기준 전압 분할기(100)의 일단에 입력 기준 전압은 V_{REF} 로 나타낼 수 있고, 기준 전압 분할기(100)의 출력 기준 전압은 V_{REF_EQ} 로 나타낼 수 있다.

[0027] 본 발명에 따른 PAM-4용 판정 제한 등화기(10)는 4개로 구성된 신호 레벨을 구분하기 위하여 3개의 입력 기준 전압(V_{REF})을 구성할 수 있다.

[0028] 이에 따라, 입력 기준 전압은 V_{REF} 은 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}), 로우레벨 기준 전압(V_{REF_L})을 포함할 수 있다. 그리고 기준 전압 분할기(100)의 타단에 입력되는 공통 모드 전압(V_{CM})은 미들레벨 기준 전압(V_{REF_M})과 동일할 수 있다. 동시에 기준 전압 분할기(100)의 타단에 입력되는 등화용 기준 전압(V_{EQ})은 입력 기준 전압(V_{REF})을 분할하는 간격 및 등화 계수(DFE Coefficient)를 결정할 수 있다. 즉, 등화용 기준 전압 $V_{EQ}=V_{CM}+V_{COE}$ 일 수 있고, 등화용 기준 전압(V_{EQ})은 입력 기준 전압(V_{REF})의 분할 정도를 조절할 수 있다. 여기에서, V_{COE} 는 판정 제한 등화기(10)의 등화 계수에 따른 전압으로, 상기 ISI의 크기에 기초하여 결정될 수 있다. 그리고 분할 정도는 분할 간격 및 크기를 의미한다.

[0029] 즉, ISI의 크기에 따라 등화 계수에 따른 전압(V_{COE})을 조절할 수 있고, 이에 따라 판정 제한 등화기(10)의 등화 계수도 조절할 수 있다.

- [0030] 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$) 각각은 제1 내지 제3 플립플롭(310, 320, 330)으로 전달될 수 있다. 여기에서 플립플롭부(300)는 제1 내지 제3 플립플롭(310, 320, 330)으로 구성될 수 있으나, 이에 한정하지 않는다.
- [0031] 제1 내지 제3 플립플롭(310, 320, 330)은 제1 내지 제3 비교기(210, 220, 230)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)를 각각 저장할 수 있다.
- [0032] 그리고 플립플롭부(300)가 출력하는 신호(FF_H , FF_M , FF_L)는 3비트의 써모미터 코드일 수 있다. 그러면 써모미터 코드를 PAM-4 디코더(30)에 입력하여 2비트의 이진 데이터(MSB, LSB)를 얻을 수 있다.
- [0033] 상술한 바와 같이, 본 발명에 따른 판정 변환 등화기(10)는 제1 내지 제3 비교기(210, 220, 230) 및 기준 전압 분할기(100)를 사용하여 3개의 기준 전압으로 12개의 출력 기준 전압을 생성할 수 있다.
- [0034] 또한, 본 발명에 따른 판정 변환 등화기(10)는 3개의 비교기만을 사용하므로, 종래의 기술의 판정 변환 등화기보다 부하를 감소시킬 수 있다.
- [0035] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 변환 등화기(10)는 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.
- [0036] 더불어, 본 발명인 판정 변환 등화기(10)는 써모미터(thermometer) 코드를 이진법으로 변환하는 PAM-4 디코더(30)를 사용하지 않고, 써모미터 코드를 그대로 사용하므로, 루프 지연을 감소시킬 수 있다. 즉, 판정 변환 등화기(10)는 비교부(200)의 출력 값인 써모미터 코드를 기준 전압 분할기(100)로 바로 피드백하므로, 루프 지연을 감소시킬 수 있다.
- [0037] 도 4a는 본 발명의 실시예에 따른 기준 전압 분할기(100)의 회로도에 대한 예시이다.
- [0038] 기준 전압 분할기(100)는 적어도 하나 이상의 캐패시터 및 적어도 하나 이상의 스위치를 포함할 수 있다. 다시 말해, 기준 전압 분할기(100)는 복수 개의 캐패시터를 포함하는 캐패시터부(110) 및 스위치를 포함할 수 있다. 여기에서, 캐패시터(C_H , C_M 및 C_L)는 입력 기준 전압(V_{REF})이 인가되어 충전될 수 있다.
- [0039] 스위치는 제1 스위치부(120) 및 제2 스위치부(130)를 포함할 수 있다. 제1 스위치부(120)는 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 적어도 하나의 캐패시터(C_H , C_M 및 C_L)의 타단에 공통 모드 전압(V_{CM})을 인가할 수 있다.
- [0040] 제2 스위치부(130)는 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 적어도 하나의 캐패시터(C_H , C_M 및 C_L)의 타단에 등화용 기준 전압(V_{EQ})을 인가할 수 있다.
- [0041] 여기에서, 스위치는 비교부(200)의 비교 신호에 기초하여 온 또는 오프할 수 있다. 즉, 기준 전압 분할기(100)는 스위치드 캐패시터(switched capacitor)로 구성될 수 있으며, 스위치의 동작에 따라 상기 출력 기준 전압의 분할 정도를 조절할 수 있다.
- [0042] 도 4a를 참조하면, 기준 전압 분할기(100)는 4개의 캐패시터 및 7개의 스위치로 구성될 수 있으나, 이는 본 발명의 일 예일 뿐, 이에 한정하지 않는다. 여기에서, 입력 기준 전압(V_{REF})은 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}) 및 로우레벨 기준 전압(V_{REF_L})을 포함할 수 있다. 그리고 기준 전압 분할기(100)의 출력 기준 전압(V_{REF_EQ})은 V_{REF_EQH} , V_{REF_EQM} , V_{REF_EQL} 로 나타낼 수 있다.
- [0043] 그리고 스위치 S1, S3, S4는 제1 스위치부(120)일 수 있고, 스위치 S2, S4, S6은 제2 스위치부(130)일 수 있다.
- [0044] 구체적으로, 기준 전압(V_{REF})이 입력되는 스위치 S0의 일단에 캐패시터 C_0 가 연결될 수 있다. 여기에서, 캐패시터 C_0 에 인가되는 입력 기준 전압(V_{REF})은 V_0 로 나타낼 수 있다. 그리고 스위치 S0는 클럭 신호(CLK)에 의해 온/오프될 수 있다.
- [0045] 캐패시터 C_H 의 일단에 스위치 S1 및 S2가 연결될 수 있다. 여기에서, 캐패시터 C_H 에 인가되는 입력 기준 전압(V_{REF})은 하이레벨 기준 전압(V_{REF_H})일 수 있다. 그리고 스위치 S1 및 S2는 제1 비교기의 비교 신호($COMP_H$)에

의해 온/오프될 수 있다.

[0046] 그리고 캐패시터 C_M 의 일단에 스위치 S3 및 S4가 연결될 수 있다. 여기에서, 캐패시터 C_M 에 인가되는 입력 기준 전압(V_{REF})은 미들레벨 기준 전압(V_{REF_M})일 수 있다. 그리고 스위치 S3 및 S4는 제2 비교기의 비교 신호($COMP_M$)에 의해 온/오프될 수 있다.

[0047] 그리고 캐패시터 C_L 의 일단에 스위치 S5 및 S6가 연결될 수 있다. 여기에서, 캐패시터 C_L 에 인가되는 입력 기준 전압(V_{REF})은 로우레벨 기준 전압(V_{REF_L})일 수 있다. 그리고 스위치 S5 및 S6는 제3 비교기의 비교 신호($COMP_L$)에 의해 온/오프될 수 있다.

[0048] 예를 들어, 캐패시터 C_0 , C_H , C_M 및 C_L 각각은 탑 플레이트(top plate) 및 바텀 플레이트(bottom plate)로 구성될 수 있다. 피킹(Peaking) 위상에서 캐패시터의 탑 플레이트가 플로팅 노드(floating node)가 될 수 있고, 바텀 플레이트에 소정의 전압(ΔV)이 추가적으로 인가될 수 있다. 이때, 캐패시터는 전하량을 보존하려는 특성을 가지므로, 캐패시터의 양단에 걸리는 전압이 동일하게 유지될 수 있다. 이에 따라 캐패시터(C_0 , C_H , C_M 및 C_L)의 탑 플레이트 전압도 바텀 플레이트의 전압의 변화량만큼(ΔV) 변화할 수 있다.

[0049] 도 4b 및 4c는 본 발명의 실시예에 따른 기준 전압 분할기(100)의 회로도에 대한 동작 예시이다. 도 4b는 샘플링 위상인 경우에 기준 전압 분할기(100)의 동작일 수 있고, 도 4c는 등화 위상인 경우에 기준 전압 분할기(100)의 동작일 수 있으나, 이에 한정하지 않는다.

[0050] 도 4b를 참조하면, 샘플링 위상인 경우에 기준 전압 분할기(100)의 스위치 S0가 온 동작하여 캐패시터 C_0 에 전압 V_0 가 인가될 수 있다. 캐패시터 C_H 에 전압 V_{REF_H} 가 인가될 수 있고, 캐패시터 C_M 에 전압 V_{REF_M} 가 인가될 수 있고, 캐패시터 C_L 에 전압 V_{REF_L} 가 인가될 수 있다. 다시 말해, 제1 스위치부(120)의 모든 스위치가 온 동작하므로, 모든 캐패시터(C_0 , C_H , C_M 및 C_L)의 탑 플레이트에는 입력 기준 전압(V_{REF})이 각각 인가되어 샘플링될 수 있다. 반면에, 모든 캐패시터(C_0 , C_H , C_M 및 C_L)의 바텀 플레이트에는 동일하게 V_{CM} 이 인가되어 샘플링될 수 있다. 그러므로 샘플링 위상인 경우에 모든 캐패시터(C_0 , C_H , C_M 및 C_L) 각각에 인가된 전압은 $V_{REF}-V_{CM}$ 일 수 있다.

[0051] 등화 위상인 경우에 기준 전압 분할기(100)의 스위치 S0가 오프 동작할 수 있다. 제1 스위치부(120)의 모든 스위치가 오프 동작하므로, 그리고 모든 캐패시터(C_0 , C_H , C_M 및 C_L)의 탑 플레이트는 플로팅 노드일 수 있다. 그리고 비교부(200) 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 따라 모든 캐패시터(C_0 , C_H , C_M 및 C_L)의 바텀 플레이트에 공통 모드 전압(V_{CM})이 인가된 상태로 유지될 수 있다. 또는 비교부(200) 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 따라 모든 캐패시터(C_0 , C_H , C_M 및 C_L)의 바텀 플레이트에 공통 모드 전압(V_{CM})이 등화용 기준 전압(V_{EQ})으로 변화되어 인가될 수 있다. 예를 들어, 기준 전압 분할기(100)의 모든 캐패시터(C_0 , C_H , C_M 및 C_L) 중 적어도 하나의 바텀 플레이트에 등화용 기준 전압(V_{EQ})이 인가되면, 탑 플레이트에 인가되는 전압은 $V_{EQ}=V_{CM}+V_{COE}$ 일 수 있다. 즉, 등화용 기준 전압(V_{EQ})은 공통 모드 전압(V_{CM})과 등화 계수에 따른 전압(V_{COE})의 합일 수 있다. 그러면 적어도 하나 이상의 캐패시터 양단의 전압은 등화용 기준 전압(V_{EQ})으로 유지될 수 있다. 이때, 탑 플레이트의 전하는 4개의 캐패시터 C_0 , C_H , C_M 및 C_L 에 균일하게 분배될 수 있고, 기준 전압 분할기(100)의 출력 기준 전압은 V_{REF_EQ} 로 나타낼 수 있다.

[0052] 예를 들어, 기준 전압 분할기(100)가 등화 위상인 경우에, 캐패시터 C_0 , C_H , C_M 및 C_L 중 적어도 하나의 캐패시터의 바텀 플레이트에 등화용 기준 전압(V_{EQ})이 인가될 수 있다. 이때, 기준 전압 분할기(100)의 스위치 중에서 캐패시터에 등화용 기준 전압(V_{EQ})이 인가되도록 온 상태인 스위치의 개수만큼 출력 기준 전압(V_{REF_EQ})이 분할될 수 있다.

수학식 1

$$V_{REF_EQ} = \frac{N \cdot V_{REF} + (4-N) \cdot (V_{REF} + V_{COE})}{4} = V_{REF} + \frac{(4-N) \cdot V_{COE}}{4}$$

[0053]

[0054]

여기에서, N은 0 내지 3의 값을 가질 수 있다. 즉, 캐패시터 C_H, C_M 및 C_L의 바텀 플레이트 중에서 등화용 전압(V_{EQ})이 인가되는 바텀 플레이트의 스위치 개수일 수 있다. 즉, 비교부의 비교 신호(COMP_H, COMP_M, COMP_L)에 기초하여 등화용 기준 전압(V_{EQ})이 인가되는 스위치의 개수 N이 결정될 수 있다. 즉, 기준 전압 분할기(100)는 제2 스위치부(130)의 스위치가 온 동작함에 따라 등화용 기준 전압(V_{EQ})이 인가되므로, 제2 스위치부(130)의 스위치가 온하는 개수에 따라 출력 기준 전압(V_{REF_EQ})이 변화할 수 있다.

[0055]

도 6은 본 발명의 실시예에 따른 기준 전압 분할기(100)의 시뮬레이션에 대한 예시이다.

[0056]

도 6을 참조하면, 기준 전압 분할기(100)의 샘플링 위상에서 입력 기준 전압(V_{REF})에 의해 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}) 및 로우레벨 기준 전압(V_{REF_L})이 출력됨을 알 수 있다. 그리고 기준 전압 분할기(100)의 등화 위상에서 수학식 1에 의해 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}) 및 로우레벨 기준 전압(V_{REF_L})이 각각 4개로 분할하여, 총 12가지의 출력 기준 전압(V_{REF_EQ})을 생성됨을 알 수 있다.

[0057]

다시 도 4c를 참조하면, 캐패시터 C_L의 바텀 플레이트 1개에만 등화용 기준 전압(V_{EQ})이 인가될 수 있다. 다시 말해, 제3 비교기의 비교 신호(COMP_L)에 의해 스위치 S6가 온 상태일 수 있고, 캐패시터 C_L의 바텀 플레이트에 등화용 기준 전압(V_{EQ})이 인가될 수 있다. 이에 따라 기준 전압 분할기(100)의 출력 기준 전압 V_{REF_EQ}는 수학식 1을 활용하여 하기의 식으로 연산될 수 있다.

$$V_{REF_EQ} = \frac{3 \cdot V_{REF} + 1 \cdot V_{COE}}{4} = V_{REF} + \frac{1}{4} \cdot V_{COE}$$

[0058]

[0059]

즉, 기준 전압 분할기(100)의 캐패시터 C_L의 바텀 플레이트 1개에만 등화용 기준 전압(V_{EQ})이 인가되면, 출력 기준 전압(V_{REF_EQ})은 V_{REF}+1/4V_{COE}일 수 있다.

[0060]

상술한 바와 같이, 본 발명인 판정 궤환 등화기(10)는 스위치드 캐패시터를 이용하여 3개의 기준 전압(V_{REF_H}, V_{REF_M}, V_{REF_L})과 1개의 등화용 기준 전압(V_{EQ})만으로 12개의 기준 전압을 생성할 수 있다. 여기에서, 스위치드 캐패시터는 전력 소모량이 거의 0에 수렴하므로, 전력 소모를 감소시킬 수 있다. 즉, 판정 궤환 등화기(10)는 고정된 전류원을 사용하지 않고, 캐패시터의 스위칭 특성만을 이용하므로 전력 소모를 감소시킬 수 있다. 즉, 판정 궤환 등화기(10)는 전류원을 사용하지 않고, 아날로그 전압을 사용하므로, 보상 계수가 일정하며 보상 계수를 선형적으로 조절할 수 있다.

[0061]

도 5a 내지 도 5c는 본 발명의 실시예에 따른 판정 궤환 등화기(10)의 신호의 예시이다. 도 5a는 ISI의 유무에 따른 PAM-4 신호의 예시이고, 도 5b 및 도 5c는 본 발명의 실시예에 따른 기준 전압 분할기(100)의 유무에 따른 출력 기준 전압(V_{REF_EQ})의 예시이다.

[0062]

도 5a를 참조하면, ISI가 없는 PAM-4 신호는 +3, +1, -1, -3로 구성된 4개 레벨로 구성되어 있다. ISI 의해 왜곡된 PAM-4 신호의 4개 레벨을 구분하기 위하여 본 발명에 따른 입력 기준 전압(V_{REF})이 사용될 수 있다. 여기에서, 입력 기준 전압(V_{REF})은 +2, 0, -2로 구성된 3개의 기준 전압일 수 있다. 상술한 3개의 입력 기준 전압(V_{REF})은 각각 -2=V_{REF_H}, 0=V_{REF_M}, -2=V_{REF_L}로 나타낼 수 있다.

[0063]

본 발명에 따른 기준 전압 분할기(100)를 포함하는 판정 궤환 등화기(10)는 도 5a에 도시된 ISI가 없는 PAM-4 신호를 얻는 것을 목적으로 한다.

[0064]

도 5b를 참조하면, ISI는 이전 수신 신호에 의해 수신 신호의 레벨에서 발생하는 잡음이다. ISI는 신호의 패턴

에 의존적이므로, 이전 수신 신호와 수신 신호 간의 1개의 레벨 차이가 나면, α 만큼 ISI가 발생될 수 있다. 예를 들어, 이전 수신 신호가 +3이고 수신 신호가 +1인 경우에는, 1단계의 레벨이 변화하므로 α 만큼 ISI가 발생될 수 있다. 즉, ISI가 존재하는 수신 신호는 $+1+\alpha$ 이 될 수 있다. 반면에, 이전 수신 신호가 -1이고 수신 신호가 +1인 경우에는, 1단계의 레벨이 반대 방향으로 변화하므로 $-\alpha$ 만큼 ISI가 발생될 수 있다. 즉, ISI가 존재하는 수신 신호는 $+1-\alpha$ 이 될 수 있다.

[0065] 이러한 방식으로 수신 신호를 16개의 다른 성분을 가지는 신호로 나타낼 수 있다. 고정된 기준 전압을 이용하는 종래의 판정 제환 등화기는 ISI 성분에 따라 샘플링 마진이 상이할 수 있고, 이로 인해 오류가 발생할 수 있다.

[0066] 도 5c를 참조하면, 발명의 실시예에 따른 기준 전압 분할기(100)는 기준 전압 +2, 0, -2에 상관없이 샘플링 마진이 동일하도록 출력 기준 전압(V_{REF_EQ})을 출력할 수 있다. 즉, 기준 전압 분할기(100)에 기준 전압 +2, 0, -2을 입력하면, 기준 전압 분할기(100)는 기준 전압 +2, 0, -2가 각각 $\Delta EQ+3$, $\Delta EQ+1$, $\Delta EQ-1$ 만큼 조절되어 분할된 출력 기준 전압(V_{REF_EQ})을 출력할 수 있다. 여기에서, 출력 기준 전압(V_{REF_EQ})은 12개의 기준 전압으로 분할될 수 있다.

[0067] 도 7은 본 발명의 다른 실시예에 따른 기준 전압 분할기(100_1)의 회로도에 대한 예시이고, 도 8은 본 발명의 다른 실시예에 따른 기준 전압 분할기(100_1)의 시뮬레이션에 대한 예시이다. 도 7 및 도 8의 기준 전압 분할기(100_1)는 도 3의 기준 전압 분할기(100)의 다른 예로 동일하거나 유사한 구성의 설명은 생략될 수 있다.

[0068] 도 7을 참조하면, 도 7의 기준 전압 분할기(100_1)는 도 3의 기준 전압 분할기(100)의 캐패시터 C_0 를 제거하여 구성될 수 있다.

[0069] 이때, 기준 전압 분할기(100_1)의 출력 기준 전압 V_{REF_EQ} 는 수학적 식 1을 활용하여 하기의 식으로 나타낼 수 있다.

$$V_{REF_EQ} = \frac{N \cdot V_{REF} + (3-N) \cdot (V_{REF} + V_{COE})}{3} = V_{REF} + \frac{(3-N) \cdot V_{COE}}{3}$$

[0070] 여기에서, N은 0 내지 3의 값을 가질 수 있다. 즉, 캐패시터 C_H , C_M 및 C_L 의 바텀 플레이트 중에서 등화용 전압(V_{EQ})이 인가되는 바텀 플레이트의 스위치 개수일 수 있다. 즉, 비교부의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 등화용 기준 전압(V_{EQ})이 인가되는 스위치의 개수 N이 결정될 수 있다. 즉, 기준 전압 분할기(100_1)는 제2 스위치부(130)의 스위치가 온 동작함에 따라 등화용 기준 전압(V_{EQ})이 인가되므로, 제2 스위치부(130)의 스위치가 온하는 개수에 따라 출력 기준 전압(V_{REF_EQ})이 변화할 수 있다.

[0072] 도 8을 참조하면, 기준 전압 분할기(100_1)의 샘플링 위상에서 입력 기준 전압(V_{REF})에 의해 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}) 및 로우레벨 기준 전압(V_{REF_L})이 출력됨을 알 수 있다. 그리고 기준 전압 분할기(100)의 등화 위상에서 수학적 식 1에 의해 하이레벨 기준 전압(V_{REF_H}), 미들레벨 기준 전압(V_{REF_M}) 및 로우레벨 기준 전압(V_{REF_L})이 각각 4개로 분할하여, 총 12가지의 출력 기준 전압(V_{REF_EQ})을 생성됨을 알 수 있다.

[0073] 그리고 V_{COE} 는 판정 제환 등화기(10)의 등화 계수에 따른 전압으로, 상기 ISI의 크기에 기초하여 결정될 수 있다. 즉, ISI의 크기에 따라 등화 계수에 따른 전압(V_{COE})을 조절할 수 있고, 이에 따라 판정 제환 등화기(10)의 등화 계수도 조절할 수 있다. 또한, 등화용 기준 전압 $V_{EQ} = V_{CM} + V_{COE}$ 이므로, 등화용 기준 전압(V_{EQ})은 입력 기준 전압(V_{REF})을 분할하는 간격 및 등화 계수(DFE Coefficient)를 결정할 수 있다.

[0074] 도 8에 도시된 바와 같이, 등화 계수에 따른 전압(V_{COE})을 조절하면, 가지의 출력 기준 전압(V_{REF_EQ})의 분할 간격이 달라지는 것을 알 수 있다. 이에 따라 ISI의 크기에 따라 등화 계수에 따른 전압(V_{COE})을 조절함으로써, 효과적인 ISI 제거가 가능하다.

[0075] 상술한 바와 같이, 본 발명에 따른 판정 제환 등화기(10)는 제1 내지 제3 비교기(210, 220, 230) 및 기준 전압 분할기(100)를 사용하여 3개의 기준 전압으로 12개의 출력 기준 전압을 생성할 수 있다.

[0076] 또한, 본 발명에 따른 판정 제환 등화기(10)는 3개의 비교기만을 사용하므로, 종래의 기술의 판정 제환 등화기보다 부하를 감소시킬 수 있다.

- [0077] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 궤환 등화기(10)는 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.
- [0078] 도 9는 본 발명의 실시예에 따른 판정 궤환 등화기(10_1)의 회로도에 대한 다른 예시이며, 도 3의 판정 궤환 등화기(10)의 설명과 동일하거나 유사하다.
- [0079] 도 9를 참조하면, 도 3의 판정 궤환 등화기(10)는 풀-레이트(Full rate) 등화기이고, 도 9의 판정 궤환 등화기(10_1)는 하프-레이트(half rate) 등화기이다.
- [0080] 도 9에 도시된 바와 같이, 판정 궤환 등화기(10_1)는 하나의 기준 전압 분할기(100', 120'), 하나의 비교기(210, 220) 및 하나의 PAM-4 디코더(30_1, 30_2)로 구성된 회로를 포함하여 각각 이븐(even) 모드와 오드(odd) 모드로 구성될 수 있다.
- [0081] 이에 따라, 오드 모드의 비교기(220)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)는 이븐 모드의 기준 전압 분할기(110)로 피드백될 수 있고, 이븐 모드의 비교기(210)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)는 오드 모드의 기준 전압 분할기(120)로 피드백될 수 있다.
- [0082] 이븐 모드의 비교기(210) 및 오드 모드의 비교기(220)가 각각 출력하는 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)는 3비트의 써모미터 코드일 수 있다. 그러면 그러면 3 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)가 PAM-4 디코더(30_1, 30_2)에 입력될 수 있고, 이븐 모드의 PAM-4 디코더(30_1) 및 오드 모드의 PAM-4 디코더(30_2) 각각에서 2비트의 이진 데이터(MSB, LSB)를 얻을 수 있다.
- [0083] 상술한 바와 같이, 본 발명에 따른 판정 궤환 등화기(10)는 2개의 비교기만을 사용하므로, 종래의 기술의 판정 궤환 등화기보다 부하를 감소시킬 수 있다.
- [0084] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 궤환 등화기(10)는 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.
- [0085] 더불어, 본 발명인 판정 궤환 등화기(10_1)는 써모미터(thermometer) 코드를 이진법으로 변환하는 PAM-4 디코더(30)를 사용하지 않고, 써모미터 코드를 그대로 사용하므로, 루프 지연을 감소시킬 수 있다. 즉, 판정 궤환 등화기(10_1)는 비교부(200)의 출력 값인 써모미터 코드를 기준 전압 분할기(100)로 바로 피드백하므로, 루프 지연을 감소시킬 수 있다.
- [0086] 도 10은 본 발명의 실시예에 따른 도 1의 판정 궤환 등화기(10)의 동작 방법에 대한 순서도이다.
- [0087] 도 10을 참조하면, S1000 단계에서, 비교부(200)에 수신 신호(AFE_{OUT})가 입력될 수 있다.
- [0088] S1100 단계에서, 비교부(200)가 수신 신호(AFE_{OUT}) 및 출력 기준 전압(V_{REF_EQ})을 비교할 수 있다.
- [0089] S1200 단계에서, 비교 결과에 따라 비교부(200)가 ISI가 제거된 수신 신호(AFE_{OUT})인 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)를 출력할 수 있다.
- [0090] S1300 단계에서, 기준 전압 분할기(100)의 캐패시터의 일단에 입력 기준 전압(V_{REF})이 인가될 수 있다.
- [0091] S1400 단계에서, 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)에 기초하여 캐패시터의 타단에 연결된 스위치(S1-S6)가 온 또는 오프될 수 있다.
- [0092] S1500 단계에서, 기준 전압 분할기(100)가 스위치(S1-S6)의 동작에 따라 출력 기준 전압(V_{REF_EQ})의 분할 정도를 조절할 수 있다.
- [0093] S1600 단계에서, 기준 전압 분할기(100)가 분할 정도에 기초하여 출력 기준 전압(V_{REF_EQ})을 생성할 수 있다.
- [0094] S1700 단계에서, 플립플롭부(300)가 클럭 신호에 기초하여 비교부(200)의 비교 신호($COMP_H$, $COMP_M$, $COMP_L$)를 저장할 수 있다.
- [0095] 상술한 바와 같이, 본 발명에 따른 판정 궤환 등화기(10)는 2개의 비교기만을 사용하므로, 종래의 기술의 판정 궤환 등화기보다 부하를 감소시킬 수 있다.

[0096] 본 발명의 실시예에 따른 기준 전압 분할을 이용한 판정 레환 등화기(10)는 전력 소모를 감소시킬 수 있고, PAM-4에 최적화되어 ISI 제거 성능을 향상시킬 수 있다.

[0098] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0100]

10, 10', 10_1 : 판정 궤환 등화기

100, 100', 100_1, 100_2 : 기준 전압 분할기

110 : 캐패시터부

120 : 제1 스위치부

130 : 제2 스위치부

200 : 비교부

210, 210' : 제1 비교기

220, 220' : 제2 비교기

230 : 제3 비교기

300 : 플립플롭부

310 : 제1 플립플롭

320 : 제2 플립플롭

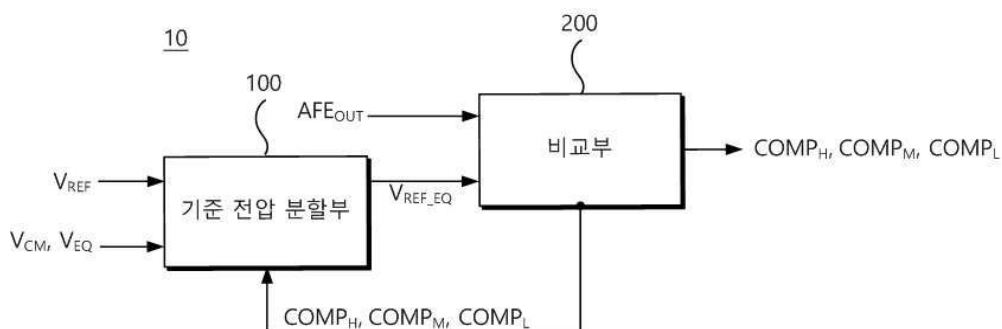
330 : 제3 플립플롭

20 : 아날로그 프런트-엔드

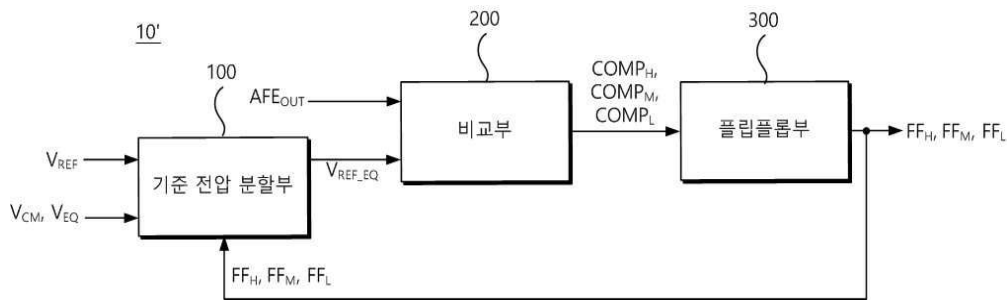
30, 30_1, 30_2 : PAM-4 디코더

도면

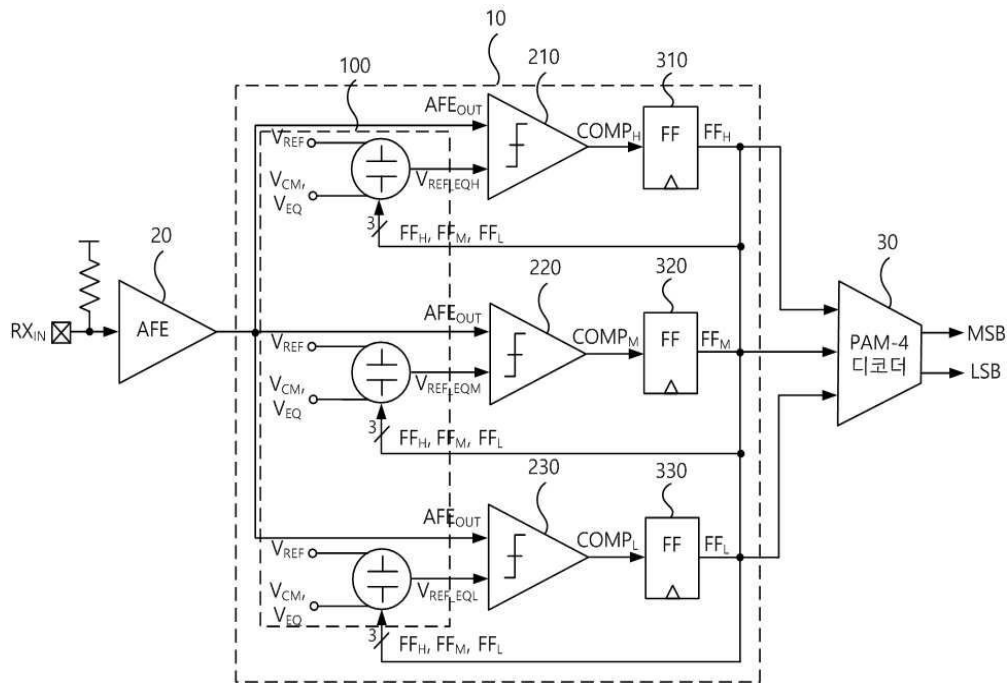
도면1



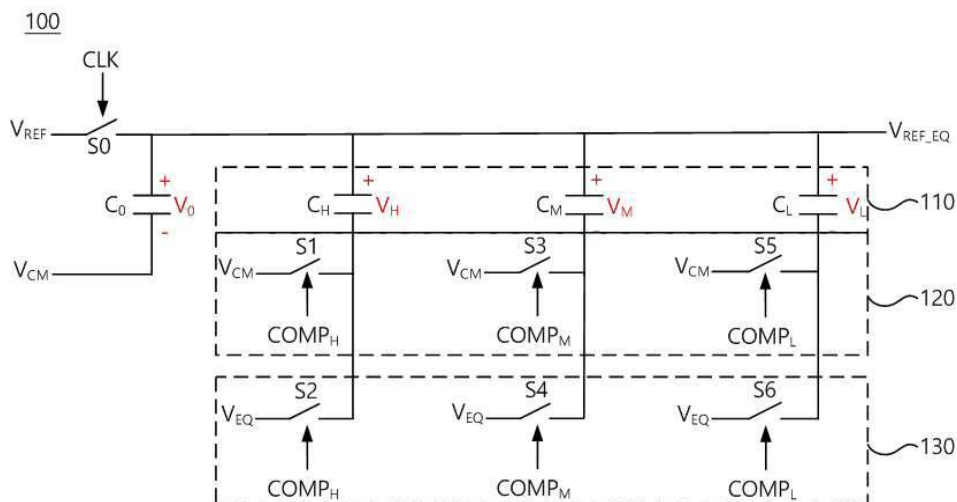
도면2



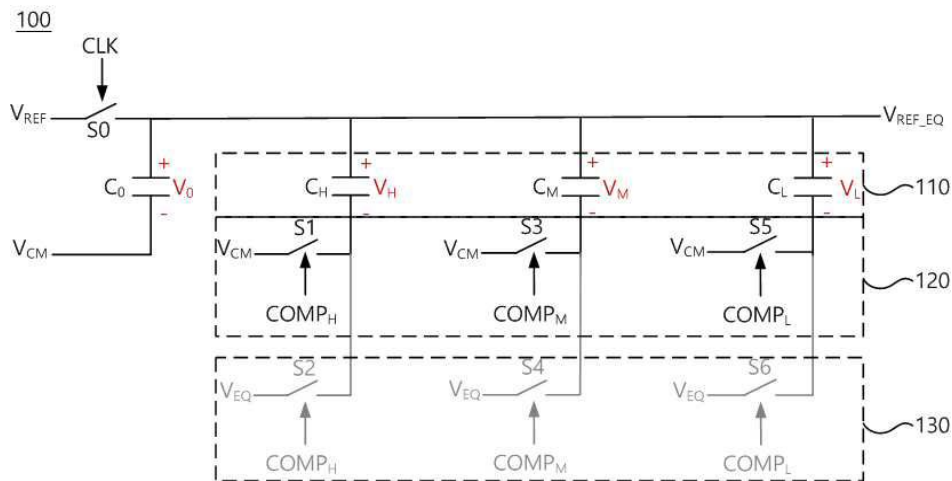
도면3



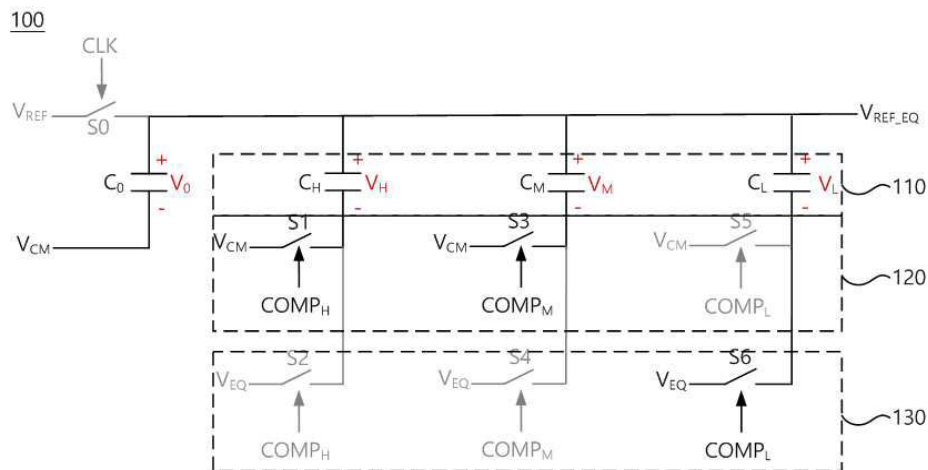
도면4a



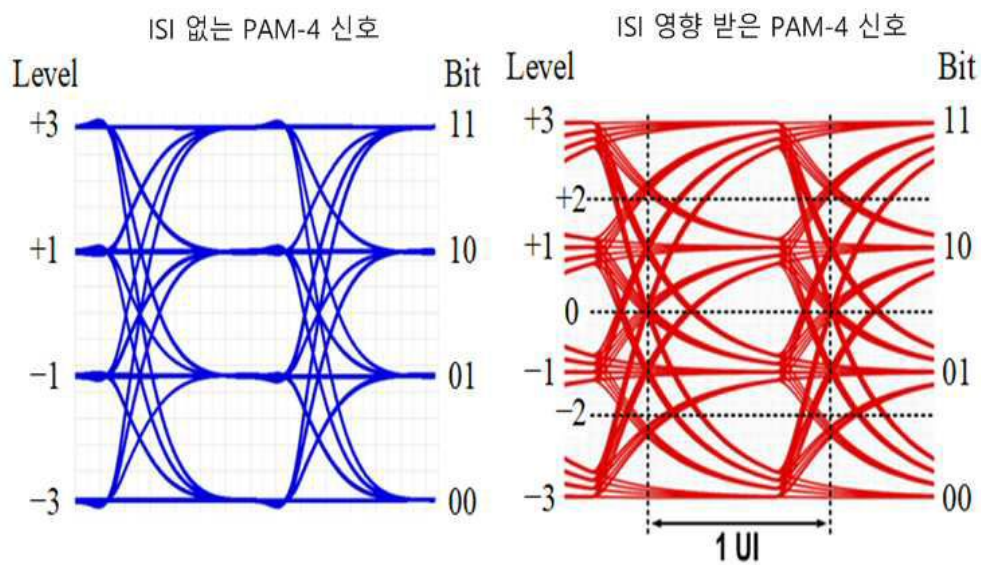
도면4b



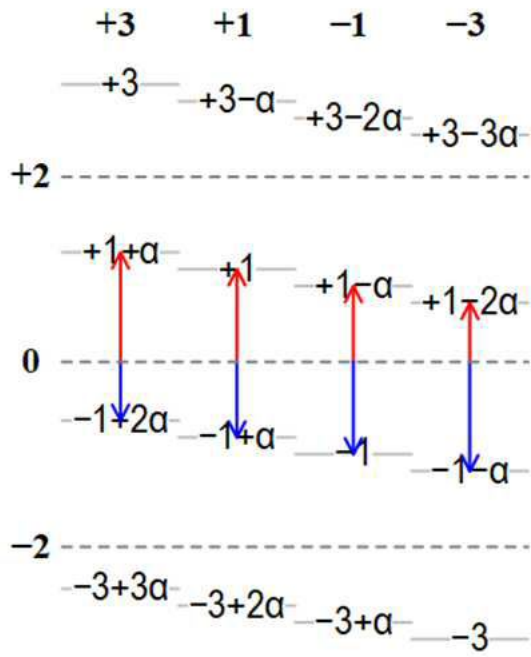
도면4c



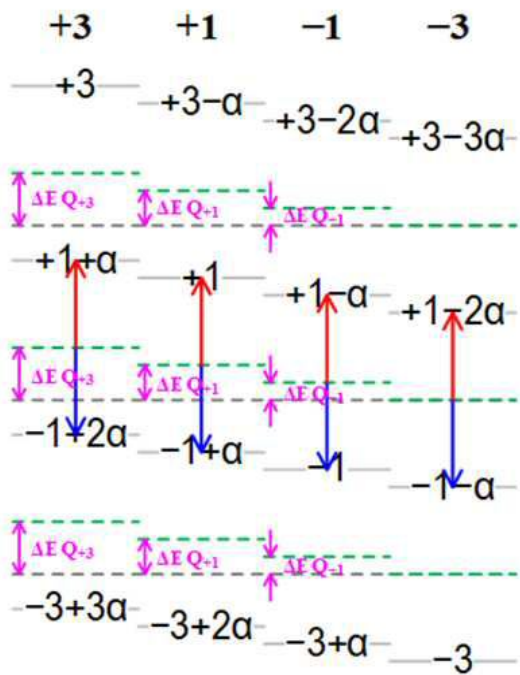
도면 5a



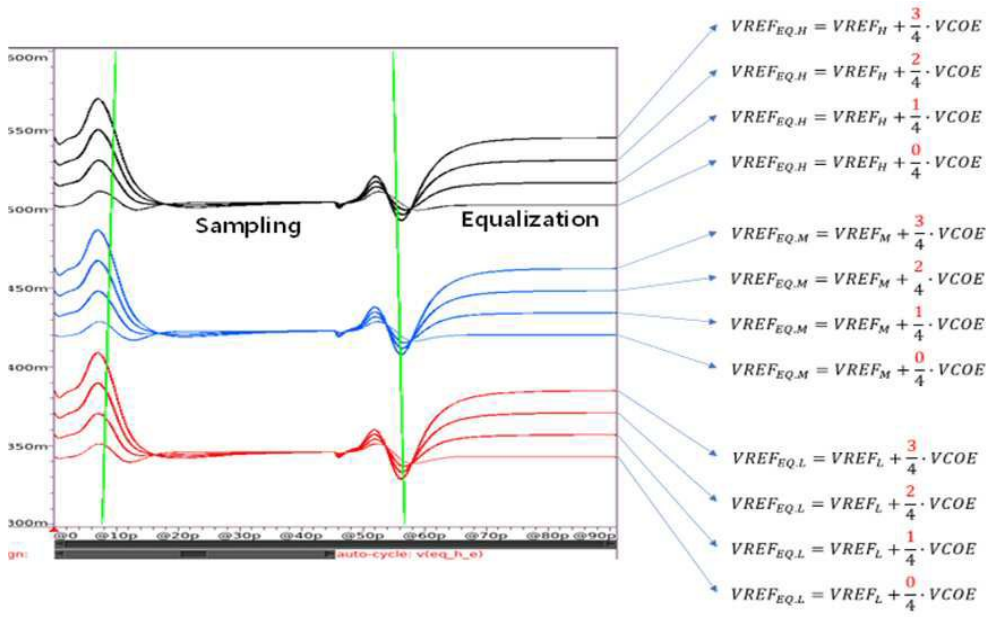
도면5b



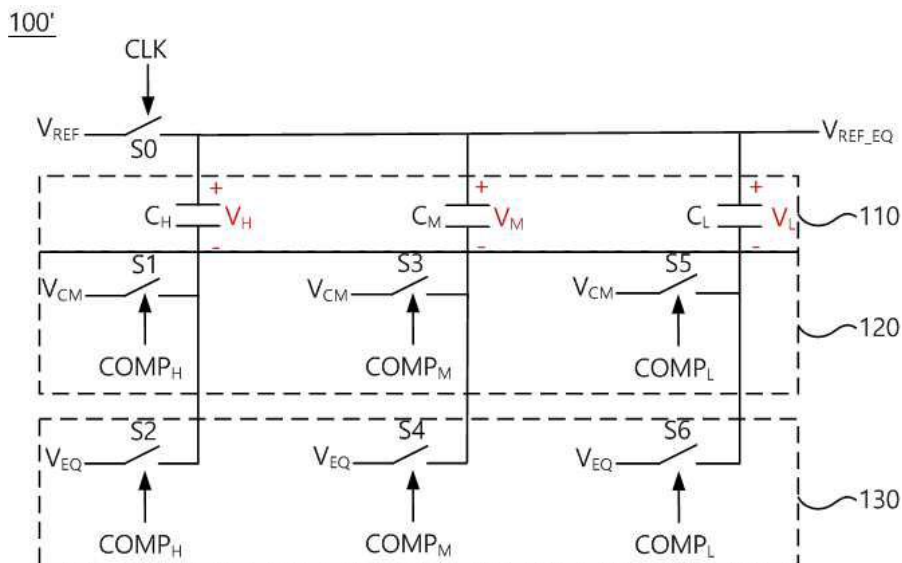
도면5c



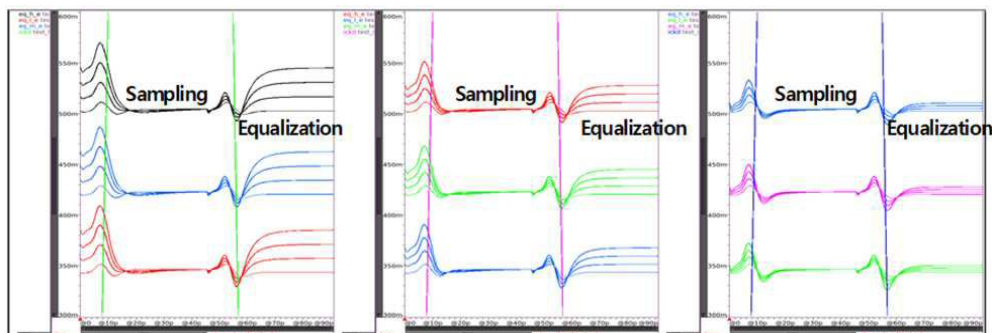
도면6



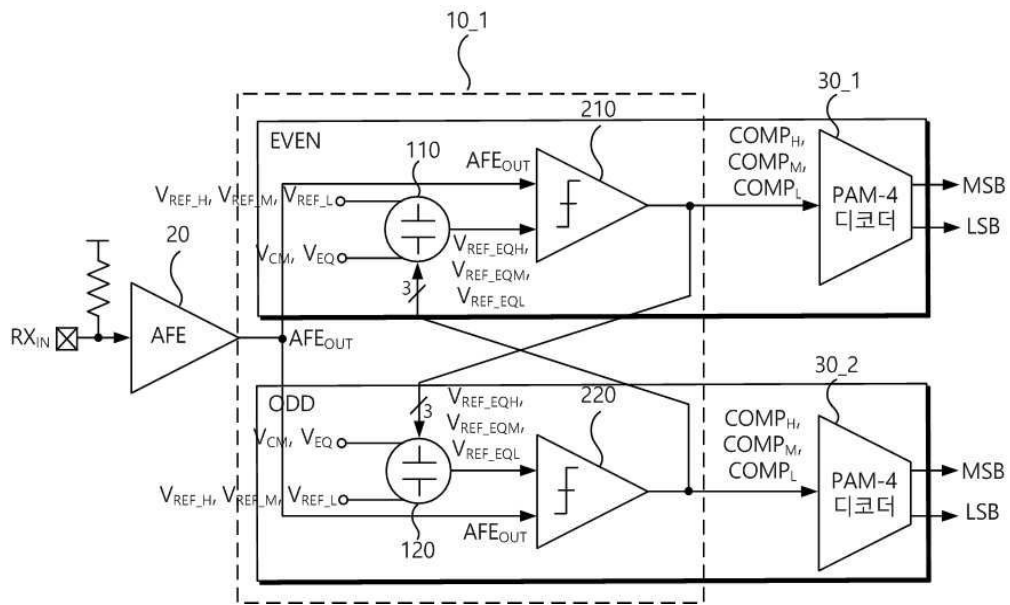
도면7



도면8



도면9



도면10

