

發明專利說明書 200401111

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92114439

※ 申請日期： 92.5.28

※IPC 分類： G01R19/165

壹、發明名稱：(中文/英文)

不足電壓檢測電路

Under-voltage detection Circuit

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

德商·英飛凌科技股份有限公司

Infineon Technologies AG

代表人：(中文/英文)

(1)馬汀·伯德/Martin Berder

(2)海木夫·希胡伯特/Helmuf Sehubert

住居所或營業所地址：(中文/英文)

德國慕尼黑·聖馬汀街53號

St.-Martin-Strasse 53, 81669 Munich, Germany

國 籍：(中文/英文)

德國/Germany

參、發明人：(共 1 人)

姓 名：(中文/英文)

馬法庸/MA, Fan Yung

住居所地址：(中文/英文)

新加坡第359235郵區惹蘭宜蘭66號

66, Jalan Girang, Singapore 359235

國 籍：(中文/英文)

新加坡/SINGAPORE

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. PCT; 2002/07/01; WOPCT/SG02/00148

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明是有關用於微處理器之電壓不足檢測電路，以及有關使用此UVD電路之微處理器。

【先前技術】

發明背景

電壓不足檢測(UVD)電路為檢測當供應電壓下降至檢測臨界值以下時所用之電路。此種電壓不足檢測(UVD)廣泛地使用於微控制器為主之系統中，並且特別是在開機、關機或電力不足情況期間使用(即，供電之情形為以致於供應電壓通常低於檢測臨界值，但包括一些正的頻率突增)。當UVD感測到供應電壓之值小於檢測臨界值時，則它藉由發出重設信號而在微處理器中觸發重設。然而，在某些情形中(例如：靜電放電(ESD)測試)可以產生短期間負的暫時狀態，其構成電壓不足，但此UVD電路較佳可以忽略此暫時狀態，以致於不會觸發重設。

根據瞭解早期微處理器設計處理此問題之方式為：使用連接靠近供應接腳之外部電容器，以去除任何供應電壓之頻率突增。另一種達成相同結果的方法為：在電壓檢測比較器之輸入在微處理器中添加RC網路。然而，提供此種免除高位準頻率突增須要大的RC值，其為面積集約(intensive)，且因此不適用於IC之實施。

【發明內容】

發明概要

本發明尋求提供新且有用之UVD電路，以及具有此種之微處理器。

- 5 以一般說法而言，本發明建議整合供應電壓與參考信號之間之差異，並且決定是否使用此整合信號以產生重設。

尤其，本發明可以表示作為UVD電路用於監視供應電壓，並且其包括：

- 比較器，用於產生不足信號，以顯示供應電壓相對於
10 參考電壓之不足，以及

整合器，用於將電壓不足信號以時間整合，以形成整合信號，

其中使用整合器之輸出以產生重設信號。

- 此經整合信號本身可以構成重設信號，其直接傳送至
15 重設裝置用於重新設定微處理器。以替代方式，此經整合信號可以只是對鑑別電路之一單一輸入，其可以被配置取決於(但並不只由它決定)整合信號而產生重設信號。

- 此電壓不足信號較佳為電流信號，其所具有的值隨著供應電壓相對於參考電壓之不足而增加。在此情形中可以直接實施整合器作為包括電容器之類比電路。此比較器可以
20 選擇地另外產生電壓信號，其顯示供應電壓相對於參考電壓之不足，並且此亦可由鑑別器使用。

現在參考以下圖式，詳細說明僅作為例子之本發明實施例。

圖式簡單說明

第1圖為UVD電路實施例之概要圖式；

第2圖為第1圖之比較器之電路圖；

第3圖為實施例之電路圖；

5 第4圖為比較器之電流輸出，用於兩個輸入電壓之間範圍之差異；

第5圖由第5(a)與5(b)圖所構成，其顯示對兩個不同供應電壓輪廓響應之實施例；

第6圖顯示在緩慢開機與關機期間實施例之操作；以及

10 第7圖顯示最小所須頻率突增期間，以觸發相對於頻率突增大小之實施例。

【實施方式】

較佳實施例之詳細說明

第1圖中顯示實施例之概要圖式。比較器單元1接收兩個輸入： V_{supply} ，為受檢查之電力供應電壓；以及 V_{ref} 為參考電壓。它產生兩個輸出： $V2V$ 與 $V2I$ 。 $V2I$ 為電流其隨著 V_{supply} 相較於 V_{ref} 之不足而(例如成正例地)增加。 $V2V$ 為電壓，其隨著此不足而增加(它例如可以與 $V2I$ 成比例)。

20 在此之中將輸出 $V2I$ 傳送至整合單元3，其整合 $V2I$ 並產生重設信號R。

可以將R選擇性地直接傳送給重設裝置(其並未圖式，但其可為任何傳統設計)，其將微處理器/電腦系統重設。以替代方式，可以配置鑑別器(未圖式)以接收 $V2I$ (以及選擇性地其他輸入，例如：控制信號或 $V2V$)，並且產生用於傳輸

至重設裝置之經修正重設信號。

第2、3圖各顯示比較器1與其至整合器3之連接之詳細電路圖。

首先，概要說明第3圖。比較器1接收兩個輸入電壓信號inm與inp，其各由電壓參考信號 V_{ref} 與供應電壓 V_{supply} 導出。比較器產生電流輸出 i_{out} 以及兩個電壓輸出 V_{outn} 與其倒數 V_{outp} 。如同以下說明， i_{out} 對應於第1圖中之V21，並且為inp相較於inm不足之電流測量。

將電流信號 i_{out} 傳送給整合器3，其產生輸出信號 V_o 。鑑別器電路4處理結果 V_o 以產生電壓，其為修正之重設信號 R_{out} (當此信號為低時觸發重設)。

現在更詳細參考第2圖，比較器1是具有電流輸出 i_{out} 與電壓輸出 V_{outn} 與 V_{outp} 之互導放大器電路。此輸入差異對是由電晶體P2與P3構成，其各接收輸入inm與inp。此差異對與偏壓電晶體P0實施電壓至電流轉換，以產生信號 i_{out} 。

眾所周知，電晶體輸入裝置P2、P3之汲極電流之差異 $V_{id} < \sqrt{2I_{ss}/\beta}$ 可以由以下公式說明：

$$I_{dp3} - I_{dp2} = V_{id} \sqrt{\beta I_{ss} (1 - \beta V_{id}^2 / 4I_{ss})}$$

而 $V_{id} = inp - inm$ ， I_{ss} 為差異對偏壓電流(即，經由電晶體P0之電流)，且為裝置遷移率、高寬比、以及閘極氧化物電容之函數。

此公式同樣適用於輸出，即，比較器輸出 i_{out} 是依據相同的公式，且由電晶體N4、N5、N3、P4以及P6之增益係數所決定之增益係數換算。因此，根據此公式在靠近 $V_{id} = 0$ ，

i_{out} 大致隨著 V_{id} 線性變化，且然後在較高之正與負 I_{ss} 值飽和。因此，在輸出電流飽和之前，此電路大致為線性電壓至電流轉換器。在第4圖中顯示電流電壓輪廓。茲使用輸出以產生相對應電壓輸出 V_{out} 與其倒數 V_{outn} 。

5 Iddq為關機信號，其升高以顯示將會有關機(power down)。Pbias是由偏壓電路產生(其在第3圖中未示)。

現在回到第3圖，整合器3是由電阻器R1以及兩個電容器C1與C2構成。對於在(從比較器之 i_{out})輸入所施加之單位進階輸入(unit step input)可以導出，此在反相器INV/輸入之

10 輸出電壓 V_o 是依據以下公式：

$$V_o = k(t - \tau(1 - \exp(-t/\tau)))u(t)$$

而

$$k = i_{out} / (C1 + C2)$$

且

$$15 \quad \tau = R1 * C1 * C2 / (C1 + C2)$$

$\exp$ 為自然對數指數函數，且 $u(t)$ 為單位進階函數。基本上， V_o 具有隨著時間大致線性關係。此整合器3因此實施整合功能，且當到達其跳脫斷開點(trip point)時，此整合電壓造成INV1改變其狀態，因此產生重設信號。

20 第3圖之鑑別器4由輸入信號en控制，且允許頻率突增不響應(en="1")與頻率突增敏感(en="0")。在頻率突增不響應的情形中，此AND閘AND2傳送反相器INV1之輸出，此經由OR閘OR1傳送，且由反相器INV3反相。因此，當整合器3之輸出大於反相器INV1之跳脫電壓 V_c 時，則有低輸出

(此經修正之重設信號在重設裝置中觸發重設)，反之亦然。在頻率突增敏感的情形中， en 為低，且UVD電路之輸出是由 V_{out} 決定(因為AND閘AND0之輸出一直為零)。尤其是，當 V_{out} 為高(低)時 R_{out} 為高(低)。

- 5 熟習此技術之讀者會瞭解第3圖其他元件之結構。電晶體P1、電阻器R3、R4與R5提供供應電壓 V_{supply} 經比例轉換之形式。電容器C4、C5、以及C6使用標準RC效應，提供一些有限快速之頻率突增免除。然而，為了使用此種技術提供更多的頻率突增免除將須要大的RC值，其為面積集約，
- 10 且不適用於實施IC。

電阻器R2與電容器C3提供用於比較器參考信號之低通濾波器，以去除在此信號中任何不穩定效應。

- 配置開關S1與S2以及閘NOR1與INV2一起，以提供在偵測中之遲滯現象。根據開關S1與S2那一個導通，將輸入
- 15 inp 比例轉換。這意味著由比較器/所視之有效供應電壓，根據此重設是否已被觸發，而可為較高或較低。

- 一旦至INV1之輸入減少通過INV1之跳脫點，則可以使用閘AND1與電晶體N2，藉由將C1連接至接地7而使C1放電。這是將此電路準備用於下一個積極事件，即，開機
- 20 (power up)。

在開機時，使用電晶體N1與輸入 $init$ 將跨C1之電壓初設至接地。在正常情況下， $init$ 為低，因此電晶體N1為非活性。但在UVD電路初設時，將 $init$ 設定為高而至接地C1。

第5(a)圖概要顯示在兩種情形中電路之時間變化，對於

此兩者而言，UVD電路是在突增頻率不響應狀態。在第5(a)圖的情形中由陰影區域5所示，供應電壓 V_{supply} 短時間下降至 V_{ref} 以下。在此時之前 V_o 為高，但在期間5大約隨著此頻率突增持續時間成比例地下降。然而，在反相器INV1跳脫之前 V_{supply} 上升超過 V_{ref} ，以致於輸出 R_{out} 保持在邏輯“1”，且並無重設。

然而，相反地，在第5(b)圖中所示的情形中， V_{supply} 是低於 V_{ref} 足夠長的時間，以致於 V_o 下降至反相器INV1之跳脫電壓 V_c 以下，且 R_{out} 下降至零，即，存有重設。

10 第6圖顯示在緩慢開機與關機期間， R_{out} 隨著時間之變化。

第7圖顯示用於在第2與3圖電路中典型元件值之會造成重設之突增頻率之最小期間，其用於在UVD電路之突增頻率不響應狀態中不同大小之頻率突增(即， V_{supply} 相對於 V_{ref} 不同之不足值)。在x軸上顯示突增頻率之大小，而在y軸上顯示此種頻率突增必須持續以便造成重設之時間。如同由第7圖可看出，超過大約650mV之頻率突增不論其期間為何，將會造成重設。對於頻率突增大小寬廣的範圍(200mV至600mV)，如果頻率突增期間超過大約7 μ s才會造成重設。

雖然以上詳細說明本發明之單一實施例，但對熟習此技術之讀者是為明顯，可以在本發明之範圍中作各種修正。

【圖式簡單說明】

第1圖為UVD電路實施例之概要圖式；

第2圖為第1圖之比較器之電路圖；

第3圖為實施例之電路圖；

第4圖為比較器之電流輸出，用於兩個輸入電壓之間範圍之差異；

5 第5圖由第5(a)與5(b)圖所構成，其顯示對兩個不同供應電壓輪廓響應之實施例；

第6圖顯示在緩慢開機與關機期間實施例之操作；以及

第7圖顯示最小所須頻率突增期間，以觸發相對於頻率突增大小之實施例。

10 【圖式之主要元件代表符號表】

1...比較器單元	i_{out} ...電流輸出
3...整合器	in_m ...輸入電壓信號
4...鑑別器電路	in_p ...輸入電壓信號
5...陰影區域	N0-N9...電晶體
7...接地	P0-P7...電晶體
R...重設信號	Pbias...電晶體
V_{supply} ...供應電壓	INV0-INV5...反相器
V_{ref} ...參考信號電壓	R1-R5...電阻器
V2V...輸出	S1、S2...開關
V21...輸出	V_{outn} ...電壓輸出
AND1、2...AND閘	V_{out} ...電壓輸出
C1-C5...電容器	

伍、中文發明摘要：

電壓不足檢測電路(UVD)包括：比較器(1)，用於決定供應電壓 V_{supply} 低於參考電壓 V_{ref} 之數量；以及整合器(3)用於將此電壓不足作時間整合。在UVD電路之頻率突增不響應操作模式中，使用此整合值產生重設。只有在供應電壓 V_{supply} 中頻率突增期間長於臨界期間的情形中才產生重設。此臨界期間取決於頻率突增之大小與整合器(3)之成份值。

陸、英文發明摘要：

An under-voltage detection (UVD) circuit includes a comparator 1 for determining the amount by which a voltage supply V_{supply} falls short of a reference voltage V_{ref} , and an integrator 3 for time-integrating this shortfall. In a glitch immune operating mode of the UVD circuit, a reset is generated using this integrated value. A reset is only generated in the case that a glitch in the supply voltage V_{supply} has a duration longer than a critical duration. The critical duration depends upon the magnitude of the glitch and the component values of the integrator 3.

拾、申請專利範圍：

1. 一種用於監視供應電壓之UVD電路，包括：

比較器，用於產生電壓不足信號，其顯示供應電壓相對於參考電壓之不足；

5 整合器，用於時間整合電壓不足信號，以形成經整合信號，其特徵為

 使用整合器之輸出以產生重設信號。
2. 如申請專利範圍第1項之UVD電路，更包括鑑別器電路，用於接收經整合信號與比較器之至少另一輸出，並且使用此經整合信號與至少一另一輸出產生重設信號。

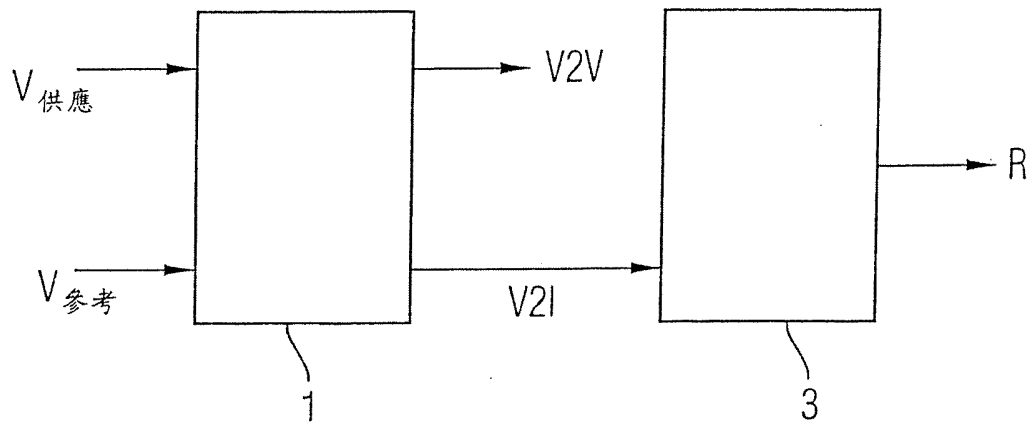
10 並且使用此經整合信號與至少一另一輸出產生重設信號。
3. 如申請專利範圍第2項之UVD電路，其中配置此鑑別器電路以接收控制信號，此鑑別器電路更包括由控制信號所控制之開關，以決定是否根據此整合信號或至少另一輸出信號而產生重設信號。
- 15 4. 一種包括如申請專利範圍第1至3項中任一項之UVD電路之微處理器，並且配置重設裝置以接收由UVD電路輸出之重設信號，以及根據其值啟動微處理器之重設。
5. 一種監視供應電壓之方法，其特徵為包括以下步驟：

產生電壓不足信號，以顯示供應電壓相對於參考電壓之不足；

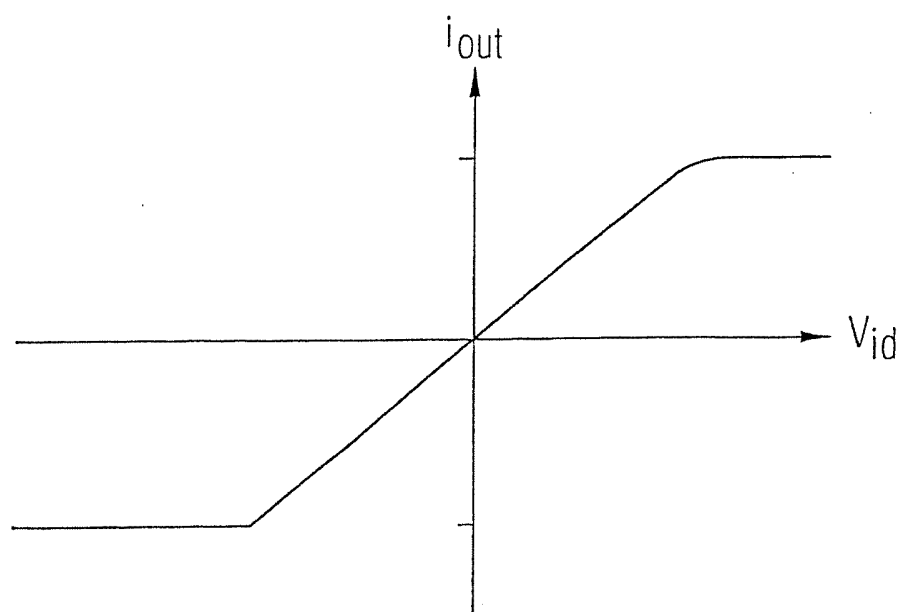
20 以時間整合電壓不足信號以形成經整合信號；以及

 使用此電壓不足信號產生重設信號。

第 1 圖

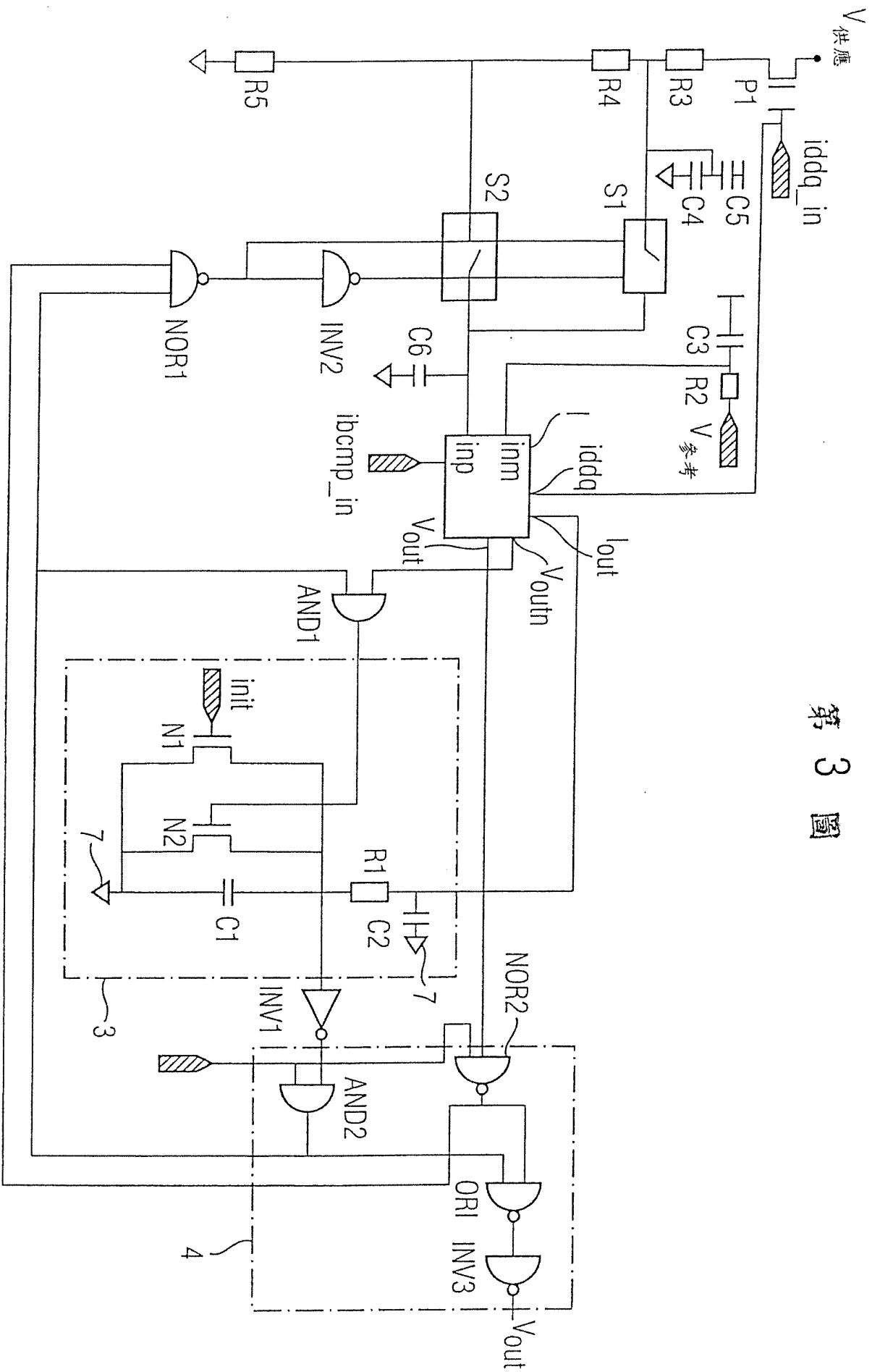


第 4 圖



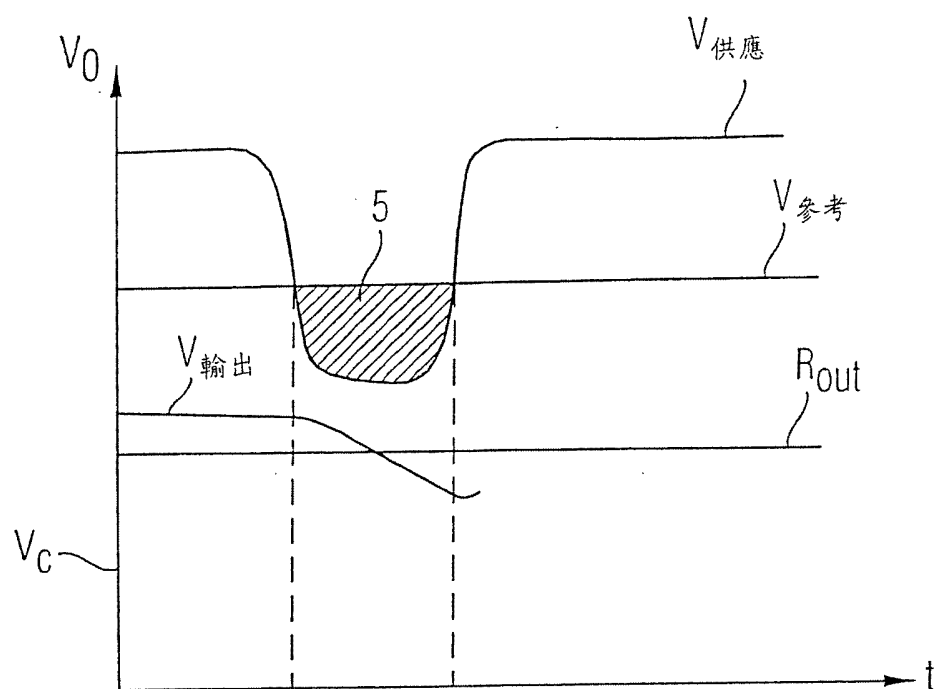
2/5



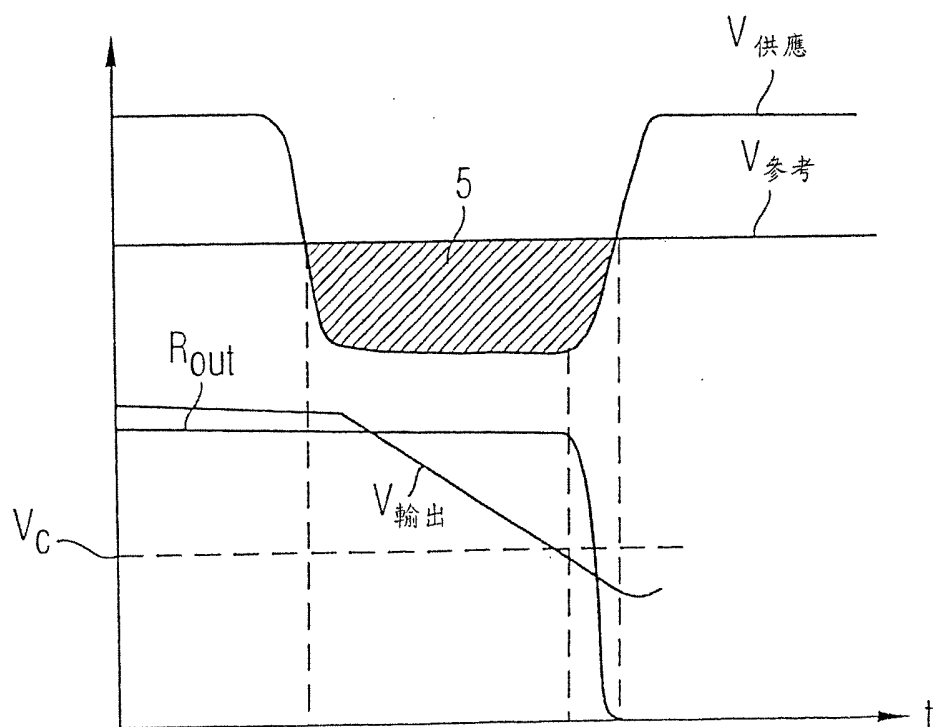


第 3 圖

第 5a 圖

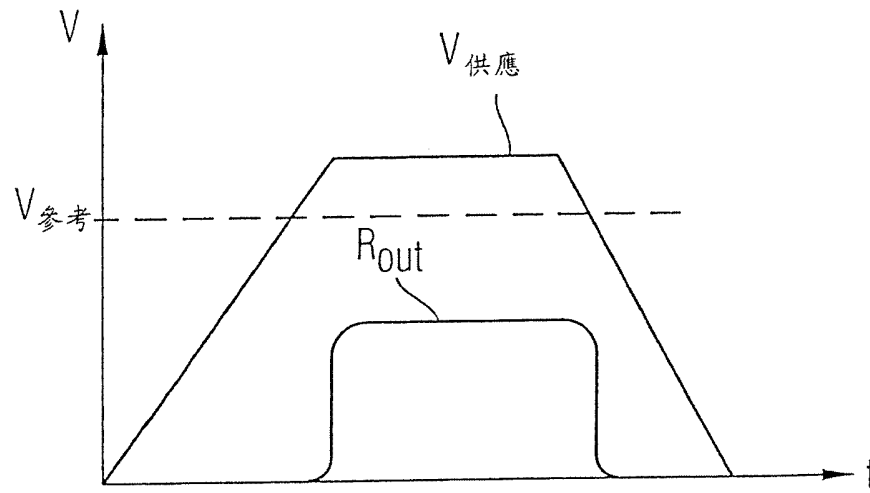


第 5b 圖

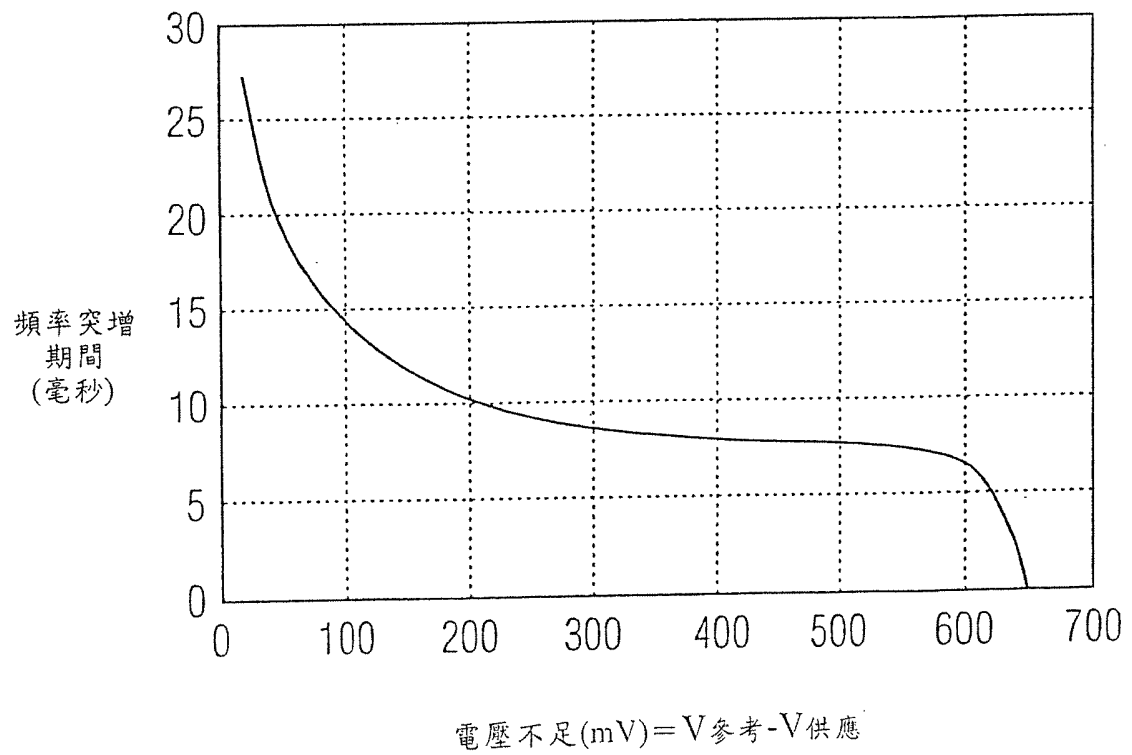


5/5

第 6 圖



第 7 圖



柒、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

1...比較器單元

3...整合器

R...重設信號

V_{supply} ...供應電壓

V_{ref} ...參考信號電壓

V2V...輸出

V21...輸出

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92114439

※ 申請日期：92-5-28

※IPC 分類：G01R 19/165

壹、發明名稱：(中文/英文)

不足電壓檢測電路

Under-voltage detection Circuit

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

因芬奈昂技術股份有限公司

Infineon Technologies AG

代表人：(中文/英文)

(1)馬汀·伯德/Martin Berder

(2)海木夫·希胡伯特/Helmuf Sehubert

住居所或營業所地址：(中文/英文)

德國慕尼黑·聖馬汀街53號

St.-Martin-Strasse 53, 81669 Munich, Germany

國籍：(中文/英文)

德國/Germany

參、發明人：(共 1 人)

姓名：(中文/英文)

馬法庸/MA, Fan Yung

住居所地址：(中文/英文)

新加坡第359235郵區惹蘭宜蘭66號

66, Jalan Girang, Singapore 359235

國籍：(中文/英文)

新加坡/SINGAPORE