

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97136969

※ 申請日期： 97. 9. 25

※IPC 分類：G06F

一、發明名稱：(中文/英文)

記憶系統

MEMORY SYSTEM

G06F 13/14 (2006.01)

G06F 13/28 (2006.01)

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東芝股份有限公司

KABUSHIKI KAISHA TOSHIBA

代表人：(中文/英文)

西田 厚聰

NISHIDA, ATSUTOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區芝浦1丁目1番1號

1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO 105-8001, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 菅野 伸一
KANNO, SHINICHI
2. 矢野 浩邦
YANO, HIROKUNI
3. 檜田 敏克
HIDA, TOSHIKATSU
4. 橘内 和也
KITSUNAI, KAZUYA
5. 矢野 純二
YANO, JUNJI

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2008年04月24日；特願2008-114230

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種記憶系統，其包括：一非揮發性記憶體，其包括作為資料抹除單元的複數個區塊；一測量單元，其測量一抹除各區塊中之資料的抹除時間；一區塊控制器，其具有一區塊表，該區塊表將一指示一可用狀態與一使用狀態中之一者的一狀態值與各區塊之該抹除時間相關聯；一偵測器，其偵測在一短期間內已共同發生重寫的區塊；一第一選擇器，其基於該區塊表中之資訊來選擇具有一舊抹除時間之一可用區塊作為一第一區塊；一第二選擇器，其基於該區塊表中之該資訊來選擇具有一舊抹除時間之一使用中區塊作為一第二區塊；以及一平均抹寫單元，若藉由該偵測器偵測的區塊中包括該第一區塊，則該平均抹寫單元將該第二區塊中的資料移至該第一區塊。

六、英文發明摘要：

A memory system includes a nonvolatile memory including a plurality of blocks as data erase units, a measuring unit which measures an erase time at which data in each block is erased, a block controller having a block table which associates a state value indicating one of a free state and a used state with the erase time for each block, a detector which detects blocks in which rewrite has collectively occurred within a short period, a first selector which selects a free block having an old erase time as a first block, on the basis of an information in the block table, a second selector which selects a block in use having an old erase time as a second block, on the basis of the information in the block table, and a leveling unit which moves data in the second block to the first block if the first block is included in the blocks detected by the detector.

七、指定代表圖：

(一)本案指定代表圖為：第 (4) 圖。

(二)本代表圖之元件符號簡單說明：

5	位址匯流排
6	資料匯流排
10	NAND快閃記憶體
11	NAND控制器
25	NAND介面電路(NAND I/F)
30	區塊控制器
31	抹除時間測量單元
32	分配區塊選擇器
33	替換來源區塊選擇器
34	短期重寫偵測器
35	平均抹寫單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於一記憶系統，例如包括一NAND快閃記憶體之一記憶系統。

【先前技術】

近來，非揮發性半導體記憶體係用於各種部分中，例如大型電腦、個人電腦、家用電器、可攜式電話及類似者。特定言之，NAND快閃記憶體係電可重寫的非揮發性半導體記憶體並可以係形成而具有大容量與高積體密度。此外，近來，代替一硬碟機(HDD)，考慮使用該NAND快閃記憶體。

NAND快閃記憶體係在實行一寫入程序之前需要一抹除程序之一半導體記憶體。其使用壽命取決於重寫操作之數目。NAND快閃記憶體中的資料寫入/抹除操作係藉由在基板與控制閘極之間施加高電壓來針對浮動閘極注入/放出電子。若以上操作係執行很多次，則位於浮動閘極周圍的閘極氧化物膜係劣化並且注入浮動閘極中的電子係擷取而破壞資料。即，當重新操作之數目增加時，在寫入資料之後資料係保持之一期間變短(保持特性係劣化)。

此外，藉由使用個人電腦及類似者記錄的資料具有時間局部性與區域局部性兩者(文件1：David A. Patterson與John L. Hennessy的"電腦組織與設計：硬體/軟體介面(Computer Organization and Design: The hardware/Software Interface)"(Morgan Kaufmann Pub，2004年8月31日))。因

此，若當記錄資料時資料項目係依序記錄為其在從外部指定之位址中，則重寫程序(即抹除程序)係在一短期間內集中於一指定的區域中並因而抹除程序的數目變得大為不平衡。

已知NAND快閃記憶體的使用壽命亦取決於抹除程序之間的間隔並且隨著間隔變長，保持特性變得更佳並且使用壽命變得更長(文件2：Neal Mielke等人的"由於在程式化/抹除循環期間之電荷截獲所致的快閃EEPROM臨限不穩定性(Flash EEPROM Threshold Instabilities due to Charge Trapping During Program/Erase Cycling)"(IEEE TRANSACTIONS ON DEVICE AND MATERIALS RELIABILITY，第4卷，第3號，2004年9月，第335至344頁))。此亦指示隨著抹除間隔變短，保持特性發生劣化並且使用壽命變得更短。

此外，已知除非一抹除程序係實行一對應較長期間，則甚至當以短間隔實行寫入操作時，保持特性仍係復原(文件3：Neal Mielke等人的"快閃記憶體之分散式循環中的復原效應(Recovery Effects in the Distributed Cycling of Flash Memories)"(44th Annual International Reliability Physics Symposium，San Jose，2006年，第29至35頁))。

【發明內容】

依據本發明之一態樣，提供一記憶系統，其包含：一非揮發性記憶體，其包括作為資料抹除單元的複數個區塊；一測量單元，其測量一抹除各區塊中之資料的抹除時間；一區塊控制器，其具有一區塊表，該區塊表將一指示一可

用狀態與一使用狀態中之一者之一狀態值與各區塊之抹除時間相關聯；一偵測器，其偵測在一短期間內已共同發生重寫的區塊；一第一選擇器，其基於該區塊表中之資訊來選擇具有一舊抹除時間之一可用區塊作為一第一區塊；一第二選擇器，其基於該區塊表中之資訊來選擇具有一舊抹除時間之一使用中區塊作為一第二區塊；以及一平均抹寫單元，若藉由該偵測器偵測的區塊中包括該第一區塊，則該平均抹寫單元將該第二區塊中的資料移至該第一區塊。

【實施方式】

下面將參考附圖說明本發明之具體實施例。應注意，在以下說明中，相同參考數字表示具有相同功能與配置的元件，並且僅在必要時進行重複說明。

[第一具體實施例]

此具體實施例之一記憶系統係固裝於一印刷電路板上，該印刷電路板上固裝一主機裝置，並且該記憶系統經由一匯流排來與該主機裝置交換資料。替代地，此具體實施例之記憶系統係設計以可分離地附接於一主機裝置。此記憶系統係連接至該主機裝置並經由一匯流排來與該主機裝置交換資料。圖1係顯示包括此具體實施例之一記憶系統1的一電腦系統之一範例的示意圖。

該電腦系統包含：一中央處理單元(CPU)2；一主記憶體3，例如一動態隨機存取記憶體(DRAM)；一記憶體控制器4，其用於控制該主記憶體3；以及此具體實施例之記憶系

統1。該CPU 2、主記憶體3及記憶系統1係經由一用於處理位址之位址匯流排5與一用於處理資料之資料匯流排6來彼此連接。

在此電腦系統中，若來自該CPU 2之一傳送請求(讀取請求或寫入請求)係寫入請求，則將該CPU 2之資料(包括外部輸入的資料)或該主記憶體3之資料傳送至該記憶系統1。若來自該CPU 2之傳送請求係讀取請求，則將該記憶系統1之資料傳送至該CPU 2或主記憶體3。

該記憶系統1包含：一NAND快閃記憶體10，其作為一種非揮發性半導體記憶體；以及一NAND控制器11，其用於控制該NAND快閃記憶體10。下面將說明該記憶系統1之組態之一範例。

[1. 記憶系統1之組態]

圖2係顯示該記憶系統1之組態的示意圖。該記憶系統1包含該NAND快閃記憶體10與NAND控制器11。該NAND控制器11包括一主機介面電路(主機I/F)21、微處理單元(MPU)22、唯讀記憶體(ROM)23、隨機存取記憶體(RAM)24及NAND介面電路(NAND I/F)25。

該主機介面電路21依據一預定協定來在該NAND控制器11與該等主機裝置(CPU 2、主記憶體3及類似者)之間實行介面處理。

該MPU 22控制該記憶系統1之總體操作。當開啟該記憶系統1之電源供應時，(例如)該MPU 22將儲存於該ROM 23中之韌體(一控制程式)讀取至該RAM 24上並執行預定處

理，從而在該RAM 24上形成各種表。該MPU 22亦接收來自該等主機裝置之一寫入請求、讀取請求及抹除請求，並依據此等請求來在該NAND快閃記憶體10上執行預定處理。

該ROM 23儲存(例如)欲藉由該MPU 22控制之控制程式。該RAM 24係用作該MPU 22之一工作區域，並儲存從該ROM 23載入的控制程式與各種表。該NAND介面電路25依據一預定協定在該NAND控制器11與NAND快閃記憶體10之間實行介面處理。

該NAND快閃記憶體10係藉由將複數個區塊配置為資料抹除之最小單元來形成。圖3A係顯示包括於該NAND快閃記憶體10中之一區塊之配置的電路圖。各區塊包括沿X方向按順序配置的 $(m+1)$ 個NAND串(m 係0或更大的整數)。包括於該 $(m+1)$ 個NAND串之每一者中之一選擇電晶體ST1具有連接至位元線BL0至BL m 之一對應位元線之一汲極與連接至一共同選擇閘極線SGD之一閘極。包括於該 $(m+1)$ 個NAND串之每一者中之一選擇電晶體ST2具有連接至一共同源極線SL之一源極與連接至一共同選擇閘極線SGS之一閘極。

在每一NAND串中， $(n+1)$ 個記憶體單元電晶體MT係配置於該選擇電晶體ST1之源極與該選擇電晶體ST2之汲極之間，使得該等記憶體單元電晶體MT之電流路徑係串聯連接(n 係0或更大的整數)。即，該 $(n+1)$ 個記憶體單元電晶體MT係在Y方向上串聯連接，使得相鄰電晶體共用擴散區

(源極區或汲極區)。

控制閘極電極係從最接近汲極側定位的記憶體單元電晶體MT按順序連接至字線WL0至WLn。因此，連接至字線WL0之記憶體單元電晶體MT之汲極係連接至選擇電晶體ST1之源極，並且連接至字線WLn之記憶體單元電晶體MT之源極係連接至選擇電晶體ST2之汲極。

該等字元線WL0至WLn將該區塊中的NAND串之間的記憶體單元電晶體MT之控制閘極電極連接在一起。即，在區塊中之同一列中的記憶體單元電晶體MT之控制閘極電極係連接至同一字線WL。連接至同一字線WL的(m+1)個記憶體單元電晶體MT係處理為一頁，並且資料寫入與讀取係逐頁實行。

該等位元線BL0至BLm將該等區塊之間的選擇電晶體ST1之汲極連接在一起。即，在複數個區塊中之同一行中的NAND串係連接至同一位元線BL。

每一記憶體單元電晶體MT皆係一具有形成於一半導體基板上之一堆疊閘極結構的金氧半導體場效電晶體(MOSFET)。該堆疊閘極結構係藉由在該半導體基板上依序堆疊一閘極絕緣膜、電荷儲存層(浮動閘極電極)、閘極間絕緣膜及控制閘極電極來形成。該記憶體單元電晶體MT依據儲存於該浮動閘極電極中的電子數目來改變其臨限電壓，並依據臨限電壓之間的差異來儲存資料。該記憶體單元電晶體MT可以係設計以儲存二進制資料(一位元)或多層資料(具有兩個或兩個以上位元之資料)。

該記憶體單元電晶體MT之結構並不限於具有浮動閘極電極之結構，而亦可以係諸如一金屬氧化物氮化物氧化物矽(MONOS)結構之一結構，其中可藉由在作為一電荷儲存層之一氮化物膜之介面中截獲電子來調整該臨限值。具有此MONOS結構的記憶體單元電晶體MT亦可以係設計以儲存一位元或多層資料(具有兩個或兩個以上位元之資料)。

圖3B顯示當採用一四層資料記錄系統(即其中在一個記憶體電晶體MT中記錄兩個位元的系統)時獲得的一臨限分佈之一範例。

在該四層資料記錄系統中，可在記憶體單元電晶體MT中保持藉由上頁資料"x"與下頁資料"y"定義的四層資料"xy"之一者。

資料"11"、"01"、"00"及"10"(其係以該記憶體單元電晶體MT之臨限電壓的上升順序)係指派為該等四層資料"xy"。資料"11"表示一抹除狀態，其中該記憶體單元電晶體MT之臨限電壓為負。

在該下頁寫入中，資料"10"係藉由將下位元資料"y"選擇性地寫入處於該資料"11"狀態(抹除狀態)中的記憶體單元電晶體MT中來予以寫入。

在該上頁寫入之前的資料"10"之臨限分佈係位於在該上頁寫入之後的資料"01"與資料"00"之臨限分佈之間。允許資料"10"之臨限分佈寬於在該上頁寫入之後的資料之臨限分佈。

在該上頁寫入中，上位元資料"x"係選擇性地寫入處於

資料"11"狀態中的記憶體單元與處於資料"10"狀態中的記憶體單元中。

可藉由硬體、軟體或硬體與軟體之一組合來實施本發明之各具體實施例中的各功能區塊。因此，下面將從其功能的觀點來說明各功能區塊，以便清楚顯示該區塊可以係硬體與軟體之一者或兩者。是否將功能實施為硬體或軟體取決於一實際具體實施例或施加於整個系統上的設計限制。熟習此項技術者可藉由針對各實際具體實施例之各種方法來實施此等功能，並且本發明之範疇包括實施方案的決定。

下面將說明該NAND控制器11之一更實際配置之一範例。圖4係顯示依據此具體實施例的NAND控制器11的配置之一範例的方塊圖。

該NAND控制器11包含一區塊控制器30、一抹除時間測量單元31、一分配區塊選擇器32、一替換來源區塊選擇器33、一短期重寫偵測器34、一平均抹寫單元35及該NAND介面電路(NAND I/F)25。

每當抹除包括於該NAND快閃記憶體10中之各區塊的資料時，該抹除時間測量單元31測量該區塊之抹除時間。該抹除時間測量單元31將該測量的抹除時間發送至該區塊控制器30。

該區塊控制器30管理各種資訊，包括抹除計數與抹除時間。該區塊控制器30亦依據來自該CPU 2之一傳送請求來發佈一寫入請求、讀取請求及抹除請求至該NAND快閃記

憶體10。更明確地說，該區塊控制器30包括一位址表30A與區塊表30B(稍後說明)，並藉由使用此等表來發佈一寫入請求、讀取請求及抹除請求至該NAND快閃記憶體10。

當將從外部(例如該CPU 2或主記憶體3)供應之新資料寫入至該NAND快閃記憶體10中時，該分配區塊選擇器32選擇一欲分配給此寫入的區塊(下文中將稱為一分配區塊)。即，該分配區塊選擇器32接收來自該區塊控制器30的儲存於該區塊表30B中的所有區塊之資訊(全部區塊資訊)，並依據預定條件來選擇一分配區塊。該分配區塊選擇器32將對應該分配區塊之一區塊號碼(分配區塊號碼)發送至該區塊控制器30。而且，該分配區塊選擇器32將對應該分配區塊的全部區塊資訊之該資訊(分配區塊資訊)發送至該平均抹寫單元35。欲在該NAND快閃記憶體10中寫入的資料之範例係外部供應至該記憶系統1的使用者資料及管理該記憶系統1之內部所需的系統資料。

該平均抹寫單元35執行一平均抹寫程序(稍後說明)。與此平均抹寫程序同時，該平均抹寫單元35發佈一寫入請求、讀取請求及抹除請求至該NAND快閃記憶體10。應注意，平均抹寫係使區塊之抹除計數彼此相等(即，損耗平均抹寫均)。藉由如此使該等區塊抹除計數彼此相等，可防止抹除程序集中於一些區塊。此使得可能延伸該NAND快閃記憶體10的使用壽命。

該替換來源區塊選擇器33選擇一區塊(下文中將稱為一替換來源區塊)作為欲用於藉由該平均抹寫單元35實行之

平均抹寫程序中之一資料替換來源。即，該替換來源區塊選擇器33接收來自該區塊控制器30的全部區塊資訊，並在預定條件下選擇一替換來源區塊。接著，該替換來源區塊選擇器33將對應該替換來源區塊的全部區塊資訊之資訊(替換來源區塊資訊)發送至該平均抹寫單元35。

該NAND介面電路25接收來自該區塊控制器30與平均抹寫單元35的寫入請求、讀取請求及抹除請求。回應此等請求，該NAND介面電路25指示該NAND快閃記憶體10來寫入、讀取及抹除資料。

短期重寫偵測器34偵測頻繁實行(在一短期間內)重寫之一區塊(具有一短抹除間隔)。在一短期間內實行重寫之一區塊的抹除時間係頻繁更新(以一新抹除時間替換)，而在一短期間內不實行重寫之一區塊的抹除時間仍為舊的抹除時間。此具體實施例藉由使用抹除時間之間的差異來偵測在一短期間內實行重寫之一區塊。為此目的，該短期重寫偵測器34按抹除時間的順序來配置(分類)使用中區塊，並計算一特定搜尋物件區塊的抹除時間與具有繼該搜尋物件區塊之後為最新之一抹除時間的一比較物件區塊的抹除之間的差異。若此抹除時間差異已超過一預定臨限值，則該短期重寫偵測器34決定其抹除時間比該比較物件區塊之抹除時間新的區塊係在一短期間內實行重寫之一區塊。此決定結果係作為短期重寫資訊來供應至該區塊控制器30。

圖5係顯示該區塊控制器30與抹除時間測量單元31之配置的方塊圖。該區塊控制器30具有該位址表30A、該區塊

表 30B 及一算術單元 30C。該區塊控制器 30 接收外部供應的位址與各種資訊，並基於此等資訊段來更新該位址表 30A 與區塊表 30B。

該位址表 30A 顯示包括經由該位址匯流排 5 從該主機裝置 (CPU 2) 供應之一位址的一位址區域 (邏輯區塊位址) 與對應該位址區域的 NAND 快閃記憶體 10 中之該區塊的號碼 (實體區塊位址) 之對應。藉由使用該位址表 30A，該區塊控制器 30 可指定在包括從該主機裝置供應之一位址的一位址區域中的資料所對應之一區塊。該位址表 30A 係與 (例如) 一區塊釋放程序或區塊分配程序 (稍後說明) 同時進行更新。

該區塊表 30B 儲存以下資料作為針對各區塊號碼之資訊。該等資料包含：一區塊狀態，其指示該區塊號碼是否未登錄於該位址表 30A 中 (該區塊是否係一可用區塊)，或該區塊號碼是否係登錄於該位址表 30A 中 (該區塊是否在使用中)；資料的抹除次數 (抹除計數)；抹除時間，其係從該抹除時間測量單元 31 供應；以及一短期重寫旗標 (在圖 5 中簡單說明為 "旗標")，其對應於從該短期重寫偵測器 34 供應的短期重寫資訊。該區塊表 30B 係與 (例如) 一區塊釋放程序、區塊分配程序、區塊抹除程序及短期重寫偵測程序 (稍後說明) 同時進行更新。包含於該區塊表 30B 中的全部區塊資訊係供應至該分配區塊選擇器 32、替換來源區塊選擇器 33 及短期重寫偵測器 34。

若一區塊係一可用區塊，則該主機裝置辨識對應該區塊之一位址區域係一未儲存資料的可用區域，其與在該

NAND快閃記憶體10中該區塊中之資料是否係實際抹除無關。另一方面，若一區塊在使用中，則該主機裝置辨識對應該區塊之一位址區域係一儲存資料的使用中區域。

應注意，該位址表30A與區塊表30B實際上係儲存於該RAM 24與NAND快閃記憶體10兩者中。然而，不需要總是每當該RAM 24係更新時便更新儲存為該NAND快閃記憶體10中之非揮發性表的位址表30A與區塊表30B。

每當該NAND快閃記憶體10中的資料係抹除時，該算術單元30C便使從其抹除資料之一區塊的抹除計數(其係包含於該區塊表30B中)向上計數一。應注意，該MPU 22實際上實行該算術單元30C之此處理。

該區塊控制器30接收來自該分配區塊選擇器32之一分配區塊號碼，並藉由使用此分配區塊號碼來更新該位址表30A中的區塊號碼。而且，該區塊控制器30發佈針對此分配區塊之一寫入請求至該NAND快閃記憶體10。此外，該區塊控制器30發佈對應一外部位址之一正常讀取請求與抹除請求至該NAND快閃記憶體10。

該抹除時間測量單元31包含：一抹除計數計數器31A，其用於計數抹除次數；以及一算術單元31B，其用於更新該抹除計數計數器31A的計數。該抹除時間測量單元31測量在該NAND快閃記憶體10中之一區塊上實行的抹除之次數，並輸出該測量的值作為抹除時間。

更明確地說，每當一特定區塊中的資料係抹除時，該算術單元31B便使該抹除計數計數器31A向上計數一。該抹

除計數計數器31A之計數(抹除數目)係作為抹除時間來供應至該區塊控制器30(即，該區塊表30B)。在此具體實施例之抹除時間測量單元31中，抹除數目愈小，抹除時間愈舊。應注意，該MPU 22實際上實行該算術單元31B之此處理。

作為抹除時間，亦可使用(例如)抹除資料的時間(抹除時序)或該NAND控制器11的電源供應時間。當使用抹除時序作為抹除時間時，該抹除時間測量單元31包括一時脈，並且每當抹除資料時便輸出抹除之時序作為抹除時間。當使用電源供應時間作為抹除時間時，該抹除時間測量單元31包括一計時器，並且每當抹除資料時便測量達此點之電源供應時間，並輸出該測量的電源供應時間作為抹除時間。因而可可用選擇抹除計數、抹除時序或電源供應時間作為抹除時間。應注意，只要可指定抹除時間，亦可使用除上面說明的三種類型之資訊以外的資訊。

[2. NAND控制器11之寫入操作]

下面將說明該NAND控制器11之寫入操作。圖6係顯示藉由該NAND控制器11實行的寫入操作之序列的流程圖。

首先，該NAND控制器11在接收來自該CPU 2之一寫入請求之後旋即開始寫入操作(步驟S10)。隨後，該區塊控制器30藉由使用該位址表30A來檢查一區塊號碼是否已針對包含該寫入請求之位址的一位址區域進行登錄(一區塊已分配)(步驟S11)。若一區塊號碼已登錄(一區塊已分配)，則在此位址區域中必須覆寫資料，故該區塊控制器

30執行釋放對應該區塊號碼之一區塊的區塊釋放程序(步驟S12)。

若在步驟S11中決定無區塊號碼登錄(無區塊分配)，或在步驟S12中執行該區塊釋放程序之後，該分配區塊選擇器32執行選擇一欲分配給該位址區域之區塊(分配區塊)的分配區塊選擇程序(步驟S13)。

接著，該平均抹寫單元35與替換來源區塊選擇器33執行一平均抹寫程序(步驟S14)。之後，該區塊控制器30檢查在該平均抹寫程序中該分配區塊是否被替換(步驟S15)。若該分配區塊已替換，則該程序返回至步驟S13，並且該分配區塊選擇器32再次執行該分配區塊選擇程序。

若在步驟S15中決定該分配區塊未替換，則該區塊控制器30藉由使用對應該分配區塊之一區塊號碼(分配區塊號碼)來執行一區塊分配程序，以便更新該位址表30A與區塊表30B(步驟S16)。該區塊控制器30接著對該分配區塊執行一區塊抹除程序(步驟S17)。

隨後，該區塊控制器30將新的資料寫入從其抹除資料的分配區塊中(步驟S18)。即，該區塊控制器30發佈一寫入請求至該NAND介面電路25。基於此寫入請求，該NAND介面電路25指示該NAND快閃記憶體10在該分配區塊中寫入該新的資料。

之後，該短期重寫偵測器34執行一短期重寫偵測程序(步驟S19)。該區塊控制器30藉由使用從該短期重寫偵測器34供應的短期重寫資訊來更新該區塊表30B中的旗標。

以此方式，該NAND控制器11執行該寫入操作之序列。

現將說明包括於該寫入操作中之各處理的細節。

[2-1. 區塊釋放程序]

圖7係顯示藉由該NAND控制器11實行之區塊釋放程序的流程圖。該區塊控制器30在一未分配狀態下設定包含於該位址表30A中並對應包含一寫入請求之位址之一位址區域的區塊號碼(步驟S20)。隨後，該區塊控制器30將包含於該區塊表30B中的區塊號碼之狀態設定至一可用狀態(步驟S21)。藉由該區塊釋放程序新設定於該可用狀態之一區塊在下文中將係稱為一釋放的區塊。之後，該NAND控制器11可在該釋放的區塊中寫入新資料。

[2-2. 分配區塊選擇程序]

圖8係顯示該分配區塊選擇器32之配置的方塊圖。圖9係顯示藉由該分配區塊選擇器32實行之分配區塊選擇程序的流程圖。

該分配區塊選擇器32包含兩個選擇器32A與32B。該分配區塊選擇器32接收來自該區塊控制器30的全部區塊資訊(步驟S30)。將此全部區塊資訊供應至該選擇器32A。該選擇器32A檢查所有區塊的狀態，並從所有該等區塊擷取可用區塊(步驟S31)。該選擇器32A接著將對應該等可用區塊的區塊資訊(可用區塊資訊)發送至該選擇器32B。

該選擇器32B從藉由該選擇器32A擷取的區塊選擇具有最舊抹除時間之一區塊作為一分配區塊(步驟S32)。將對應此分配區塊之一分配區塊號碼供應至該區塊控制器30。

而且，將對應該分配區塊的分配區塊資訊供應至該平均抹寫單元35。

[2-3. 區塊分配程序]

圖10係顯示藉由該NAND控制器11實行之區塊分配程序的流程圖。該NAND控制器11針對藉由該分配區塊選擇器32選擇的分配區塊來更新該位址表30A與區塊表30B中的資訊。

首先，該區塊控制器30接收來自該分配區塊選擇器32的分配區塊號碼(步驟S40)。接著，該區塊控制器30設定包含於該位址表30A中的包含該寫入請求之位址的一位址區域中之分配區塊的區塊號碼(步驟S41)。隨後，該區塊控制器30將包含於該區塊表30B中的分配區塊之狀態設定至一使用狀態(步驟S42)。以此方式，將藉由該分配區塊選擇器32選擇的分配區塊從可用狀態改變至使用狀態。

[2-4. 區塊抹除狀態]

圖11係顯示藉由該NAND控制器11實行之區塊抹除程序的流程圖。該區塊控制器30發佈針對該分配區塊之一抹除請求至該NAND介面電路25(步驟S50)。基於此抹除請求，該NAND介面電路25指示該NAND快閃記憶體10抹除該分配區塊中的資料(步驟S51)。隨後，該抹除時間測量單元31(更明確地說，該算術單元31B)使該抹除計數計數器31A之計數(抹除數目)向上計數一(步驟S52)。

接著，該區塊控制器30更新包含於該區塊表30B中並對應於從其抹除資料之分配區塊的抹除計數與抹除時間(步

驟S53)。更明確地說，該區塊控制器30藉由使用從該抹除時間測量單元31供應的抹除時間來更新包含於該區塊表30B並對應於該分配區塊之區塊號碼的抹除時間。而且，該算術單元30C使包含於該區塊表30B中並對應於該分配區塊之區塊號碼的抹除計數向上計數一。

[2-5. 短期重寫偵測程序]

圖12係顯示該短期重寫偵測器34之配置的方塊圖。該短期重寫偵測器34包含一選擇器34A、一配置單元34B、一搜尋列表34C、一決定單元34D、一用於儲存一抹除時間間隔臨限值的儲存單元34E及一資訊輸出單元34F。

該選擇器34A藉由使用從該區塊控制器30供應的全部區塊資訊來檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊。該配置單元34B按抹除時間的順序來配置(分類)該等使用中區塊。該搜尋列表34C暫時儲存該分類的區塊資訊。應注意，該搜尋列表34C實際上係儲存於該RAM 24中。

在該搜尋列表34C中，該決定單元34D選擇具有最新抹除時間之一區塊作為"一搜尋物件區塊"，並選擇具有繼該搜尋物件區塊之後為最新之一抹除時間的一區塊作為"一比較物件區塊"。此外，該決定單元34D計算該搜尋物件區塊與比較物件區塊的抹除時間之間的差異，並決定該差異是否已超過抹除時間間隔臨限值。基於此決定結果，該決定單元34D搜尋該抹除時間突然改變之一邊界。

藉由使用從該決定單元34D供應的決定結果(該比較物件

區塊的號碼)，該資訊輸出單元34F計算具有比該比較物件區塊之抹除時間新之抹除時間的區塊在所有該等區塊之中的範圍。該資訊輸出單元34F將以上範圍作為短期重寫資訊發送至該區塊控制器30。

儲存於該儲存單元34E中的抹除時間間隔臨限值係用以指定其中資料係頻繁重寫的區塊之範圍，並基於指示欲延伸該NAND快閃記憶體10之使用壽命(或資料保持期間)的程度之一準則來進行設定。當該抹除時間間隔臨限值減小時，短期重寫偵測的機率增加，而當該臨限值係增加時，機率減小。即，當該抹除時間間隔臨限值係減小時，平均抹寫程序的次數增加，而當該臨限值係增加時，機率減小。此平均抹寫程序係藉由一區塊資料抹除程序來完成。

每當資料係抹除時，該NAND快閃記憶體10的保持特性便劣化(即，使用壽命縮短)。另一方面，當抹除間隔延長時，該NAND快閃記憶體10的保持特性復原。即，若以短間隔連續實行資料抹除，則不能確保該保持特性的復原時間，故該NAND快閃記憶體10的使用壽命縮短。因此，在此具體實施例中，針對其中資料係頻繁重寫的區塊來設定短期重寫旗標，從而將此等區塊設定為平均抹寫之物件。指示藉由延長抹除間隔達一預定時間而獲得的使用壽命之復原程度的抹除時間間隔臨限值係藉由考慮該NAND快閃記憶體10之特性來決定，以便最佳化欲進行平均抹寫的區塊與平均抹寫的次數。

圖13係顯示藉由該短期重寫偵測器34實行之短期重寫偵

測程序的流程圖。首先，該短期重寫偵測器34接收來自該區塊控制器30的全部區塊資訊(步驟S60)。將此全部區塊資訊供應至該選擇器34A。該選擇器34A檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊(步驟S61)。接著，該選擇器34A將對應於該等使用中區塊的區塊資訊(使用中區塊資訊)發送至配置單元34B。

該配置單元34B檢查包含於該使用中區塊資訊中的抹除時間，並按抹除時間的順序來分類該等使用中區塊(步驟S62)。將藉由該配置單元34B分類的區塊資訊置放於該搜尋列表34C中。

隨後，該決定單元34D在該搜尋列表34C中選擇具有最新抹除時間之一區塊作為一搜尋物件區塊，並選擇具有繼該搜尋物件區塊之後為最新之一抹除時間的一區塊作為一比較物件區塊(步驟S63)。

之後，該決定單元34D計算該搜尋物件區塊與比較物件區塊的抹除時間之間的差異(步驟S64)。接著，該決定單元34D檢查該計算的抹除時間差異是否已超過該抹除時間間隔臨限值(步驟S65)。若該差異尚未超過該抹除時間間隔臨限值，則該決定單元34D檢查在該搜尋列表34C是否剩餘兩個或兩個以上區塊(步驟S66)。若剩餘兩個或兩個以上區塊，則該決定單元34D從該搜尋列表34C排除該搜尋物件區塊，返回至步驟S63，並再次選擇一搜尋物件區塊與比較物件區塊。

若在步驟S65中該差異已超過該抹除時間間隔臨限值，

則該決定單元34D將該比較物件區塊號碼發送至該資訊輸出單元34F。藉由使用此比較物件區塊號碼，該資訊輸出單元34F計算具有比該比較物件區塊之抹除時間新的抹除時間之區塊在所有該等區塊之中的範圍(步驟S68)。該資訊輸出單元34F將以上範圍作為短期重寫資訊發送至該區塊控制器30。在接收此短期重寫資訊之後，該區塊控制器30旋即設定對應於包含於該短期重寫資訊中的區塊之短期重寫旗標，並清除對應於其他區塊之短期重寫旗標。

若在步驟S66中未剩餘兩個或兩個以上區塊，則決定無已經歷短期重寫的區塊可以係偵測，並且終止該短期重寫偵測程序。

圖14係用於說明藉由該短期重寫偵測器34實行之短期重寫偵測程序之一實際範例的視圖。假定該NAND快閃記憶體10包括12個區塊(區塊#0至#11)，區塊#0至#7係包含於該搜尋列表34C中的使用中區塊，而區塊#8至#11係可用區塊。區塊#0至#7係從一具有最新抹除時間的區塊來按順序分類。該等個別區塊之抹除時間係如圖14所示。

首先，在該搜尋列表34C中，具有最新抹除時間的區塊#0係選擇為一搜尋物件區塊，而具有第二最新抹除時間的區塊#1係選擇為一比較物件區塊。區塊#0與#1之抹除時間之間的差異係"10"。此差異"10"尚未超過該抹除時間間隔臨限值(例如，"100")。因此，搜尋物件區塊#0係從該搜尋列表34C排除。

隨後，在該搜尋列表34C中，具有最新抹除時間的區塊

#1係選擇為一搜尋物件區塊，而具有第二最新抹除時間的區塊#2係選擇為一比較物件區塊。區塊#1與#2之抹除時間之間的差異係"110"。此差異"110"已超過該抹除時間間隔臨限值。因此，比較物件區塊#2的號碼係從該決定單元34D供應至該資訊輸出單元34F。

在包括可用區塊的所有該等區塊中，該資訊輸出單元34F在具有比該比較物件區塊#2之抹除時間新之抹除時間的區塊#0、#1及#8至#11上實行計算。該資訊輸出單元34F將區塊#0、#1及#8至#11作為短期重寫資訊發送至該區塊控制器30。該區塊控制器30設定對應於區塊#0、#1及#8至#11的短期重寫旗標，並清除對應於其他區塊的短期重寫旗標。因而，該區塊表30B中的資訊係更新。

[2-6. 平均抹寫程序]

為了延長該NAND快閃記憶體10的使用壽命，必需使該等個別區塊之抹除計數相等，並避免在一短期間內在一特定區域中頻繁重寫。若藉由僅注意該等抹除計數之等化來延伸該NAND快閃記憶體10的使用壽命，則重寫可能根據寫入狀態在一短時間內在一特定區域中進行。若在一短期間內頻繁實行校正(平均抹寫)，則可使該等抹除計數相等並避免寫入在一短時間內集中於一特定區域。然而，該校正增加抹除的次數，而此使得不可能延長使用壽命。另一方面，若該校正間隔係延伸太多，則短間隔抹除程序集中於一特定區域，並且此縮短使用壽命。基於此等發現，在此具體實施例之平均抹寫程序中，平均抹寫的次數係最佳

化，並使該等個別區塊之抹除計數相等。

該平均抹寫單元35與替換來源區塊選擇器33執行該平均抹寫程序。圖15係顯示該平均抹寫單元35之配置的方塊圖。該平均抹寫單元35包含一平均抹寫決定單元35A與一用於儲存一平均抹寫臨限值的儲存單元35B。

該平均抹寫決定單元35A藉由使用該平均抹寫臨限值、從該分配區塊選擇器32供應的分配區塊資訊及從該替換來源區塊選擇器33供應的替換來源區塊資訊來決定在當前寫入操作期間是否實行該平均抹寫程序。當實行該平均抹寫程序時，該平均抹寫決定單元35A發佈相關聯於該平均抹寫程序之一讀取請求、抹除請求及寫入請求至該NAND介面電路25。

圖16係顯示藉由該NAND控制器11實行之平均抹寫程序的流程圖。首先，該替換來源區塊選擇器33執行該替換來源區塊選擇程序(步驟S70)。由於此選擇程序，該替換來源區塊資訊係從該替換來源區塊選擇器33供應至該平均抹寫單元35。

隨後，該平均抹寫決定單元35A檢查從該分配區塊選擇器32供應的分配區塊資訊，並決定包含於此分配區塊資訊中的短期重寫旗標是否為ON(步驟S71)。若該短期重寫旗標為OFF，(即，若並不頻繁實行該分配區塊之重寫)，則該平均抹寫決定單元35A決定該替換來源區塊與分配區塊之抹除計數之間的差異是否已超過該平均抹寫臨限值(步驟S72)。若該差異尚未超過該平均抹寫臨限值，則該平均

抹寫單元35在當前寫入操作中不實行平均抹寫。

此平均抹寫臨限值係用以決定是否執行該平均抹寫程序，並基於指示該NAND快閃記憶體10之使用壽命(或資料保持期間)欲係延伸之一程度的準則來進行設定。如先前所說明，若藉由僅注意該等抹除計數之等化來延長該NAND快閃記憶體10之使用壽命，則由於平均抹寫所致資料抹除發生多次，並且此增加在一特定區域中抹除的次數。因此，在此具體實施例中，僅當該替換來源區塊與分配區塊之抹除計數之間的差異已超過該平均抹寫臨限值時執行該平均抹寫程序。

若在步驟S71中該短期重寫旗標為ON或若在步驟S72中該平均抹寫臨限值係超過，則該區塊控制器30在該替換來源區塊上執行一區塊釋放程序(步驟S73)。此區塊釋放程序係與圖7所示之程序相同。

隨後，該區塊控制器30執行一區塊分配程序，其係分配藉由該分配區塊選擇器32選擇的分配區塊作為該替換來源區塊之資料欲係移至其之一區塊(步驟S74)。此區塊分配程序係與圖10所示之程序相同。

接著，該NAND控制器11讀取包括於該NAND快閃記憶體10中的替換來源區塊之資料(步驟S75)。更明確地說，該平均抹寫決定單元35A藉由使用從該替換來源區塊選擇器33供應之替換來源區塊資訊來發佈一讀取請求至該NAND介面電路25。基於此讀取請求，該NAND介面電路25指示該NAND快閃記憶體10從該替換來源區塊讀取資

料。該等讀取的資料係暫時儲存於(例如)該RAM 24中。

之後，該NAND控制器11抹除該分配區塊的資料(步驟S76)。更明確地說，該平均抹寫決定單元35A藉由使用從該分配區塊選擇器32供應之分配區塊資訊來發佈一抹除請求至該NAND介面電路25。基於此抹除請求，該NAND介面電路25指示該NAND快閃記憶體10抹除該分配區塊之資料。在此步驟中，該區塊控制器30更新該分配區塊之抹除計數與抹除時間(圖11)。

隨後，該NAND控制器11將從該替換來源區塊讀取之資料寫入至包括於該NAND快閃記憶體10中之分配區塊中(步驟S77)。更明確地說，該平均抹寫決定單元35A藉由使用該分配區塊資訊來發佈一寫入請求至該NAND介面電路25。基於此寫入請求，該NAND介面電路25指示該NAND快閃記憶體10在該分配區塊中寫入該等資料。

以上處理使得可能將一替換來源區塊之資料移至一分配區塊，並使用該替換來源區塊作為一可用區塊。因此，其中可能不頻繁實行重寫之一替換來源區塊可以係重新用作一分配區塊。而且，不係頻繁重寫的資料係移至已具有一大抹除計數之一分配區塊。此使得可能防止將來該分配區塊之抹除計數的增加。

[2-6-1. 替換來源區塊選擇程序]

圖17係顯示該替換來源區塊選擇器33之配置的方塊圖。圖18係顯示藉由該替換來源區塊選擇器33實行之替換來源區塊選擇程序的流程圖。

該替換來源區塊選擇器33包含兩個選擇器33A與33B。該替換來源區塊選擇器33接收來自該區塊控制器30的全部區塊資訊(步驟S80)。將此全部區塊資訊供應至該選擇器33A。該選擇器33A檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊(步驟S81)。接著，該選擇器33A將對應於該等使用中區塊的區塊資訊(使用中區塊資訊)發送至該選擇器33B。

從藉由該選擇器33A擷取的區塊，該選擇器33B選擇具有最舊抹除時間之一區塊作為一替換來源區塊(步驟S82)。將對應於此替換來源區塊之替換來源區塊資訊供應至該平均抹寫電路35。如上面所說明的替換來源區塊選擇程序使得可能選擇儲存不係頻繁重寫的資料並具有一良好保持特性之一區塊作為一替換來源區塊。

在上面詳細說明之此具體實施例中，測量資料係於其從各區塊抹除的抹除時間，並且將該等區塊與抹除時間儲存於該區塊表30B中而使其彼此相關聯。當在該NAND快閃記憶體10中寫入外部供應的資料時，選擇具有最舊抹除時間之一可用區塊作為一分配區塊，並且在此分配區塊中寫入該等資料。

因此，此具體實施例可延伸各區塊的抹除間隔。此使得可能藉由使用保持特性係藉由延伸抹除間隔來復原之記憶體單元電晶體特性來減低各區塊之保持特性的退化。因此，可延長該NAND快閃記憶體10的使用壽命。

而且，在此具體實施例中，該短期重寫偵測器34指定其

中頻繁重寫資料之一區塊。若選擇此區塊作為一分配區塊，則該分配區塊係以具有一舊抹除時間之一替換來源區塊予以替換，並且儲存於該替換來源區塊中並且不係頻繁替換的資料係移至該分配區塊。因此，甚至在藉由寫入分配一次之後已針對一長時間期間未係釋放之一替換來源區塊係藉由該平均抹寫程序予以釋放。因此，其中資料可能不係頻繁重寫之一替換來源區塊可以係重新用作一分配區塊。此外，將不係頻繁重寫的資料儲存於一分配區塊中。此使得可能減低之後的資料抹除次數，並減低該分配區塊之保持特性的退化。

此外，當一替換來源區塊與分配區塊之抹除計數之間的差異已超過臨限值時，實行該平均抹寫程序。此使得可能因為不頻繁實行平均抹寫而最佳化平均抹寫的次數，並使區塊之抹除計數彼此相等。因此，可防止整體NAND快閃記憶體10的使用壽命係藉由增加一些區塊之抹除計數所縮短。

在應用多層資料記錄系統的情況中，針對一記憶體單元之電晶體MT的臨限分佈需要精細控制。因此，有利的係防止保持特性的劣化。

[第二具體實施例]

該第二具體實施例揭示藉由該分配區塊選擇器32實行之分配區塊選擇程序的另一範例。即，選擇具有一舊抹除時間與一小抹除計數之一區塊作為一分配區塊。

圖19係顯示依據該第二具體實施例之一分配區塊選擇器

32之配置的方塊圖。圖20係顯示藉由該分配區塊選擇器32實行之分配區塊選擇程序的流程圖。應注意，一NAND控制器11之配置係與該第一具體實施例之配置相同，不同之處在於該分配區塊選擇器32。

該分配區塊選擇器32包含三個選擇器32A至32C與一用於儲存一分配區塊設定值的儲存單元32D。該分配區塊選擇器32接收來自一區塊控制器30的全部區塊資訊(步驟S90)。將此全部區塊資訊供應至該選擇器32A。該選擇器32A檢查所有區塊的狀態，並從所有該等區塊擷取可用區塊(步驟S91)。該選擇器32A接著將對應該等可用區塊的區塊資訊(可用區塊資訊)發送至該選擇器32B。

該選擇器32B從該可用區塊資訊擷取滿足藉由分配區塊設定值所設定之一條件的區塊資訊(步驟S92)。該分配區塊設定值係以下條件之一者：

- (A)從具有最舊抹除時間之一區塊開始的一預定數目之區塊
- (B)從具有最舊抹除時間之一區塊開始的一預定比率之區塊
- (C)具有比一預定時間舊之抹除時間的區塊

可選擇條件(A)至(C)之任意一者作為該分配區塊設定值。例如，當使用條件(A)作為該分配區塊設定值時，該選擇器32B從可用區塊按從具有最舊抹除時間之一區塊的順序來擷取一預定數目之區塊。該選擇器32B接著將對應於該等擷取的區塊之區塊資訊發送至該選擇器32C。

在條件(A)與(B)下，可用區塊係按抹除時間的順序來分類，並且從具有最舊抹除時間之一區塊來按順序搜尋一預

定數目/比率之區塊。因此，可增加在步驟S92中選擇的區塊之數目，並增加在步驟S93中選擇具有一小抹除計數之一區塊的機率。在條件(C)下，僅需要分類其抹除時間已超過一預定時間的可用區塊，故處理負載係最低。而且，在條件(A)與(B)下始終從具有最舊抹除時間之一區塊按順序擷取一預定數目/比率的區塊，而在條件(C)下擷取具有比一預定時間舊之抹除時間的區塊。因此，在條件(C)下，一抹除間隔始終係一預定間隔，故可相應減低用於比較抹除計數的候選者之數目。

隨後，該選擇器32C從藉由該選擇器32B擷取的區塊選擇一具有最小抹除計數的區塊作為一分配區塊(步驟S93)。將對應此分配區塊之一分配區塊號碼供應至區塊控制器30。而且，將對應該分配區塊的分配區塊資訊供應至一平均抹寫單元35。

在上面詳細說明之此具體實施例中，當選擇一分配區塊以用於在其中寫入外部供應的資料時，可從可用區塊選擇具有一舊抹除時間與一小抹除計數之一區塊作為分配區塊。此使得可能在具有一良好保持特性之一區塊中寫入外部資料，並延長一NAND快閃記憶體10的使用壽命。

[第三具體實施例]

該第三具體實施例揭示藉由該替換來源區塊選擇器33實行之替換來源區塊選擇程序的另一範例。即，選擇具有一舊抹除時間與一小抹除計數之一區塊作為一替換來源區塊。

圖 21 係顯示依據該第三具體實施例之一替換來源區塊選擇器 33 之配置的方塊圖。圖 22 係顯示藉由該替換來源區塊選擇器 33 實行之替換來源區塊選擇程序的流程圖。

該替換來源區塊選擇器 33 包含三個選擇器 33A 至 33C 與一用於儲存一替換來源區塊設定值的儲存單元 33D。該替換來源區塊選擇器 33 接收來自一區塊控制器 30 的全部區塊資訊 (步驟 S100)。將此全部區塊資訊供應至該選擇器 33A。該選擇器 33A 檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊 (步驟 S101)。接著，該選擇器 33A 將對應於該等使用中區塊的區塊資訊 (使用中區塊資訊) 發送至該選擇器 33B。

該選擇器 33B 從該使用中區塊資訊擷取滿足藉由該替換來源區塊設定值所設定之一條件的區塊資訊 (步驟 S102)。該替換來源區塊設定值係以下條件之一者：

- (A) 從具有最舊抹除時間之一區塊開始的一預定數目之區塊
- (B) 從具有最舊抹除時間之一區塊開始的一預定比率之區塊
- (C) 具有比一預定時間舊之抹除時間的區塊

可選擇條件 (A) 至 (C) 之任意一者作為該替換來源區塊設定值。例如，當使用條件 (A) 作為該替換來源區塊設定值時，該選擇器 33B 從使用中區塊從具有最舊抹除時間之一區塊按順序來擷取一預定數目之區塊。該選擇器 33B 接著將對應於該等擷取的區塊之區塊資訊發送至該選擇器 33C。

在條件 (A) 與 (B) 下，使用中區塊係按抹除時間的順序來

分類，並且從具有最舊抹除時間之一區塊來按順序搜尋一預定數目/比率之區塊。因此，可增加在步驟S102中選擇的區塊之數目，並增加在步驟S103中選擇具有一小抹除計數之一區塊的機率。在條件(C)下，僅需要分類其抹除時間已超過一預定時間的使用中區塊，故該處理負載係最低。而且，在條件(A)與(B)下始終從具有最舊抹除時間之一區塊按順序擷取一預定數目/比率的區塊，而在條件(C)下擷取具有比一預定時間舊之抹除時間的區塊。因此，在條件(C)下，一抹除間隔可始終係一預定間隔，故可相應減低用於比較抹除計數的候選者之數目。

隨後，該選擇器33C從藉由該選擇器33B擷取的區塊選擇一具有最小抹除計數的區塊作為一替換來源區塊(步驟S103)。將對應於此替換來源區塊之替換來源區塊資訊供應至一平均抹寫單元35。

在上面詳細說明之此具體實施例中，當選擇一替換來源區塊以用於平均抹寫中時，可從使用中區塊選擇具有一舊抹除時間與一小抹除計數之一區塊作為替換來源區塊。此使得可能選擇儲存不係頻繁重寫之資料並具有一良好保持特性之一區塊作為一替換來源區塊，並延長該NAND快閃記憶體10的使用壽命。

[第四具體實施例]

該第四具體實施例揭示該短期重寫偵測程序之另一範例。在該第四具體實施例中，使用二進制搜尋來實行該短期重寫偵測程序。

圖 23 係顯示依據該第四具體實施例之一短期重寫偵測器 34 之配置的方塊圖。該短期重寫偵測器 34 包含一選擇器 34A、一配置單元 34B、一搜尋列表 34C、一決定單元 34D、一用於儲存一集中因數臨限值的儲存單元 34E 及一資訊輸出單元 34F。

該決定單元 34D 藉由使用二進制搜尋來從該搜尋列表 34C 選擇一搜尋物件區塊。該決定單元 34D 接著針對此搜尋物件區塊來計算欲係用於短期重寫偵測中之一集中因數，並決定此集中因數是否已超過該集中因數臨限值。基於決定結果，將區塊從該搜尋列表 34C 排除並縮小範圍至一個搜尋物件區塊。藉由使用最後的搜尋物件區塊，搜尋該抹除時間突然改變之一邊界。

儲存於該儲存單元 34E 中的集中因數臨限值係用以指定其中資料係頻繁重寫的區塊之範圍，並基於指示欲延長一 NAND 快閃記憶體 10 之使用壽命(或資料保持期間)的程度之一準則予以設定。當該集中因數臨限值減小時，短期重寫偵測的機率增加，而當該臨限值增加時，機率減小。

圖 24 與 25 係顯示藉由該短期重寫偵測器 34 實行之短期重寫偵測程序的流程圖。

首先，該短期重寫偵測器 34 接收來自一區塊控制器 30 的全部區塊資訊(步驟 S110)。將此全部區塊資訊供應至該選擇器 34A。該選擇器 34A 檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊(步驟 S111)。接著，該選擇器 34A 將對應於該等使用中區塊的區塊資訊(使用中區塊資

訊)發送至該配置單元34B。

該配置單元34B檢查包含於該使用中區塊資訊中的抹除時間，並按抹除時間的順序來分類該等使用中區塊(步驟S112)。將藉由該配置單元34B分類的區塊資訊置放於該搜尋列表34C中，並從具有最新抹除時間之一區塊按順序將列表號提供給區塊。

隨後，在該搜尋列表34C中該決定單元34D將具有最新抹除時間之一區塊設定為"開始"並將具有最舊抹除時間之一區塊設定為"結束"(步驟S113)。該決定單元34D接著選擇具有一列表號" $(\text{開始} + \text{結束})/2$ "之一區塊作為一搜尋物件區塊(步驟S114)。

之後，該決定單元34D針對該搜尋物件區塊來計算一集中因數(步驟S115)。此集中因數係藉由以下來給出：集中因數 = 當前時間 - 列表號 - 抹除時間。應注意，用於該集中因數中的當前時間係(例如)從一抹除時間測量單元31供應至該短期重寫偵測器34。作為當前時間，可使用(例如)該抹除計數計數器31A之計數。

接著，該決定單元34D決定該計算的集中因數是否已超過該集中因數臨限值(步驟S116)。若該集中因數已超過該集中因數臨限值，則該決定單元34D將該搜尋物件區塊設定為"結束"(步驟S117)。隨後，該決定單元34D從該搜尋列表34C排除具有比"結束"的抹除時間舊之抹除時間的區塊(步驟S117)。

另一方面，若在步驟S116中決定該集中因數尚未超過該

集中因數臨限值，則該決定單元34D將一具有繼該搜尋物件區塊之後為最舊之一抹除時間的區塊設定為"開始"(步驟S119)。之後，該決定單元34D從該搜尋列表34C排除具有比"開始"的抹除時間新之抹除時間的區塊(步驟S120)。

在預定區塊在步驟S118或S120中係從搜尋列表34C排除之後，該決定單元34D決定在該搜尋列表34C中是否剩餘兩個或兩個以上區塊(步驟S121)。若在該搜尋列表34C中剩餘兩個或兩個以上區塊，該決定單元34D返回至步驟S114並再次選擇一搜尋物件區塊。

若在步驟S121中決定在該搜尋列表34C中未剩餘兩個或兩個以上區塊，則該決定單元34D選擇在該搜尋列表34C中剩餘的最後區塊作為一搜尋物件區塊。接著，該決定單元34D針對此搜尋物件區塊來計算一集中因數(=當前時間-列表號-抹除時間)(步驟S122)。

隨後，該決定單元34D決定該計算的集中因數是否已超過該集中因數臨限值(步驟S123)。若該集中因數已超過該集中因數臨限值，則該決定單元34D將一搜尋物件區塊號碼發送至該資訊輸出單元34F。藉由使用此搜尋物件區塊號碼，該資訊輸出單元34F計算具有比該搜尋物件區塊之抹除時間新的抹除時間之區塊在所有該等區塊之中的範圍(步驟S124)。該資訊輸出單元34F將以上範圍作為短期重寫資訊發送至該區塊控制器30。在接收此短期重寫資訊之後，該區塊控制器30旋即設定對應於包含於該短期重寫資訊中的區塊之短期重寫旗標，並清除針對其他區塊之短期

重寫旗標。

若在步驟S123中決定該集中因數尚未超過該集中因數臨限值，則該決定單元34D決定無已經歷短期重寫之區塊可以係偵測，並終止該短期重寫偵測程序。

圖26係用於說明藉由該短期重寫偵測器34實行之短期重寫偵測程序之一實際範例的視圖。假定該NAND快閃記憶體10包括12個區塊(區塊#0至#11)，區塊#0至#7係包含於該搜尋列表34C中的使用中區塊，而區塊#8至#11係可用區塊。區塊#0至#7係從一具有最新抹除時間的區塊來按抹除時間的順序分類。此等區塊之抹除時間係如圖26所示。包含於該搜尋列表34C中的區塊#0至#7係從具有最新抹除時間之區塊按順序提供列表號。

首先，在該搜尋列表34C中，將具有最新抹除時間之區塊#0設定為"開始"，並將具有最舊抹除時間之區塊#7設定為"結束"。隨後，選擇具有一列表號" $(\text{開始} + \text{結束})/2$ "之區塊#3作為一搜尋物件區塊，針對搜尋物件區塊#3來計算一集中因數($=\text{當前時間} - \text{列表號} - \text{抹除時間}$)，並檢查此集中因數是否已超過該集中因數臨限值。假定當前時間係"106"並且該集中因數臨限值係"90"。搜尋物件區塊#3之集中因數係"97"，並且此值已超過該臨限值。因此，將搜尋物件區塊#3設定為"結束"，並從該搜尋列表34C排除具有比區塊#3之抹除時間舊之抹除時間的區塊#4至#7。

接著，選擇具有一列表號" $(\text{開始} + \text{結束})/2$ "之區塊#1作為一搜尋物件區塊，並且針對搜尋物件區塊#1來計算一集中

因數。搜尋物件區塊#1之集中因數係"0"，並且此值尚未超過該臨限值。因此，將具有繼搜尋物件區塊#1之後為最舊之一抹除時間的區塊#2設定為"開始"，並從該搜尋列表34C排除具有比區塊#2之抹除時間新之抹除時間的區塊#0與#1。

之後，選擇具有一列表號" $(\text{開始} + \text{結束})/2$ "之區塊#2作為一搜尋物件區塊，並且針對搜尋物件區塊#2來計算一集中因數。搜尋物件區塊#2之集中因數係"97"，並且此值已超過該臨限值。因此，將搜尋物件區塊#2設定為"結束"，並從該搜尋列表34C排除具有比區塊#2之抹除時間舊之一抹除時間的區塊#3。

隨後，選擇在該搜尋列表34C中最後剩餘的區塊#2作為一搜尋物件區塊，並針對搜尋物件區塊#2來計算一集中因數。搜尋物件區塊#2之此集中因數已超過臨限值。因此，該決定單元34D將搜尋物件區塊#2的號碼發送至該資訊輸出單元34F。

在包括可用區塊的所有該等區塊中，該資訊輸出單元34F在具有比該搜尋物件區塊#2之抹除時間新之抹除時間的區塊#0、#1及#8至#11上實行計算。該資訊輸出單元34F將區塊#0、#1及#8至#11作為短期重寫資訊發送至該區塊控制器30。該區塊控制器30設定對應於區塊#0、#1及#8至#11的短期重寫旗標，並清除對應於其他區塊的短期重寫旗標。因而，一區塊表30B中的資訊係更新。

在上面詳細說明之此具體實施例中，該短期重寫偵測器

34可指定其中頻繁重寫資料之一區塊。此外，藉由在短期重寫偵測程序中檢查臨限值" $\log_2 N$ "次來完成搜尋。此使得可能增加短期重寫偵測的效率。

[第五具體實施例]

在該第五具體實施例中，一NAND控制器11包括一錯誤檢查與校正(ECC)電路，並且此ECC電路偵測與校正資料讀取中之一錯誤。一般而言，錯誤的數目隨自資料寫入消逝的時間而增加。因此，具有許多錯誤之一區塊可能係具有一舊抹除時間之一區塊。因此，在此具體實施例中，藉由該ECC電路偵測的錯誤數目係用作替換來源區塊選擇之一指標。

圖27係顯示依據該第五具體實施例的NAND控制器11的配置之一範例的方塊圖。該NAND控制器11包含一ECC電路36。當從一NAND快閃記憶體10讀取資料時，該ECC電路36偵測並校正一錯誤。此外，該ECC電路36針對各區塊將偵測的錯誤之數目發送至一區塊控制器30。

圖28係顯示該區塊控制器30之配置的方塊圖。包括於該區塊控制器30中之一區塊表30B針對各區塊號碼來儲存錯誤數目。每當從該NAND快閃記憶體10讀取資料時(每當該ECC電路36校正一錯誤時)便包括於該區塊表30B中的錯誤數目係更新。

接下來，將說明該NAND控制器11之讀取操作。圖29係顯示藉由該NAND控制器11實行之讀取操作的流程圖。

首先，該NAND控制器11在接收來自一CPU 2之一讀取

請求之後旋即開始該讀取操作(步驟S130)。接著，該區塊控制器30藉由使用一位址表30A來搜尋對應於包含該讀取請求之位址之一位址區域的區塊號碼(步驟S131)。

隨後，該區塊控制器30從該讀取請求之區塊讀取資料(步驟S132)。即，該區塊控制器30發佈一讀取請求至一NAND介面電路25。基於此讀取請求，該NAND介面電路25指示該NAND快閃記憶體10從該讀取請求之區塊讀取資料。

之後，該ECC電路36在從該NAND快閃記憶體10讀取資料上實行錯誤偵測與校正(步驟S133)。將已經歷錯誤校正的讀取資料經由一資料匯流排6供應至該CPU 2及類似者。在此錯誤校正中，該ECC電路36計算錯誤之數目，並將錯誤之數目發送至該區塊控制器30。該區塊控制器30接收來自該ECC電路36的錯誤之數目，並在該區塊表30B中記錄錯誤之數目。以此方式，包含於該區塊表30B中的錯誤之數目係更新。

下面將說明藉由一替換來源區塊選擇器33實行之替換來源區塊選擇程序。圖30係顯示藉由該替換來源區塊選擇器33實行之替換來源區塊選擇程序的流程圖。應注意，該替換來源區塊選擇器33之配置係與圖21所示之配置相同。

該替換來源區塊選擇器33接收來自該區塊控制器30的全部區塊資訊(步驟S140)。將此全部區塊資訊供應至一選擇器33A。該選擇器33A檢查所有區塊的狀態，並從所有該等區塊擷取使用中區塊(步驟S141)。接著，該選擇器33A

將對應於該等使用中區塊的區塊資訊(使用中區塊資訊)發送至一選擇器33B。

該選擇器33B從該使用中區塊資訊擷取滿足藉由一替換來源區塊設定值所設定之一條件的區塊資訊(步驟S142)。在此步驟中，將"一具有大於一預定值之錯誤數目的區塊"設定為該替換來源區塊設定值。

隨後，一選擇器33C從藉由該選擇器33B擷取的區塊選擇一具有最小抹除計數的區塊作為一替換來源區塊(步驟S143)。將對應於此替換來源區塊之替換來源區塊資訊供應至一平均抹寫單元35。

在如上面詳細說明之此具體實施例中，可使用在藉由資料寫入分配一次之後已針對一長時間期間未係釋放之一區塊來替換在一記憶系統1之寫入程序期間在一短期間內已共同發生重寫之一區塊。此使得可能抑制藉由一短抹除時間間隔引起之一區塊之耗盡，並平均整體NAND快閃記憶體10中的區塊之耗盡。

此外，選擇具有藉由ECC電路計算的大量錯誤之一區塊來作為一替換來源區塊。因此，因為具有大量錯誤之一區塊的資料係重寫，故與該平均抹寫程序同時實行一再新程序(其中儲存於該NAND快閃記憶體10中的資料係讀取，經歷錯誤校正，並係寫回該NAND快閃記憶體10中)。因此，可減低該再新程序的次數。此使得可能獲得減低得自再新之資料寫入量的效應。

[具體實施例]

說明藉由將以上具體實施例之每一者的記憶系統1組態為一固態驅動器(SSD)所獲得之一具體實施例。圖31係顯示一SSD 100之組態的方塊圖。

該SSD 100包括：複數個NAND快閃記憶體(NAND記憶體)10，其用於資料儲存；一DRAM 101，其用於資料傳送或用於一工作區域；一驅動控制電路102，其控制以上單元；以及一電源電路103。該驅動控制電路102輸出一控制信號以控制在該SSD 100外部提供之一狀態顯示LED(light emitting diode；發光二極體)。

該SSD 100針對諸如一個人電腦之一主機裝置經由一ATA介面(ATA I/F)來傳送資料。此外，該SSD 100針對一除錯裝置經由一RS232C介面(RS232C I/F)來傳送資料。

該電源電路103係以外部電源電壓來供應並藉由使用該外部電源電壓來產生複數個內部電源電壓。該內部電源電壓係供應至該SSD 100之個別單元。此外，該電源電路103偵測該外部電源電壓之一上升或下降並產生一通電重設信號或斷電重設信號。該通電重設信號與斷電重設信號係供應至該驅動控制電路102。

圖32係顯示該驅動控制電路102之組態的方塊圖。該驅動控制電路102包括一資料存取匯流排104、第一電路控制匯流排105及第二電路控制匯流排106。

控制該驅動控制電路102之整體部分之一處理器107係連接至該第一電路控制匯流排105。此外，其中儲存管理程式(FW：韌體)之開機程式的開機ROM 108係經由一ROM控

制器 109 來連接至該第一電路控制匯流排 105。而且，接收來自該電源電路 103 之一通電/斷電重設信號並將一重設信號與時脈信號供應至個別單元之一時脈控制器 110 係連接至該第一電路控制匯流排 105。

該第二電路控制匯流排 106 係連接至該第一電路控制匯流排 105。將一狀態顯示信號供應至狀態顯示 LED 之一並聯 IO(PIO)電路 111 與控制該 RS232C 介面之一串聯 IO(SIO)電路 112 係連接至該第二電路控制匯流排 106。

一 ATA 介面控制器 (ATA 控制器) 113、第一錯誤檢查與校正 (ECC) 電路 114、NAND 控制器 115 及 DRAM 控制器 119 係連接至該資料存取匯流排 104 與第一電路控制匯流排 105 兩者。該 ATA 控制器 113 針對該主機裝置經由該 ATA 介面來傳送資料。用作一資料工作區域之一 SRAM(static RAM; 靜態 RAM) 120 係經由一 SRAM 控制器 121 來連接至該資料存取匯流排 104。

該 NAND 控制器 115 包括：一 NAND I/F 118，其針對該四個 NAND 記憶體 10 來實行一介面程序；一第二 ECC 電路 117；以及一 DMA(direct memory access; 直接記憶體存取)傳送控制 DMA 控制器 116，其在該 NAND 記憶體與 DRAM 之間實行存取控制。

圖 33 係顯示該處理器 107 之組態的方塊圖。該處理器 107 包括一資料管理單元 122、ATA 命令處理單元 123、安全管理單元 124、開機載入器 125、初始化管理單元 126 及除錯支援單元 127。

該資料管理單元122控制相關聯於一NAND晶片的各種功能與經由該NAND控制器115與第一ECC電路114的NAND記憶體與DRAM之間的資料傳送。

該ATA命令處理單元123配合該資料管理單元122經由該ATA控制器113與DRAM控制器119來實行一資料傳送程序。該安全管理單元124配合該資料管理單元122與ATA命令處理單元123來管理各種安全資訊項目。該開機載入器125於通電時間將各種管理程式(FW)從該NAND記憶體10載入至該SRAM 120中。

該初始化管理單元126初始化該驅動控制電路102中的各種控制器/電路。該除錯支援單元127處理從外部經由該RS232C介面供應的除錯資料。

圖34係顯示其上固裝該SSD 100之一可攜式電腦200之一範例的透視圖。該可攜式電腦200具有一主體201與顯示單元202。該顯示單元202包括一顯示外罩203與一容納於該顯示外罩203中的顯示裝置204。

該主體201包括一外殼205、一鍵盤206及一用作一指向裝置的觸控墊207。在該外殼205中，容納一主電路板、光碟裝置(ODD)單元、卡槽、SSD 100及類似者。

該卡槽係與該外殼205之周邊壁相鄰提供。在該周邊壁中，形成面向該卡槽之一開口208。使用者可從該外殼205的外部經由該開口來將一額外裝置可卸除地插入至該卡槽中。

可將該SSD 100固裝於該可攜式電腦200之內部部分上並

替代傳統HDD予以使用或插入至該可攜式電腦200之卡槽中並用作一額外裝置。

圖35顯示使用一SSD 100之一可攜式電腦200之一系統組態的範例。該可攜式電腦200包含：一CPU 301、一北橋302、一主記憶體303、一視訊控制器304、一音訊控制器305、一南橋306、一BIOS-ROM 307、一SSD 100、一ODD單元308、一嵌入式控制器/鍵盤控制器IC(EC/KBC)309、一網路控制器310等。

該CPU 301係一用於控制該可攜式電腦200之操作的處理器並執行從該SSD 100載入該主記憶體303中的作業系統(OS)。當該ODD單元308致能欲針對該載入的光碟執行之讀取處理與寫入處理之至少一者時，CPU 301執行該處理。

該CPU 301還執行儲存於該BIOS-ROM 307中的系統BIOS(基本輸入輸出系統)。該系統BIOS係用於控制該可攜式電腦200之硬體組件之一程式。

該北橋302係用於連接CPU 301之區域匯流排與該南橋306之一橋接裝置。該北橋302併入一用於控制對該主記憶體303之存取的記憶體控制器。

該北橋302具有經由一AGP匯流排(加速圖形埠匯流排)執行與該視訊控制器304與該音訊控制器305之通信的功能。

該主記憶體303暫時儲存程式與資料並用作CPU 301之一工作區域。例如，該主記憶體303係由一DRAM製成。

該視訊控制器304係用於控制一顯示單元(LCD(liquid

crystal display；液晶顯示器))202之一視訊再生控制器。
該顯示單元202係用作該可攜式電腦200之一顯示監視器。

該音訊控制器305係用於控制該可攜式電腦200之揚聲器311之一音訊再生控制器。

該南橋306控制一LPC(低接針計數)匯流排上之裝置與一PCI(周邊組件互連)匯流排上之裝置。該南橋306還透過一ATA介面來控制該SSD 100。該SSD 100係用於儲存各種軟體與資料之一儲存單元。

該可攜式電腦200以磁區為單位來存取該SSD 100。一寫入命令、一讀取命令、一快閃命令等係透過該ATA介面來供應至該SSD 100。

該南橋306具有控制對該BIOS-ROM 307與該ODD單元308之存取的功能。該EC/KBC 309係一晶片微電腦，其中嵌入一用於實行電源管理之嵌入式控制器及一用於控制一鍵盤(KB)206與一觸控墊207之鍵盤控制器。

該EC/KBC 309具有依據一電源按鈕312之使用者操作來開啟或關閉該可攜式電腦200的功能。該網路控制器310係實行與一外部網路(例如網際網路)之通信的通信單元。

以上具體實施例之記憶系統1並不限於該SSD並可以係組態為藉由一SD(商標)卡表示之一記憶卡。當該記憶系統1係組態為一記憶卡時，其不僅可應用於該可攜式電腦還可應用於其他各種電子裝置，例如一可攜式電話、PDS、數位靜態相機及數位視訊相機。

熟習此項技術者可容易地發現額外的優點及修改。因

此，本發明的更廣泛態樣並不限於本文所顯示與說明的特定細節及代表具體實施例。因此，可進行各種修改而不脫離如藉由隨附申請專利範圍及其等效物所定義的一般發明概念之精神或範疇。

【圖式簡單說明】

圖1係顯示包括依據本發明之第一具體實施例之一記憶系統1的一電腦系統之一範例的示意圖；

圖2係顯示依據該第一具體實施例的記憶系統1之組態的示意圖；

圖3A係顯示包括於一NAND快閃記憶體10中之一區塊之配置的電路圖；

圖3B係顯示在一四層資料記錄系統中獲得的一臨限分佈之一範例的視圖；

圖4係顯示一NAND控制器11之配置之一範例的方塊圖；

圖5係顯示一區塊控制器30與抹除時間測量單元31之配置的方塊圖；

圖6係顯示藉由該NAND控制器11實行的一寫入操作之序列的流程圖；

圖7係顯示藉由該NAND控制器11實行之一區塊釋放程序的流程圖；

圖8係顯示一分配區塊選擇器32之配置的方塊圖；

圖9係顯示藉由該分配區塊選擇器32實行之一分配區塊選擇程序的流程圖；

圖10係顯示藉由該NAND控制器11實行之一區塊分配程

序的流程圖；

圖 11 係顯示藉由該 NAND 控制器 11 實行之區塊抹除程序的流程圖；

圖 12 係顯示一短期重寫偵測器 34 之配置的方塊圖；

圖 13 係顯示藉由該短期重寫偵測器 34 實行之短期重寫偵測程序的流程圖；

圖 14 係用於說明該短期重寫偵測程序之一實際範例的視圖；

圖 15 係顯示一平均抹寫單元 35 之配置的方塊圖；

圖 16 係顯示藉由該 NAND 控制器 11 實行之平均抹寫程序的流程圖；

圖 17 係顯示一替換來源區塊選擇器 33 之配置的方塊圖；

圖 18 係顯示藉由該替換來源區塊選擇器 33 實行之替換來源區塊選擇程序的流程圖；

圖 19 係顯示依據本發明之第二具體實施例之一分配區塊選擇器 32 之配置的方塊圖；

圖 20 係顯示藉由依據該第二具體實施例的分配區塊選擇器 32 實行之分配區塊選擇程序的流程圖；

圖 21 係顯示依據本發明之第三具體實施例之一替換來源區塊選擇器 33 之配置的方塊圖；

圖 22 係顯示藉由依據該第三具體實施例的替換來源區塊選擇器 33 實行之替換來源區塊選擇程序的流程圖；

圖 23 係顯示依據本發明之第四具體實施例之一短期重寫偵測器 34 之配置的方塊圖；

圖 24 係顯示藉由該短期重寫偵測器 34 實行之短期重寫偵測程序的流程圖；

圖 25 係顯示在圖 24 之後之短期重寫偵測程序的流程圖；

圖 26 係用於說明該短期重寫偵測程序之一實際範例的視圖；

圖 27 係顯示依據本發明之第五具體實施例之一 NAND 控制器 11 的配置之一範例的方塊圖；

圖 28 係顯示一區塊控制器 30 之配置的方塊圖；

圖 29 係顯示藉由該 NAND 控制器 11 實行之讀取操作的流程圖；

圖 30 係顯示藉由一替換來源區塊選擇器 33 實行之替換來源區塊選擇程序的流程圖；

圖 31 係顯示依據一具體實施例之一 SSD 100 之組態的方塊圖；

圖 32 係顯示一驅動控制電路 102 之組態的方塊圖；

圖 33 係顯示一處理器 107 之組態的方塊圖；

圖 34 係顯示其上固裝一 SSD 100 之一可攜式電腦 200 之一範例的透視圖；以及

圖 35 係顯示使用一 SSD 100 之一可攜式電腦 200 之一系統組態之一範例的方塊圖。

【主要元件符號說明】

- | | |
|---|--------------|
| 1 | 記憶系統 |
| 2 | 中央處理單元 (CPU) |

3	主記憶體
4	記憶體控制器
5	位址匯流排
6	資料匯流排
10	NAND快閃記憶體
11	NAND控制器
21	主機介面電路(主機I/F)
22	微處理單元(MPU)
23	唯讀記憶體(ROM)
24	隨機存取記憶體(RAM)
25	NAND介面電路(NAND I/F)
30	區塊控制器
30A	位址表
30B	區塊表
30C	算術單元
31	抹除時間測量單元
31A	抹除計數計數器
31B	算術單元
32	分配區塊選擇器
32A	選擇器
32B	選擇器
32C	選擇器
32D	儲存單元
33	替換來源區塊選擇器

33A	選擇器
33B	選擇器
33C	選擇器
33D	儲存單元
34	短期重寫偵測器
34A	選擇器
34B	配置單元
34C	搜尋列表
34D	決定單元
34E	儲存單元
34F	資訊輸出單元
35	平均抹寫單元
35A	平均抹寫決定單元
35B	儲存單元
36	ECC電路
100	SSD
101	DRAM
102	驅動控制電路
103	電源電路
104	資料存取匯流排
105	第一電路控制匯流排
106	第二電路控制匯流排
107	處理器
108	開機ROM

109	ROM控制 器
110	時脈控制 器
111	並聯IO(PIO)電路
112	串聯IO(SIO)電路
113	ATA介面控制 器(ATA控制 器)
114	第一錯誤檢查與校正(ECC)電路
115	NAND控制 器
116	DMA傳送控制DMA控制 器
117	第二ECC電路
118	NAND I/F
119	DRAM控制 器
120	SRAM
121	SRAM控制 器
122	資料管理單元
123	ATA命令處理單元
124	安全管理單元
125	開機載入器
126	初始化管理單元
127	除錯支援單元
200	可攜式電腦
201	主體
202	顯示單元
203	顯示外罩
204	顯示裝置

205	外殼
206	鍵盤
207	觸控墊
208	開口
301	CPU
302	北橋
303	主記憶體
304	視訊控制器
305	音訊控制器
306	南橋
307	BIOS-ROM
308	ODD單元
309	EC/KBC
310	網路控制器
311	揚聲器
312	電源按鈕
BL0至BLm	位元線
MT	記憶體單元電晶體
SGD	共同選擇閘極線
SGS	共同選擇閘極線
SL	共同源極線
ST1	選擇電晶體
ST2	選擇電晶體
WL0至BLn	字線

十、申請專利範圍：

1. 一種記憶系統，其包含：

一非揮發性記憶體，其包括作為資料抹除單元的複數個區塊；

一測量單元，其測量一抹除各區塊中之資料的抹除時間；

一區塊控制器，其具有一區塊表，該區塊表將指示一可用狀態與一使用狀態中之一者的一狀態值與各區塊之該抹除時間相關聯；

一偵測器，其偵測在一短期間內已共同發生重寫的區塊；

一第一選擇器，其基於該區塊表中之資訊來選擇具有一舊抹除時間之一可用區塊作為一第一區塊；

一第二選擇器，其基於該區塊表中之該資訊來選擇具有一舊抹除時間之一使用中區塊作為一第二區塊；以及

一平均抹寫單元，若藉由該偵測器偵測的該等區塊中包括該第一區塊，則該平均抹寫單元將該第二區塊中的資料移至該第一區塊。

2. 如請求項1之系統，其中若該第二區塊中之該等資料已被移至該第一區塊，則該第一選擇器重新選擇一區塊。

3. 如請求項1之系統，其中該區塊控制器計數各區塊之抹除之次數，並將抹除計數儲存於該區塊表中。

4. 如請求項3之系統，其中若在藉由該偵測器偵測的該等區塊中包括該第一區塊，或若該第一區塊與該第二區塊

之抹除計數之間之一差異已超過一臨限值，則該平均抹寫單元將該第二區塊中之該等資料移至該第一區塊。

5. 如請求項1之系統，其中該偵側器偵測多個區塊的抹除時間之間之一差異為大的一邊界，並將一具有比該邊界為較新的之一抹除時間的一區塊偵測為在其中已在一短期間內共同發生重寫的該等區塊。
6. 如請求項1之系統，其中該區塊表儲存一旗標，該旗標指示在一短期間內在一區塊中是否已共同發生重寫。
7. 如請求項1之系統，其中該偵側器計算使用中區塊中之一第三區塊之一抹除時間與一第四區塊之一抹除時間之間之一差異，該第四區塊之該抹除時間係繼該第三區塊之該抹除時間後為最新的，並且若該差異大於一預定間隔，則偵測所有區塊之中具有比該第四區塊之抹除時間較新的一抹除時間之區塊。
8. 如請求項7之系統，其中該偵側器包括：一配置單元，其按抹除時間的順序來配置使用中區塊之資訊；以及一決定單元，其基於該配置的資訊來計算該第三區塊之該抹除時間與該第四區塊之該抹除時間之間的該差異。
9. 如請求項1之系統，其中該第一選擇器選擇具有一最舊的抹除時間之一可用區塊作為該第一區塊。
10. 如請求項1之系統，其中該第一選擇器從具有一最舊的抹除時間之一區塊開始的一預定數目的可用區塊之中，選擇具有一最小的抹除計數之一區塊作為該第一區塊。
11. 如請求項1之系統，其中該第一選擇器從具有一最舊的

抹除時間之一區塊開始的一預定比率的可用區塊之中，
選擇具有一最小的抹除計數之一區塊作為該第一區塊。

12. 如請求項1之系統，其中該第一選擇器從具有比一預定時間為較舊的抹除時間之可用區塊之中，選擇具有一最小的抹除計數之一區塊作為該第一區塊。
13. 如請求項1之系統，其中該第二選擇器選擇具有一最舊的抹除時間之一使用中區塊作為該第二區塊。
14. 如請求項1之系統，其中該第二選擇器從具有一最舊的抹除時間之一區塊開始的一預定數目的使用中區塊之中，選擇具有一最小的抹除計數之一區塊作為該第二區塊。
15. 如請求項1之系統，其中該第二選擇器從具有一最舊的抹除時間之一區塊開始的一預定比率的使用中區塊之中，選擇具有一最小的抹除計數之一區塊作為該第二區塊。
16. 如請求項1之系統，其中該第二選擇器從具有比一預定時間較舊的抹除時間之使用中區塊之中，選擇具有一最小的抹除計數之一區塊作為該第二區塊。
17. 如請求項1之系統，其進一步包含一錯誤檢查與校正電路，其計算從該非揮發性記憶體讀取的資料之錯誤數目，且

其中該區塊表儲存各區塊之錯誤數目，且

該第二選擇器從具有大於一預定值之錯誤數目的使用中區塊之中，選擇具有一最小的抹除計數之一區塊作為

該第二區塊。

18. 如請求項1之系統，其中

該測量單元包括一計數器，其計數在所有區塊中執行之抹除的次數，且

該抹除時間對應於該計數器之一計數。

19. 如請求項1之系統，其中

該測量單元測量抹除各區塊中之資料之一時間，且

該抹除時間對應於該時間。

20. 如請求項1之系統，其中

當各區塊中之資料被抹除時，該測量單元測量該記憶系統之一電源供應時間，且

該抹除時間對應於該電源供應時間。

十一、圖式：

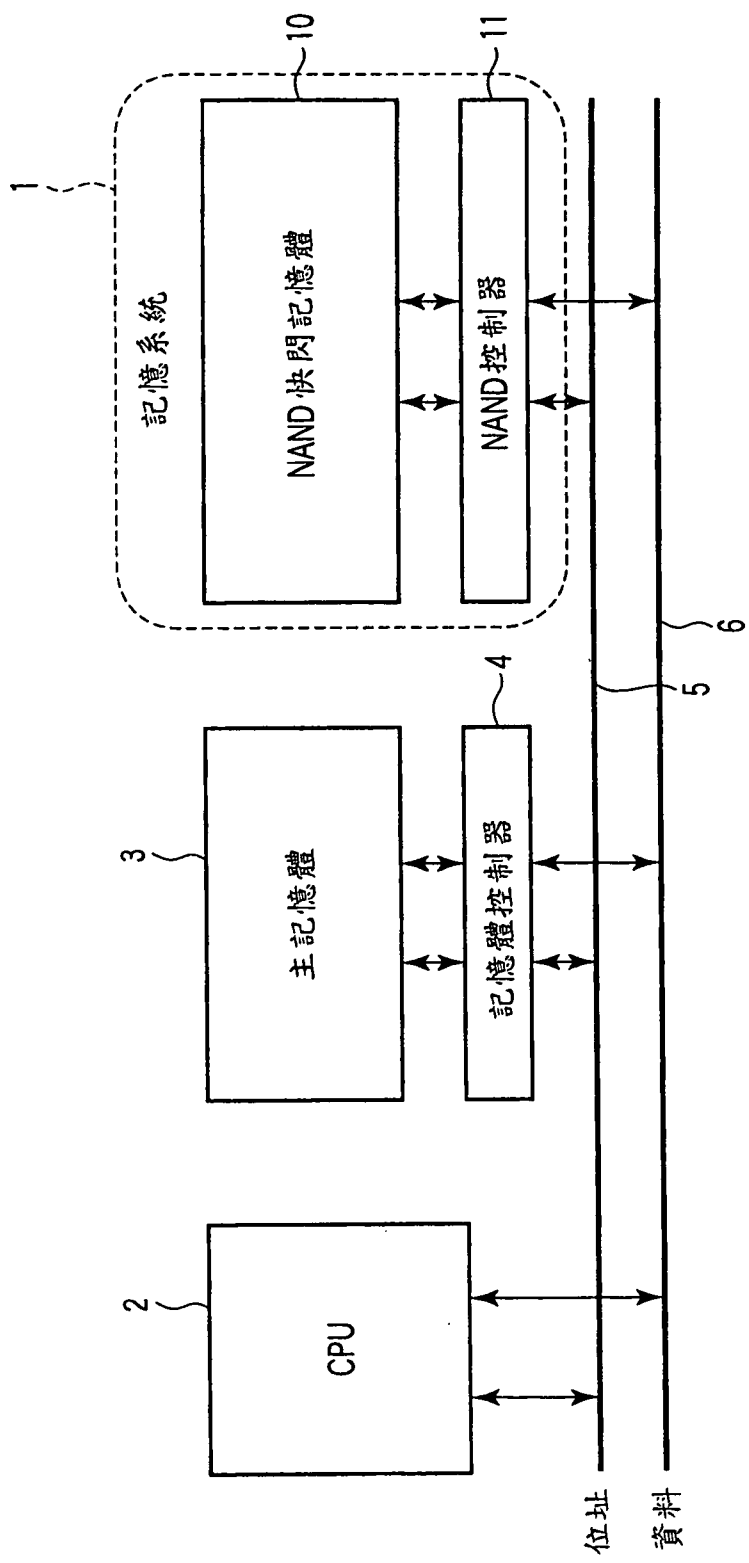


圖1

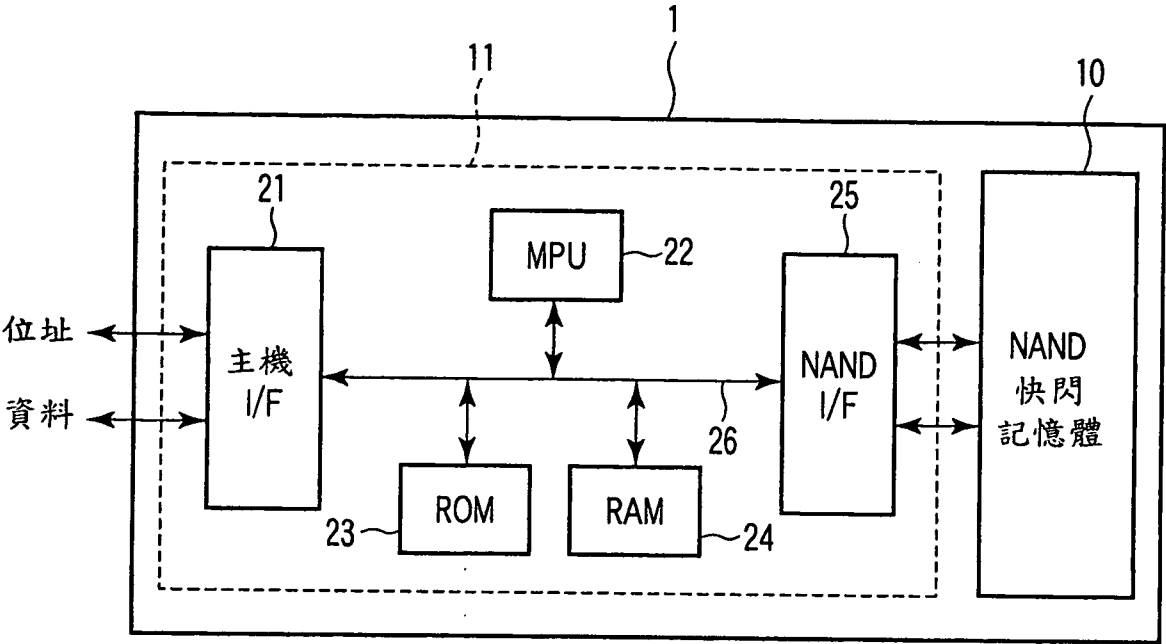


圖 2

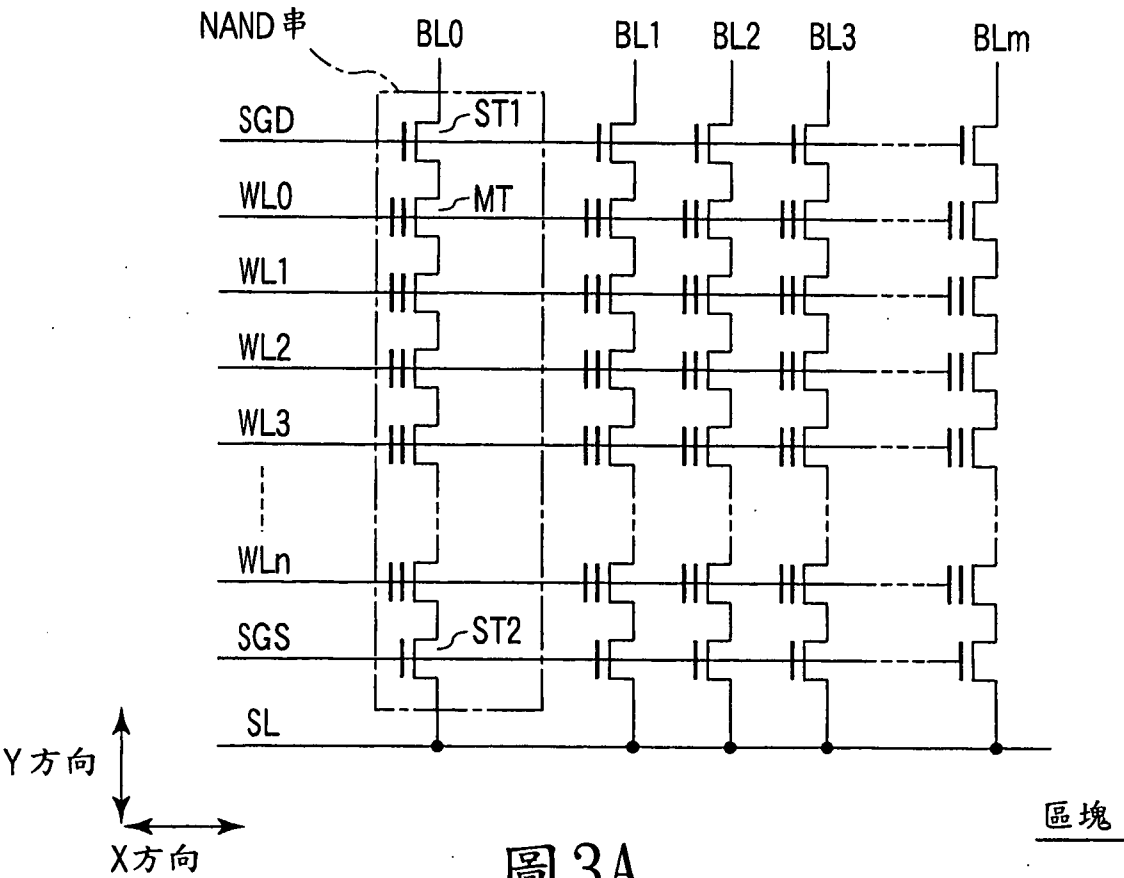


圖 3A

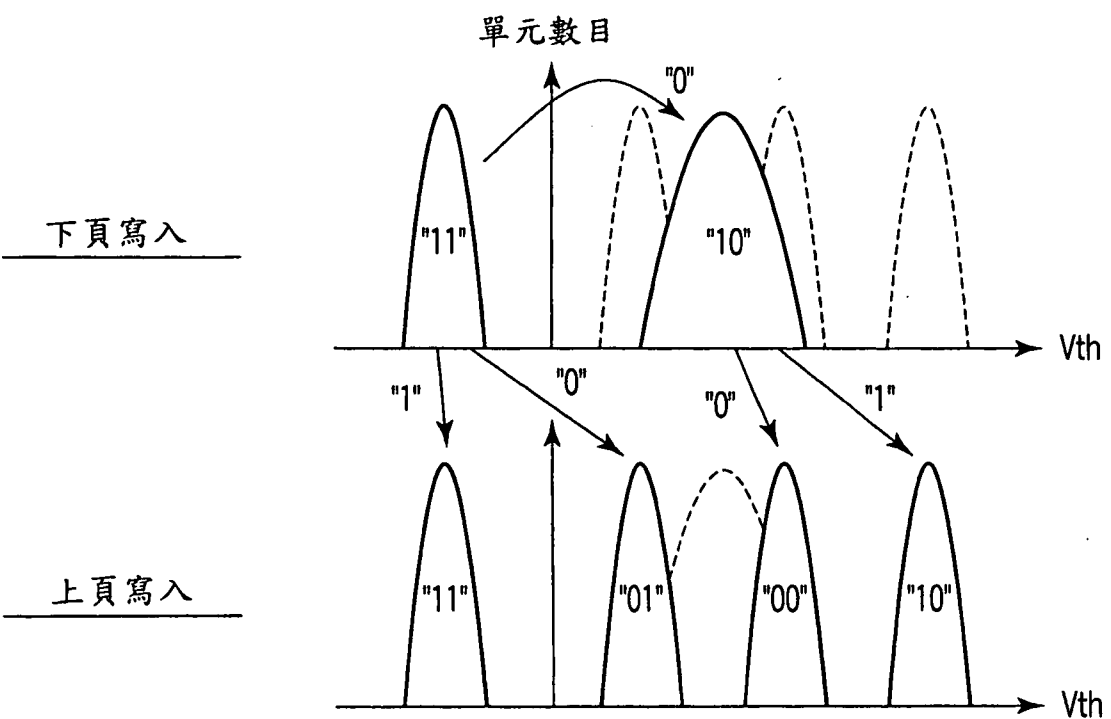


圖 3B

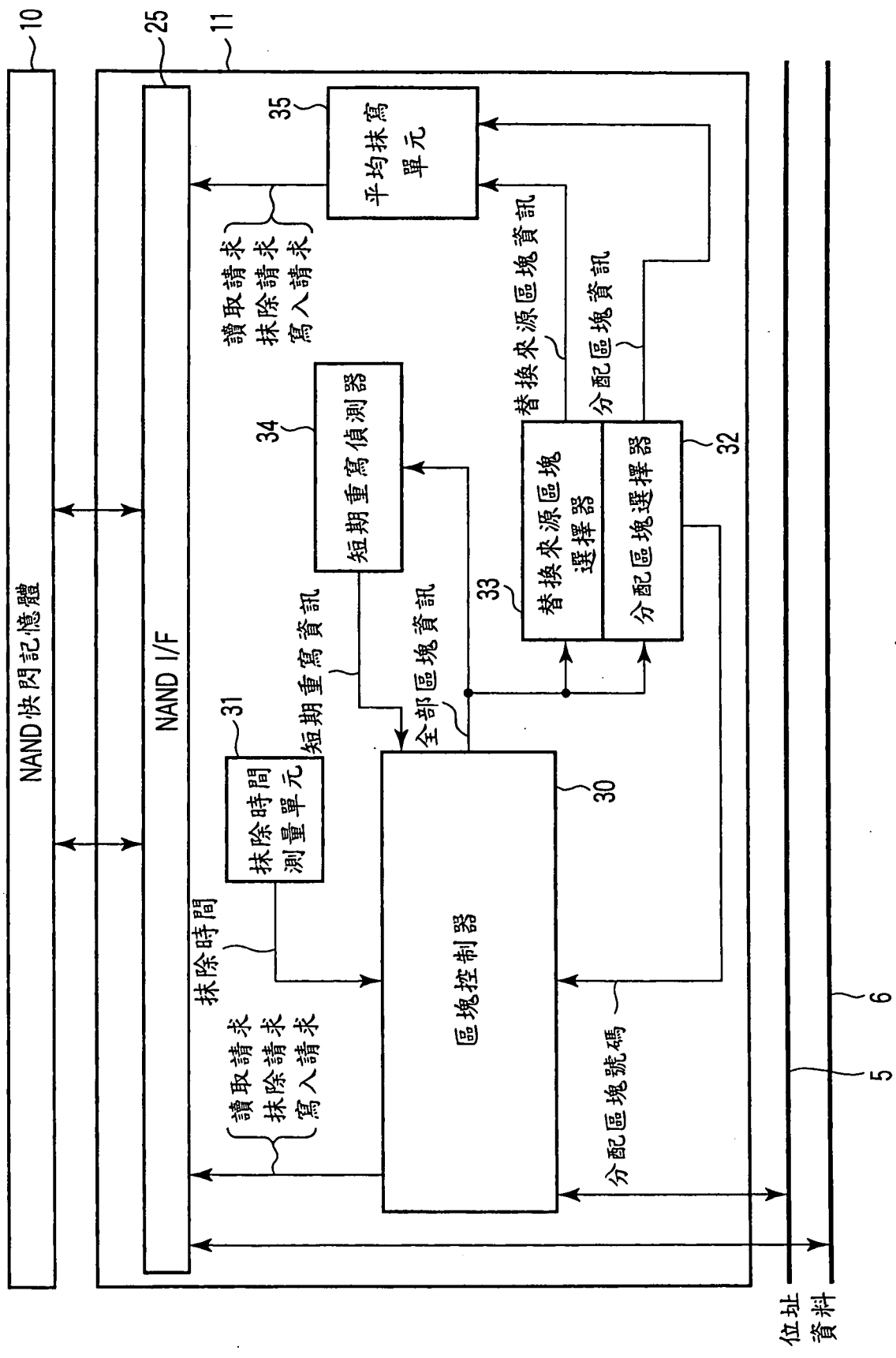


圖4

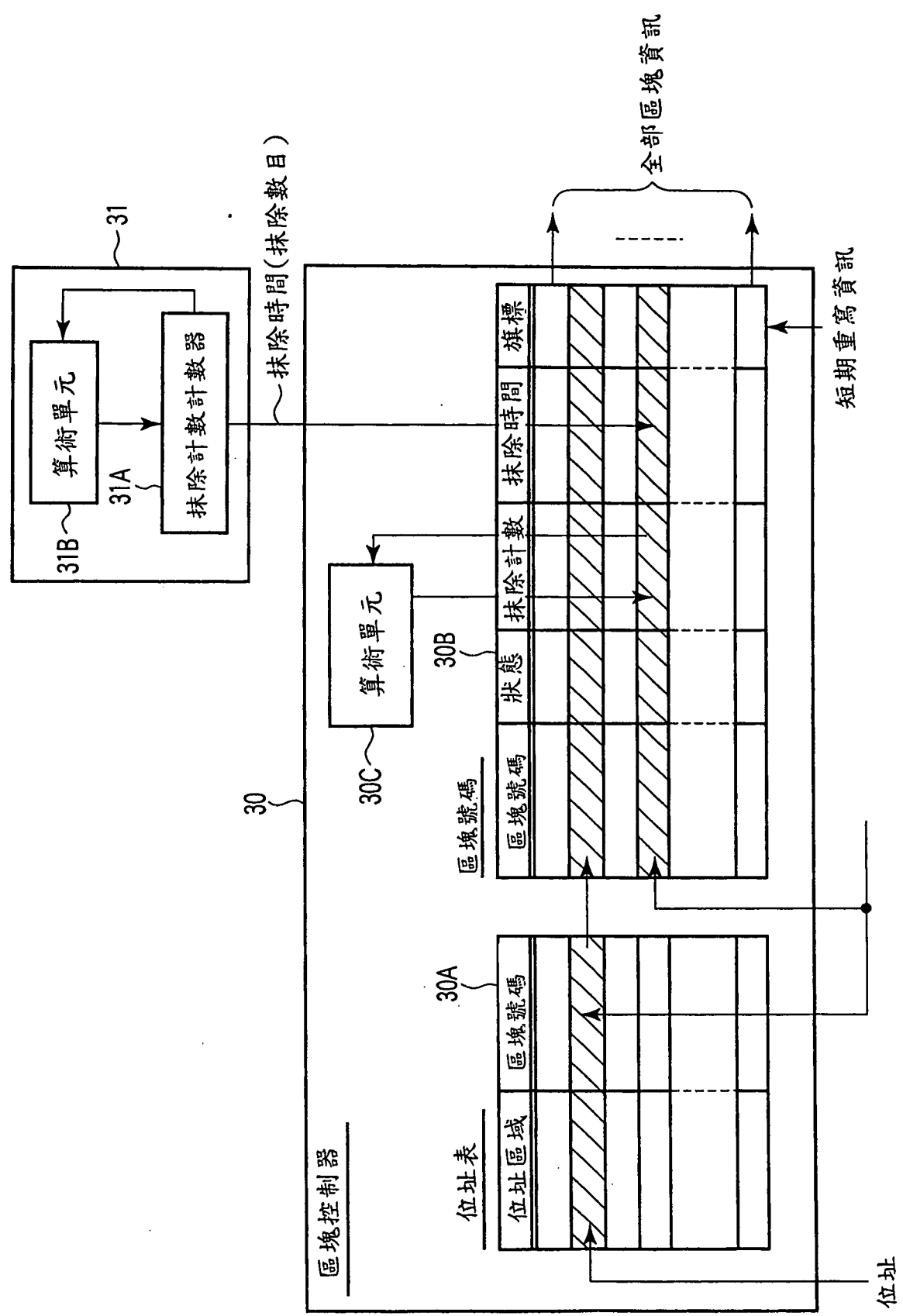


圖5

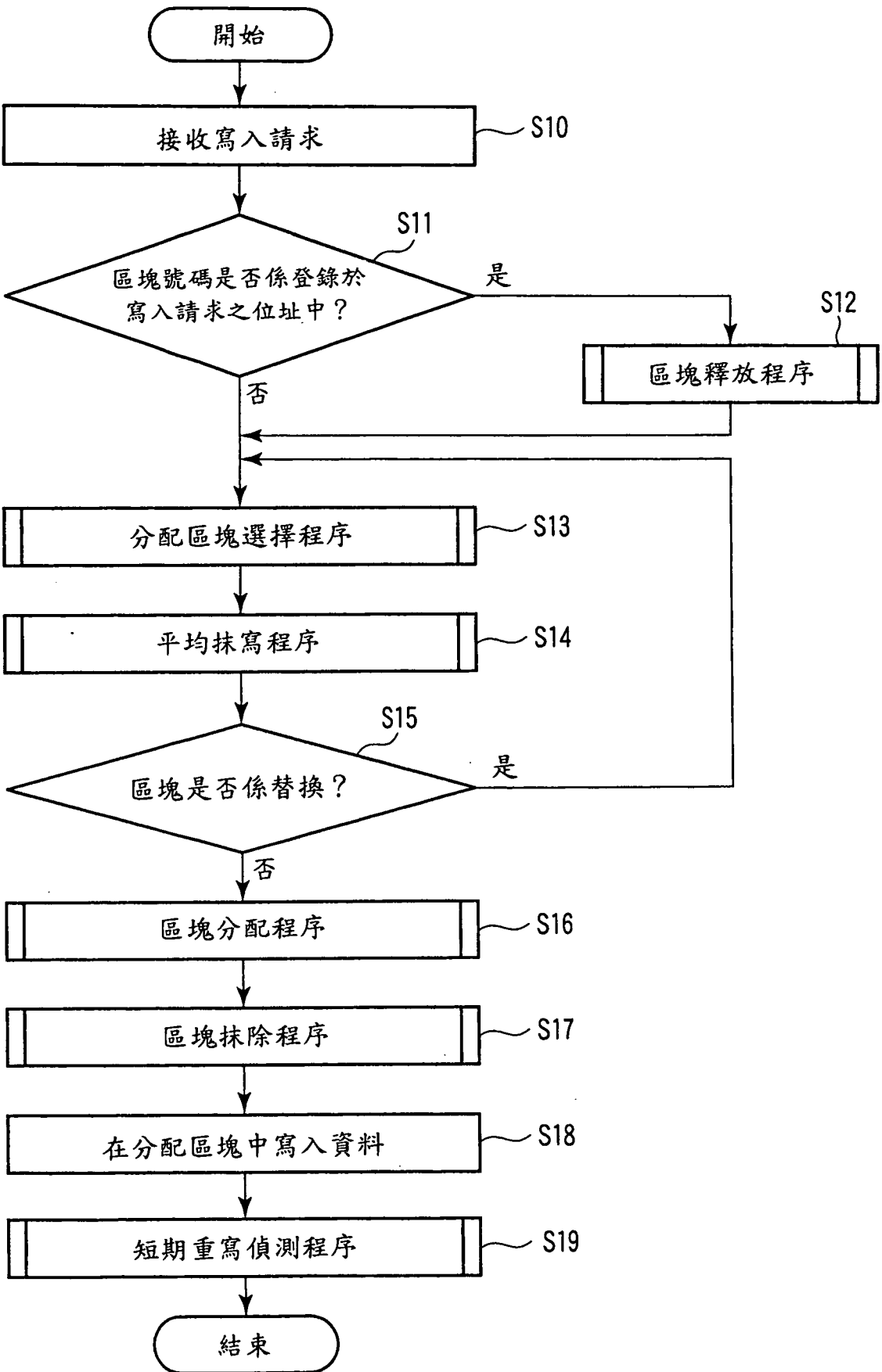


圖 6

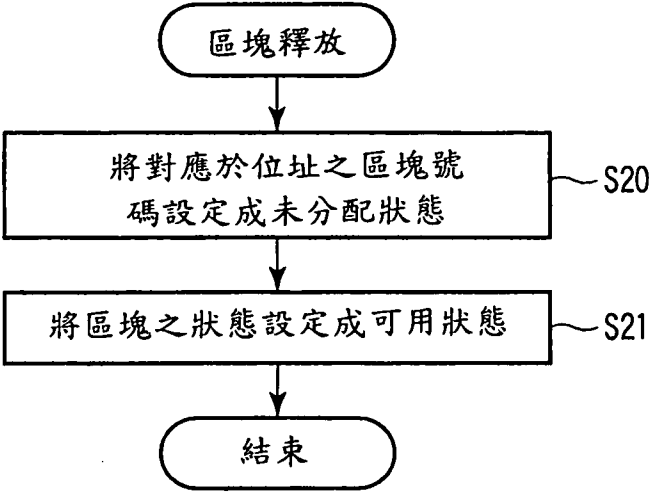


圖 7

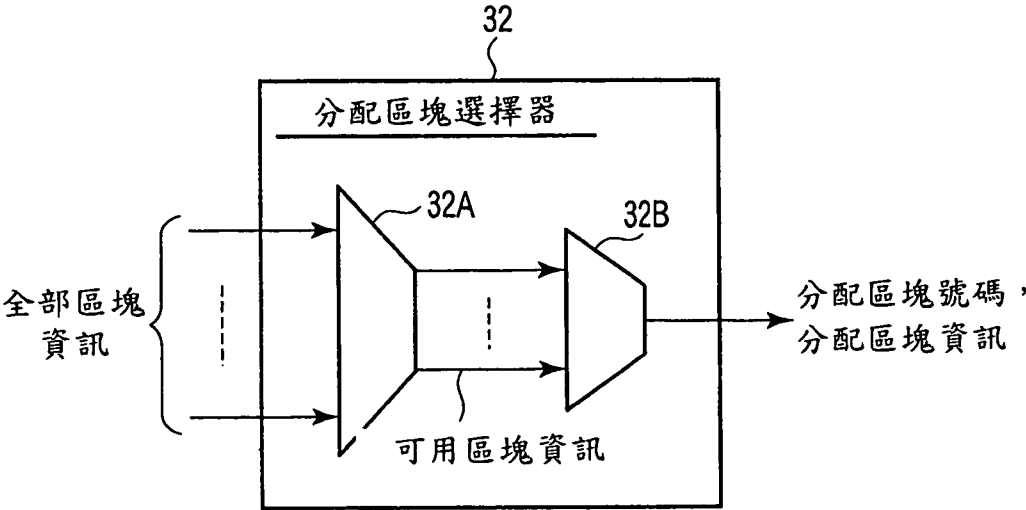


圖 8

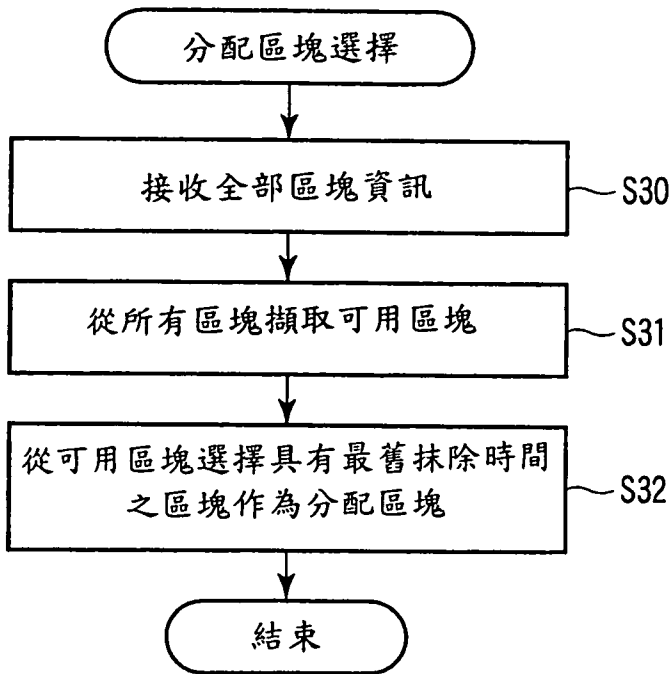


圖9

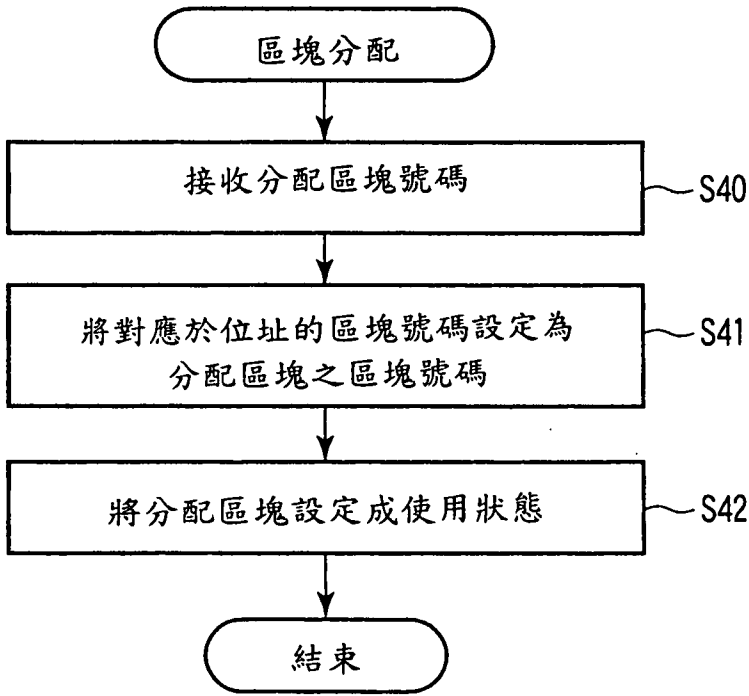


圖10

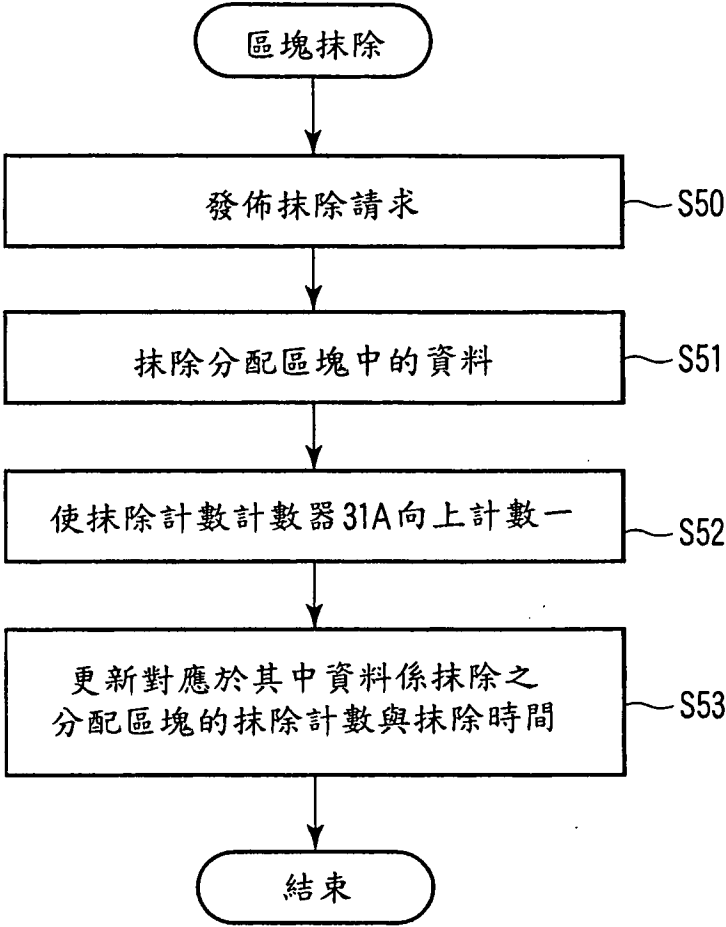


圖 11

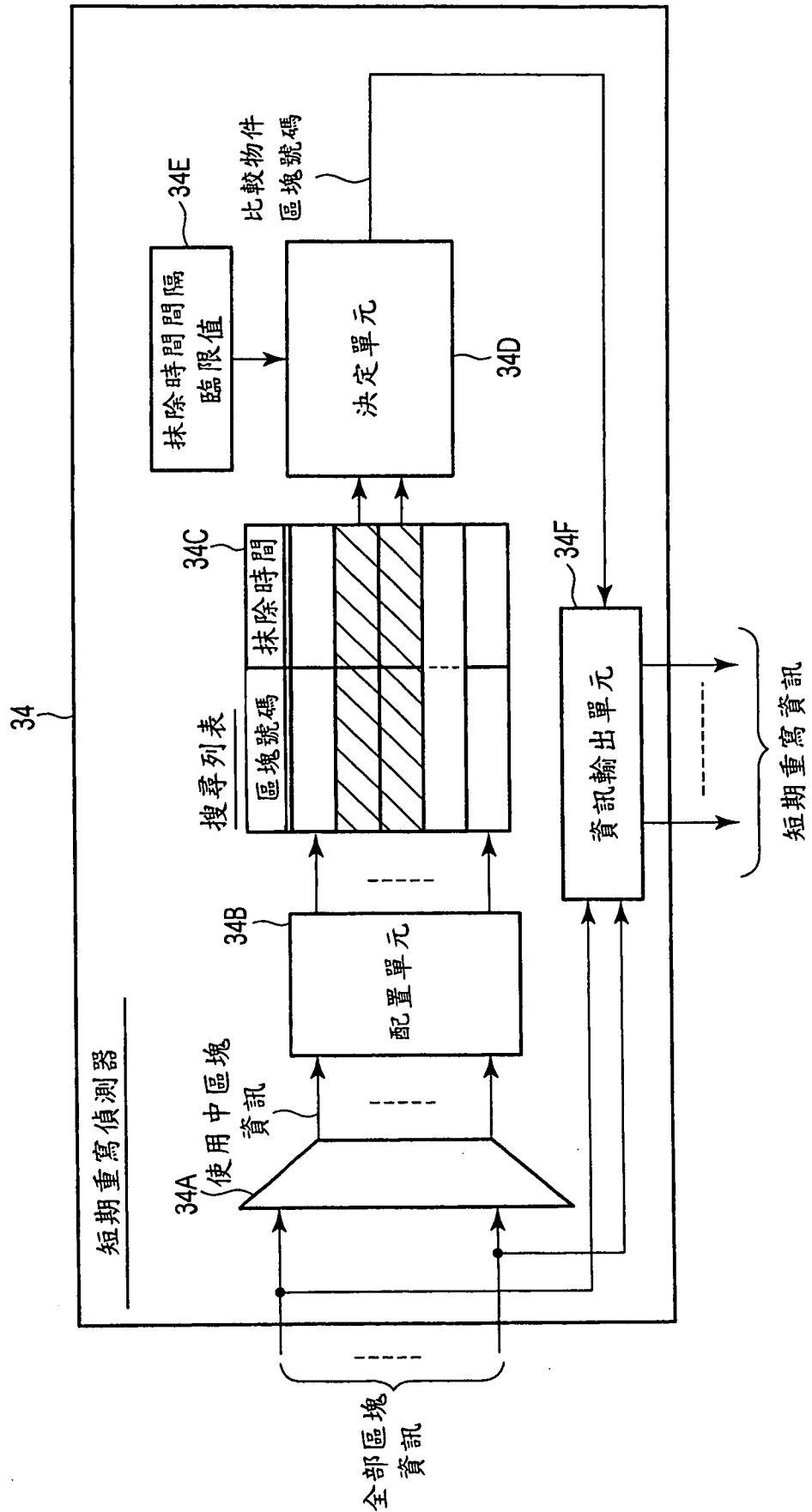


圖12

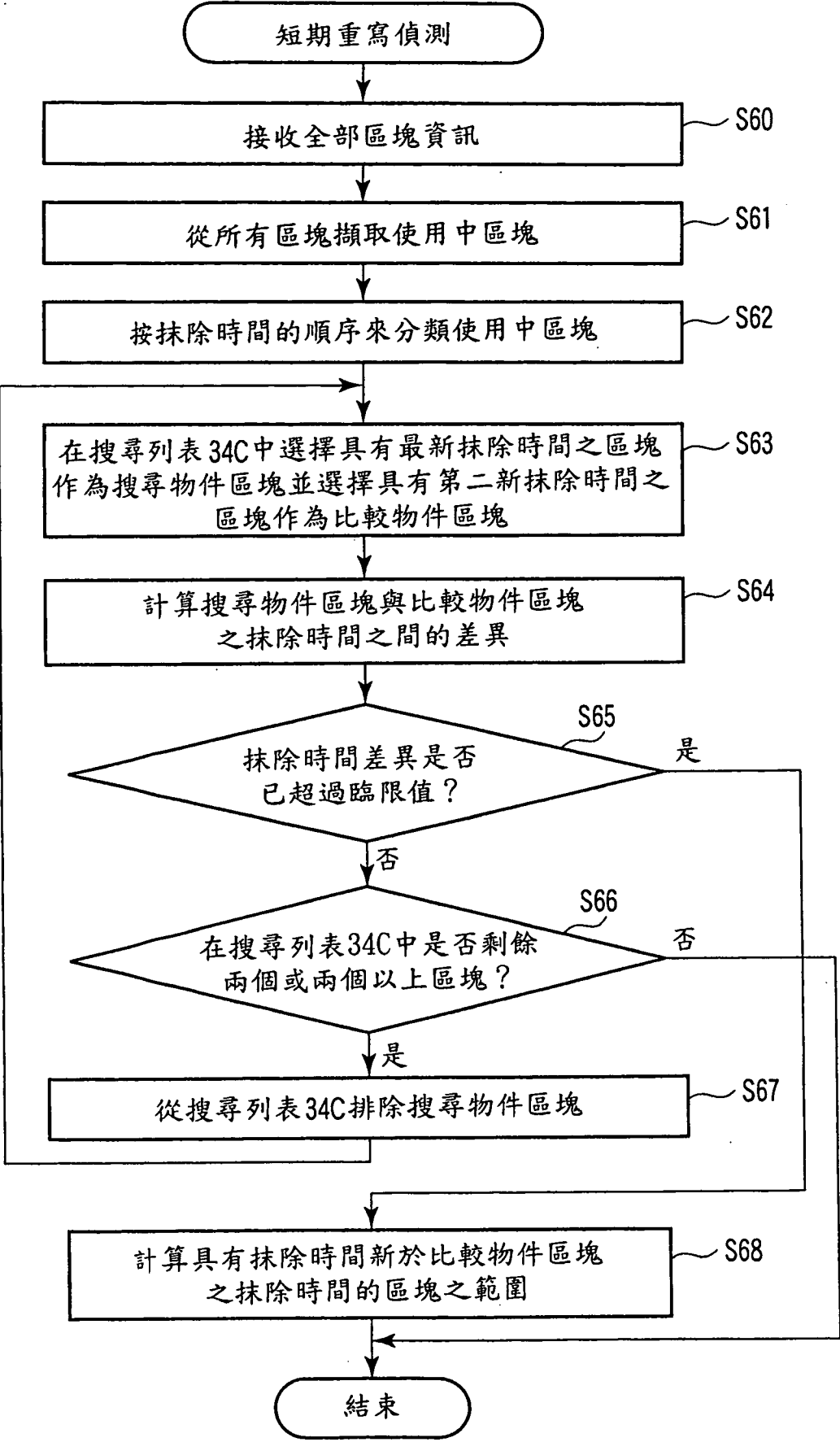


圖 13

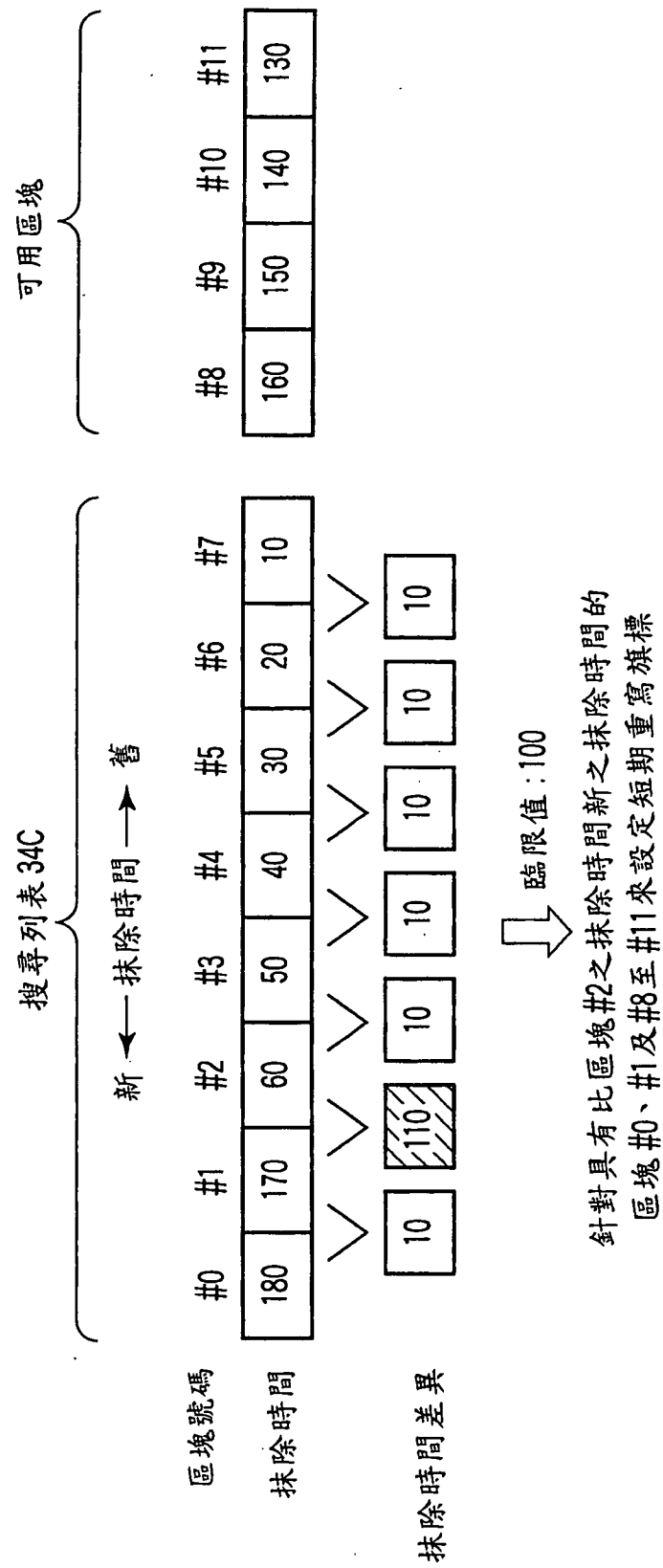


圖14

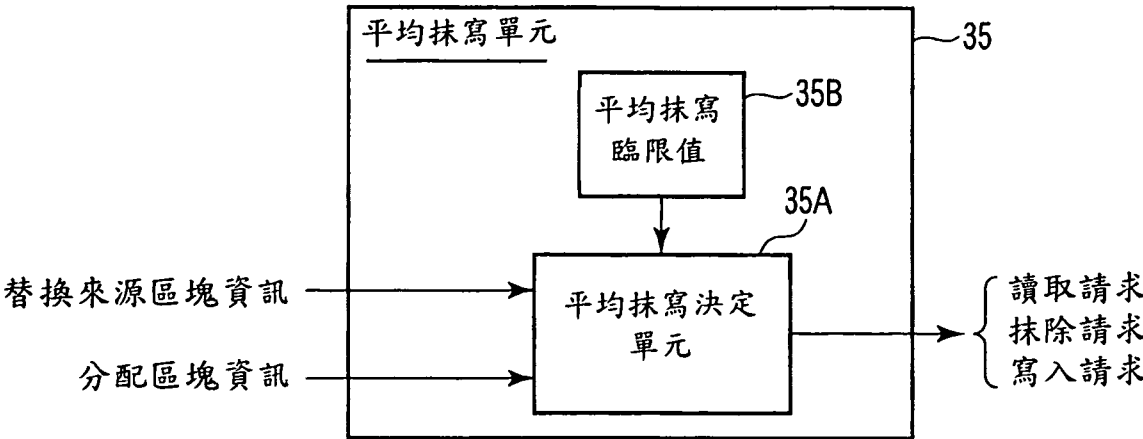


圖 15

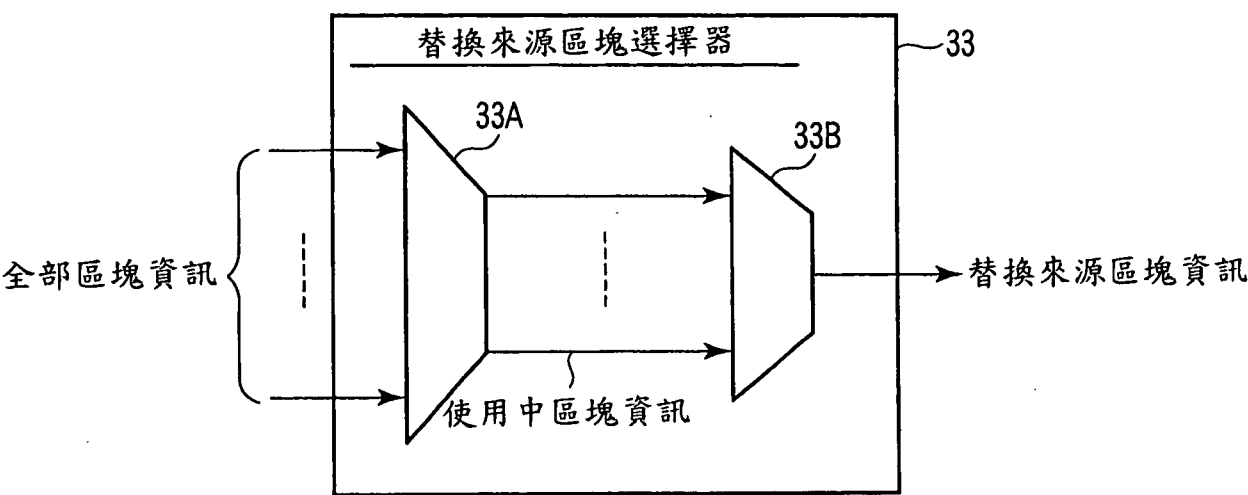


圖 17

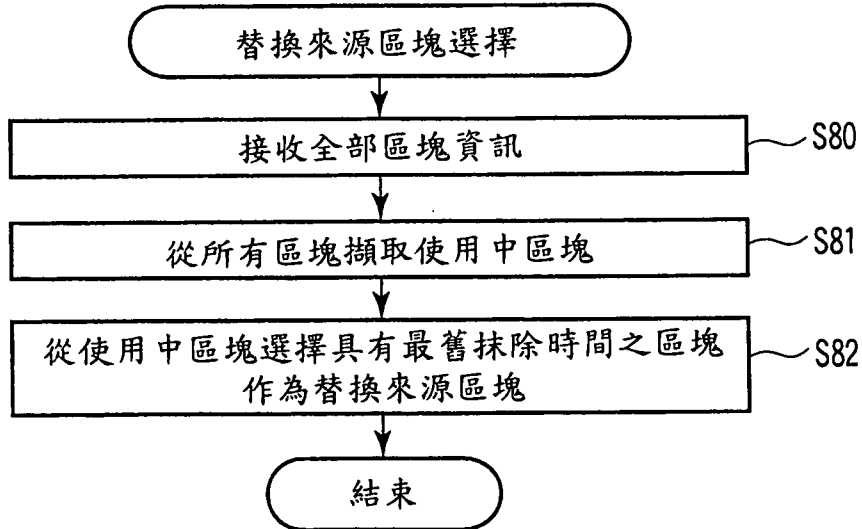


圖 18

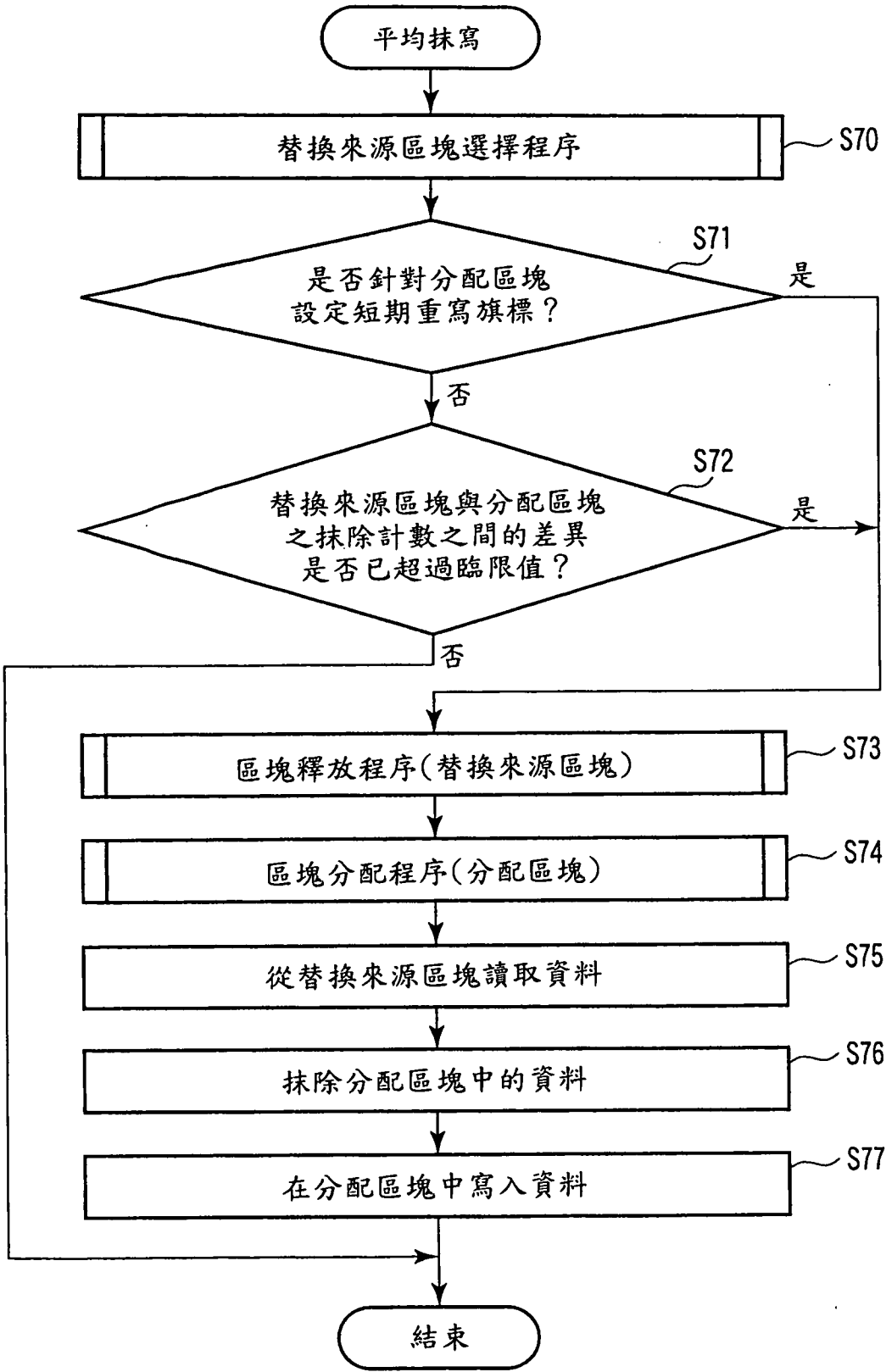


圖 16

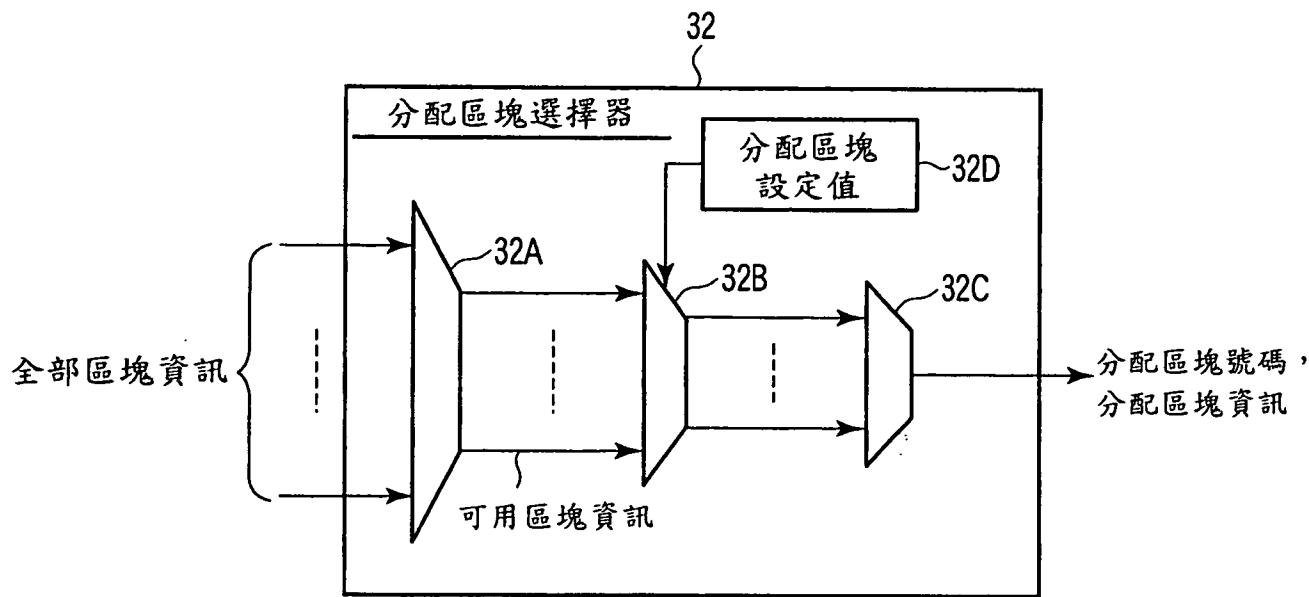


圖 19

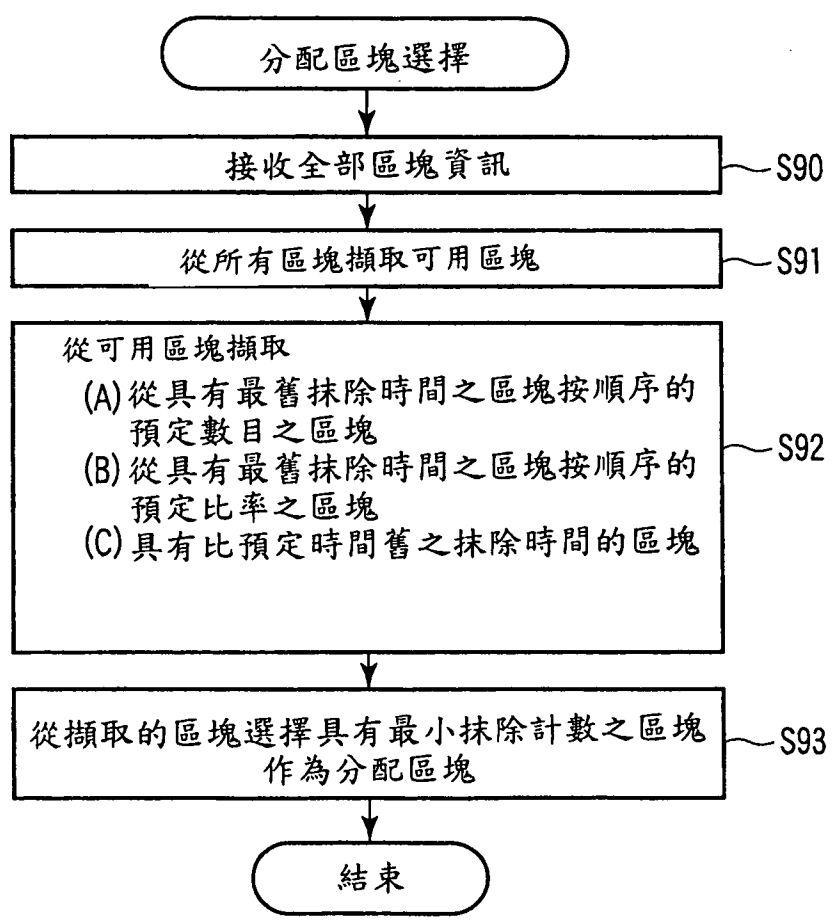


圖 20

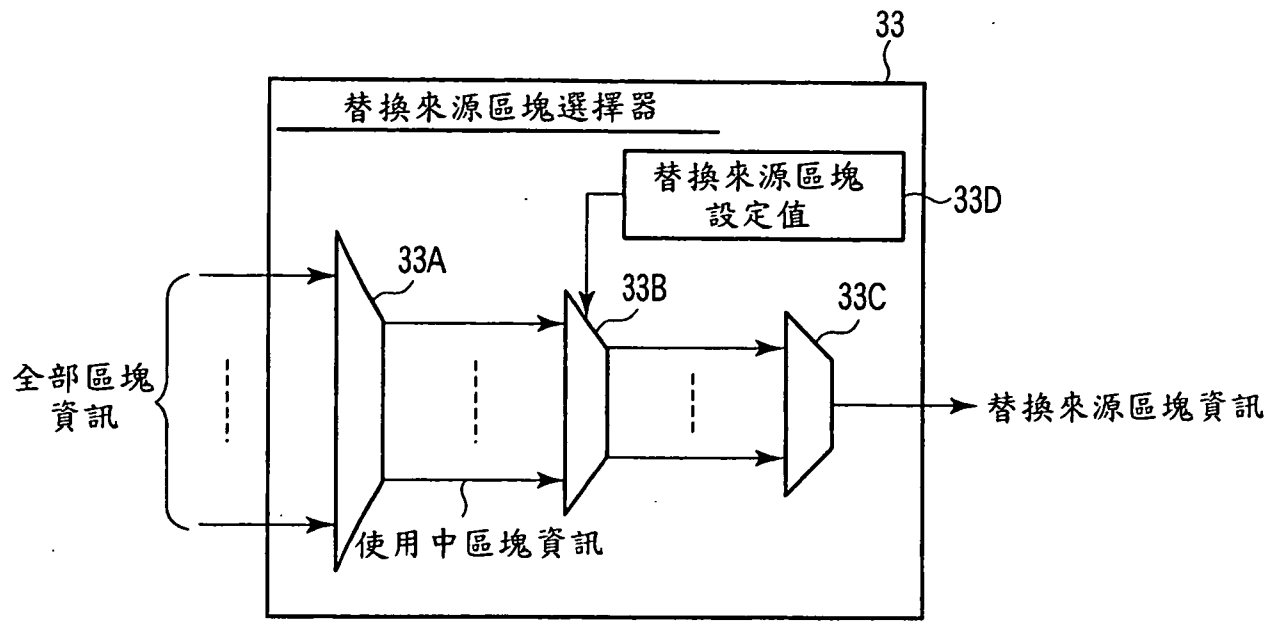


圖21

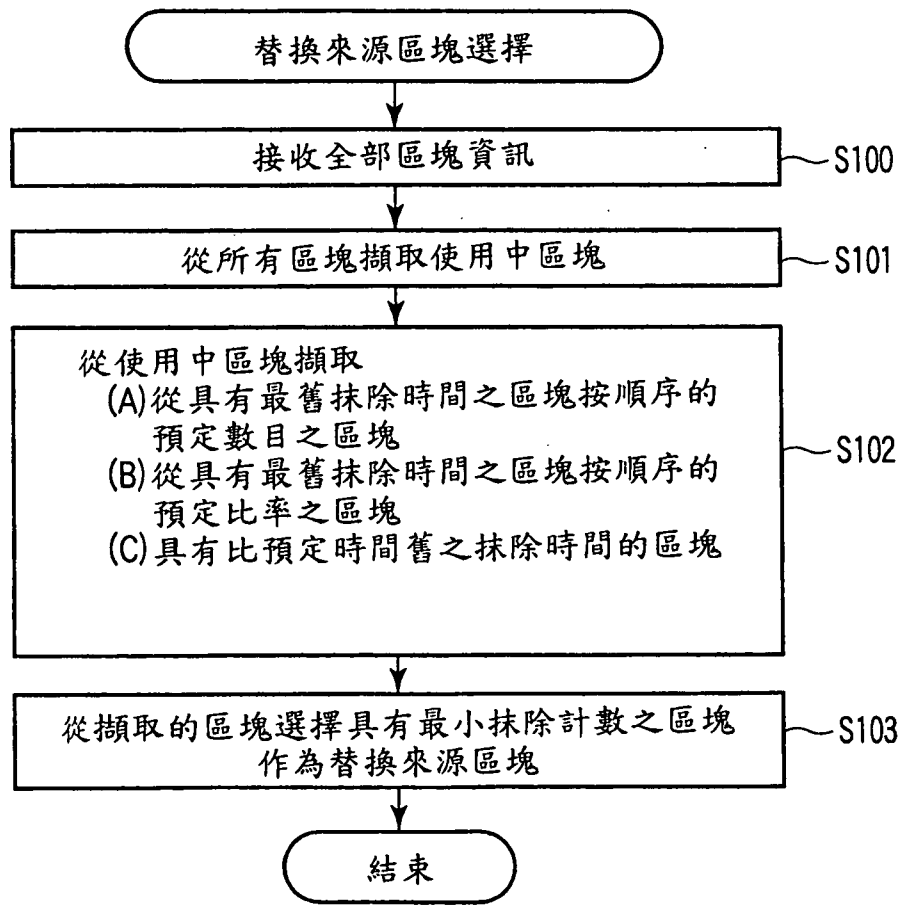


圖22

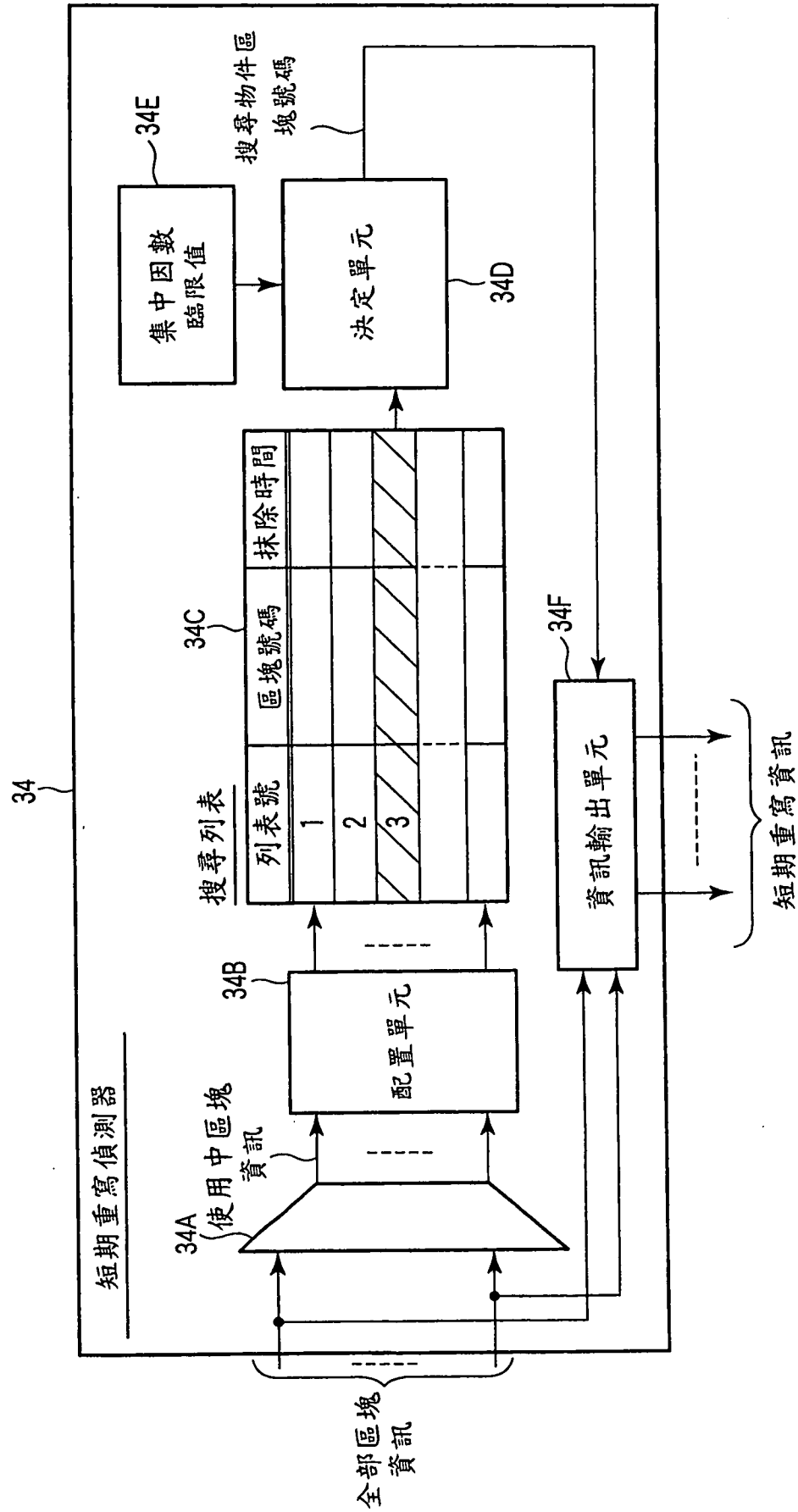


圖23

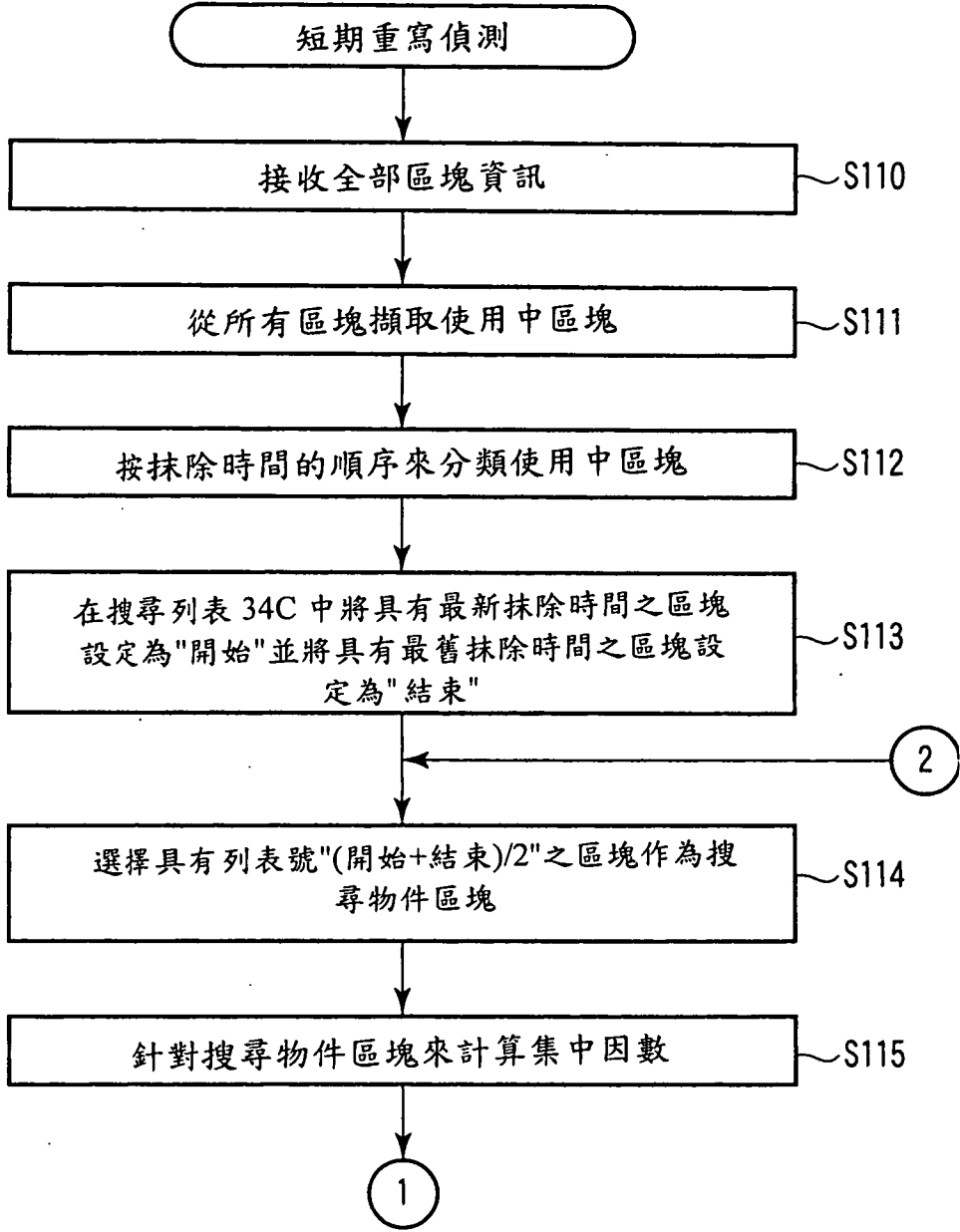


圖24

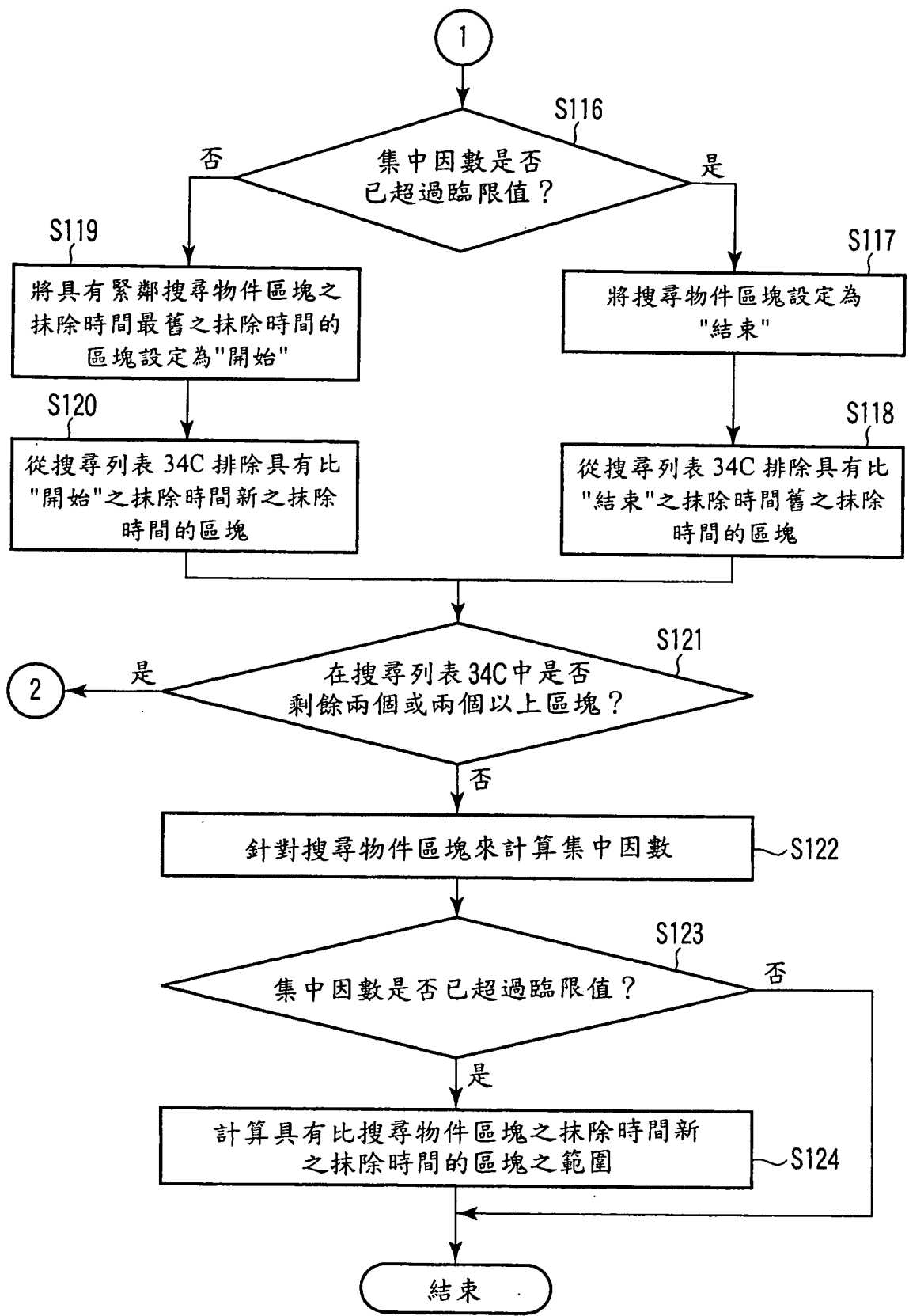
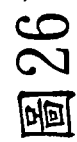


圖 25



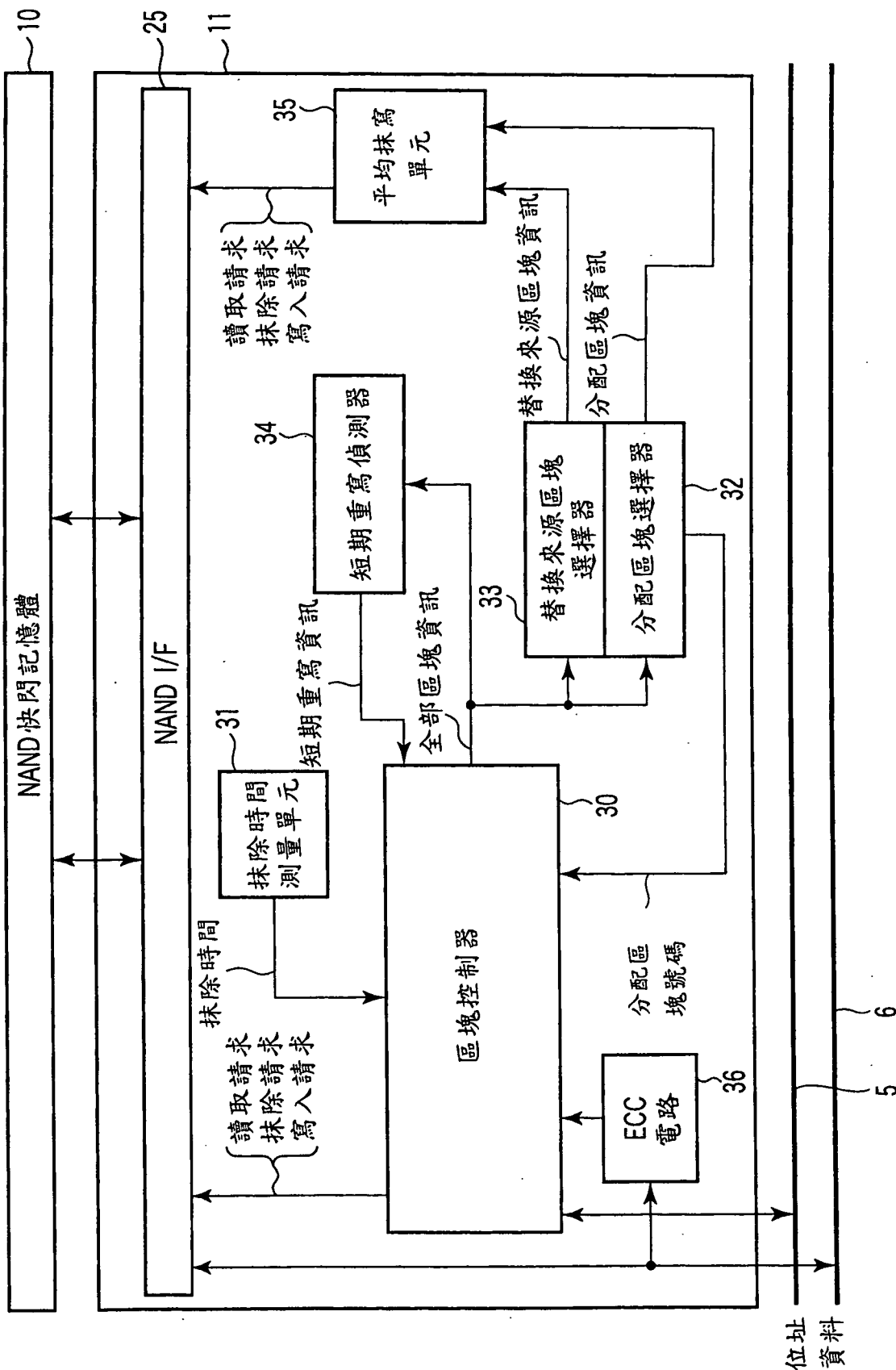
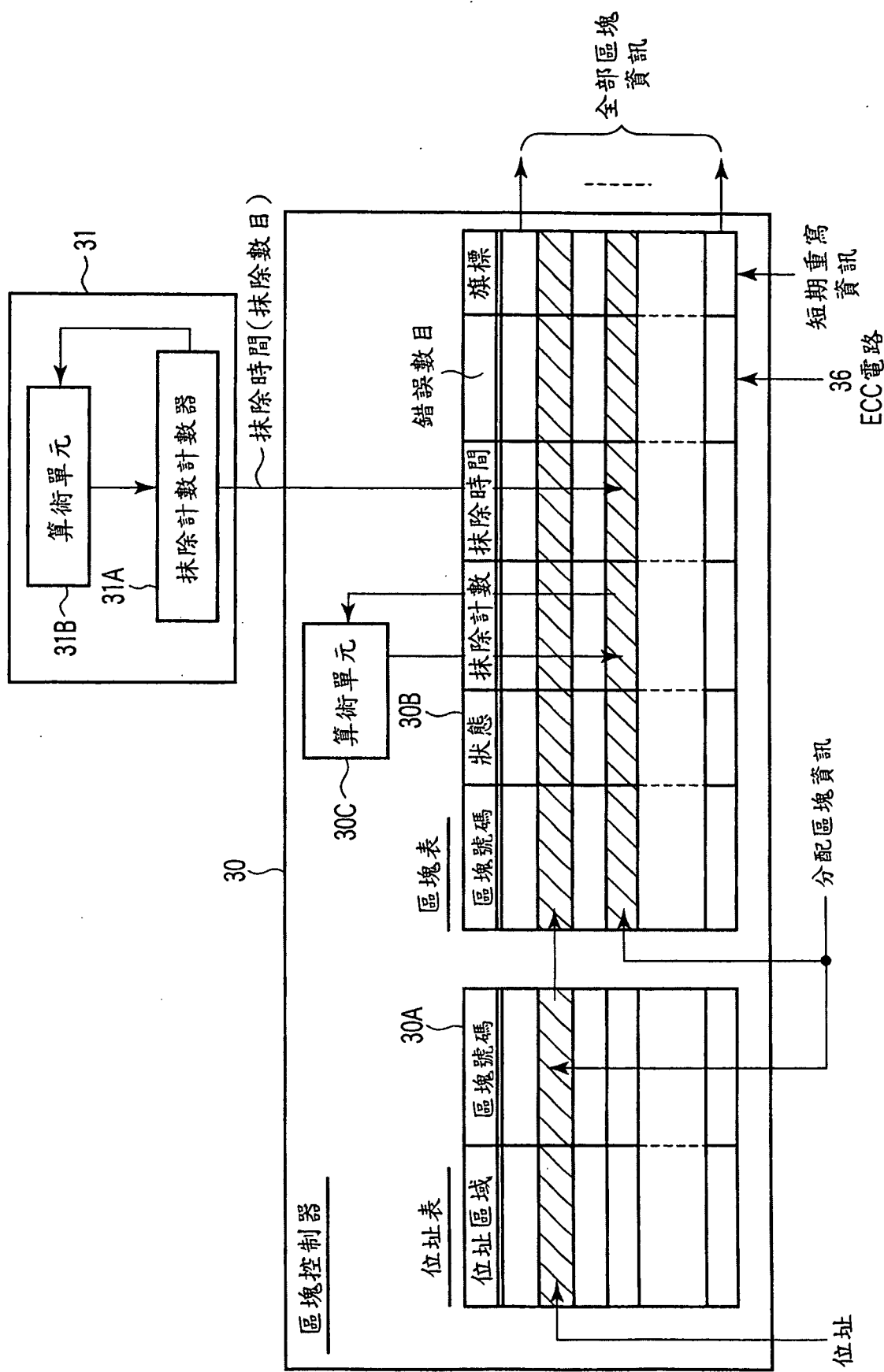


圖27



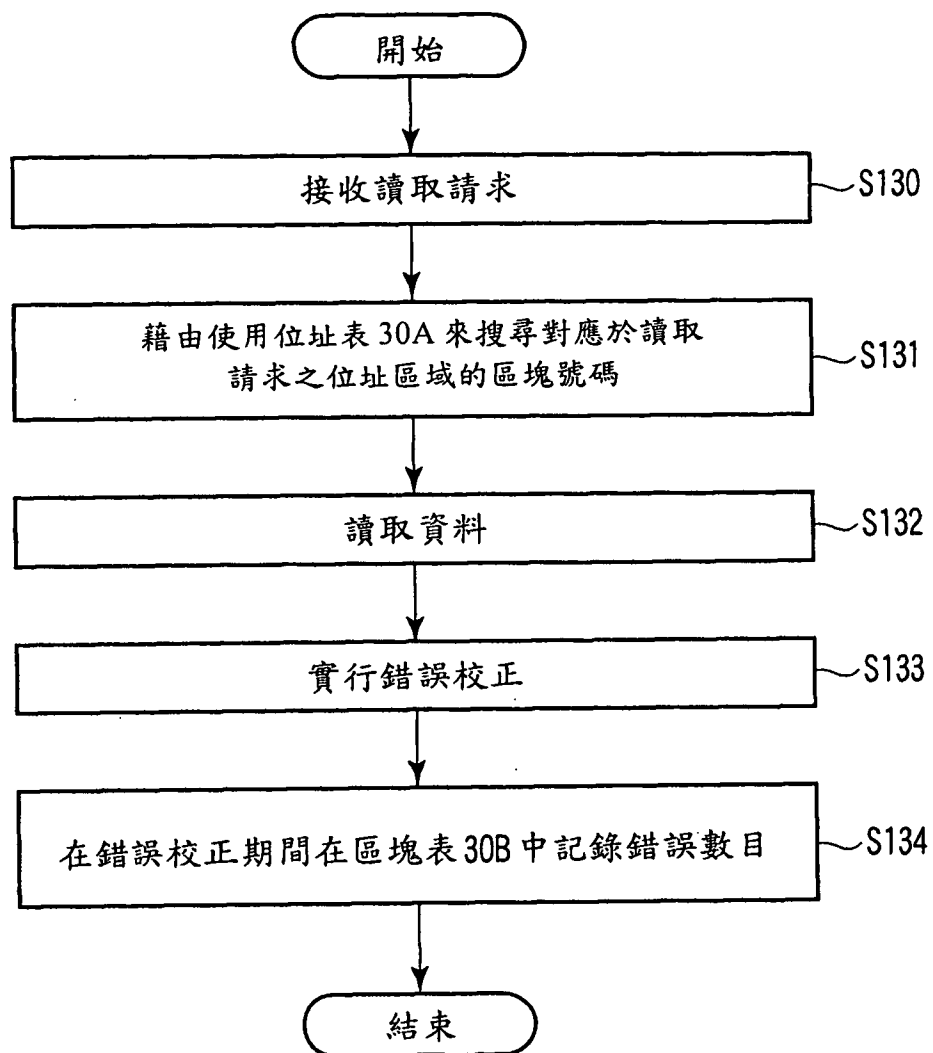


圖 29

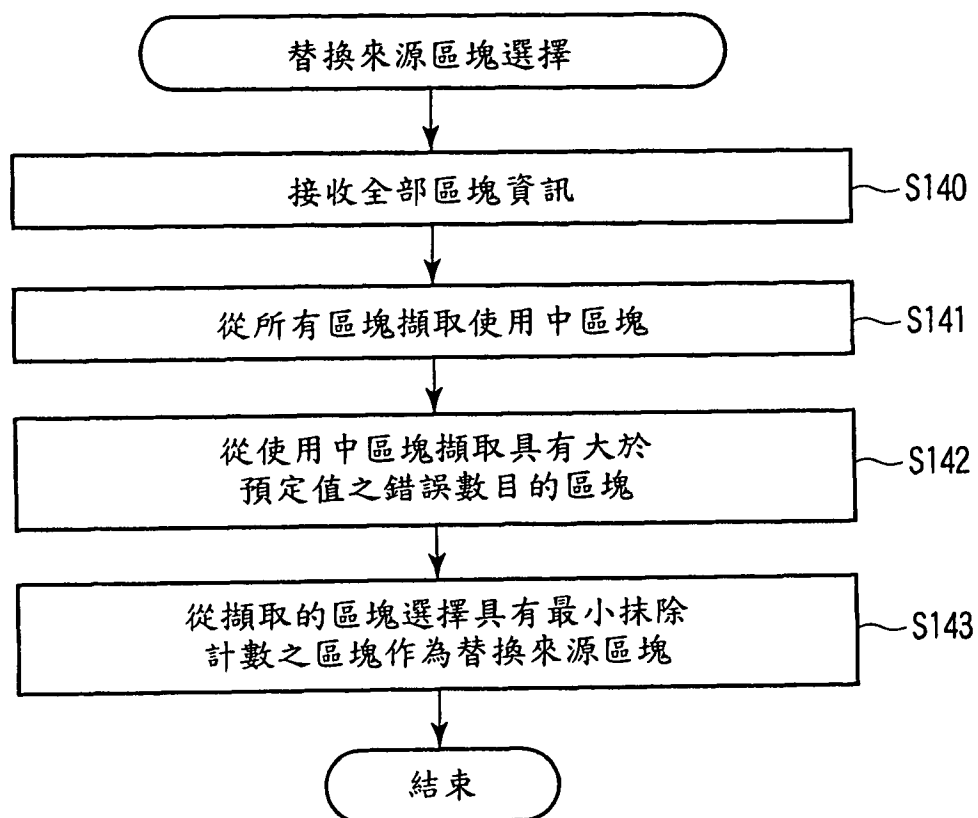


圖 30

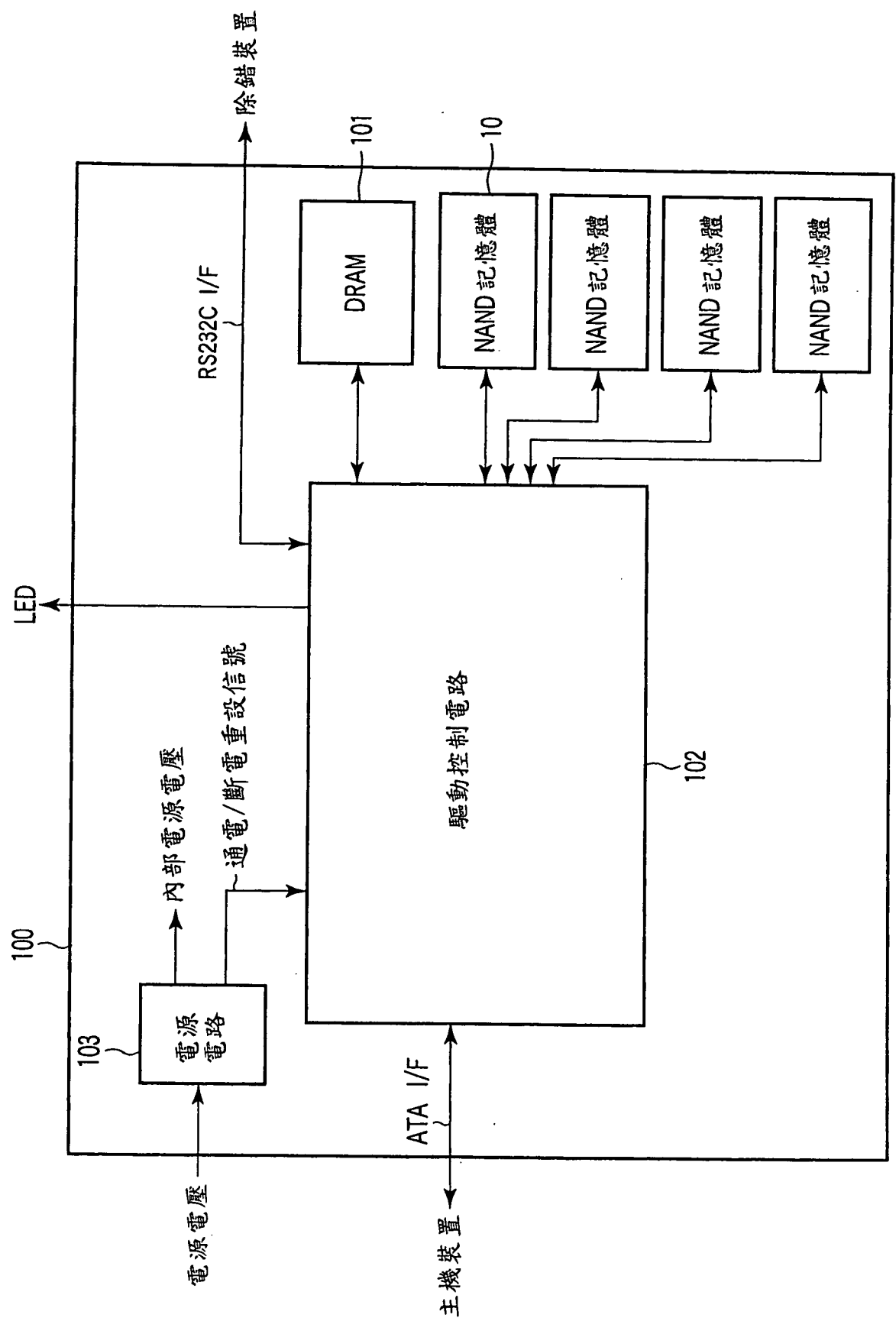


圖31

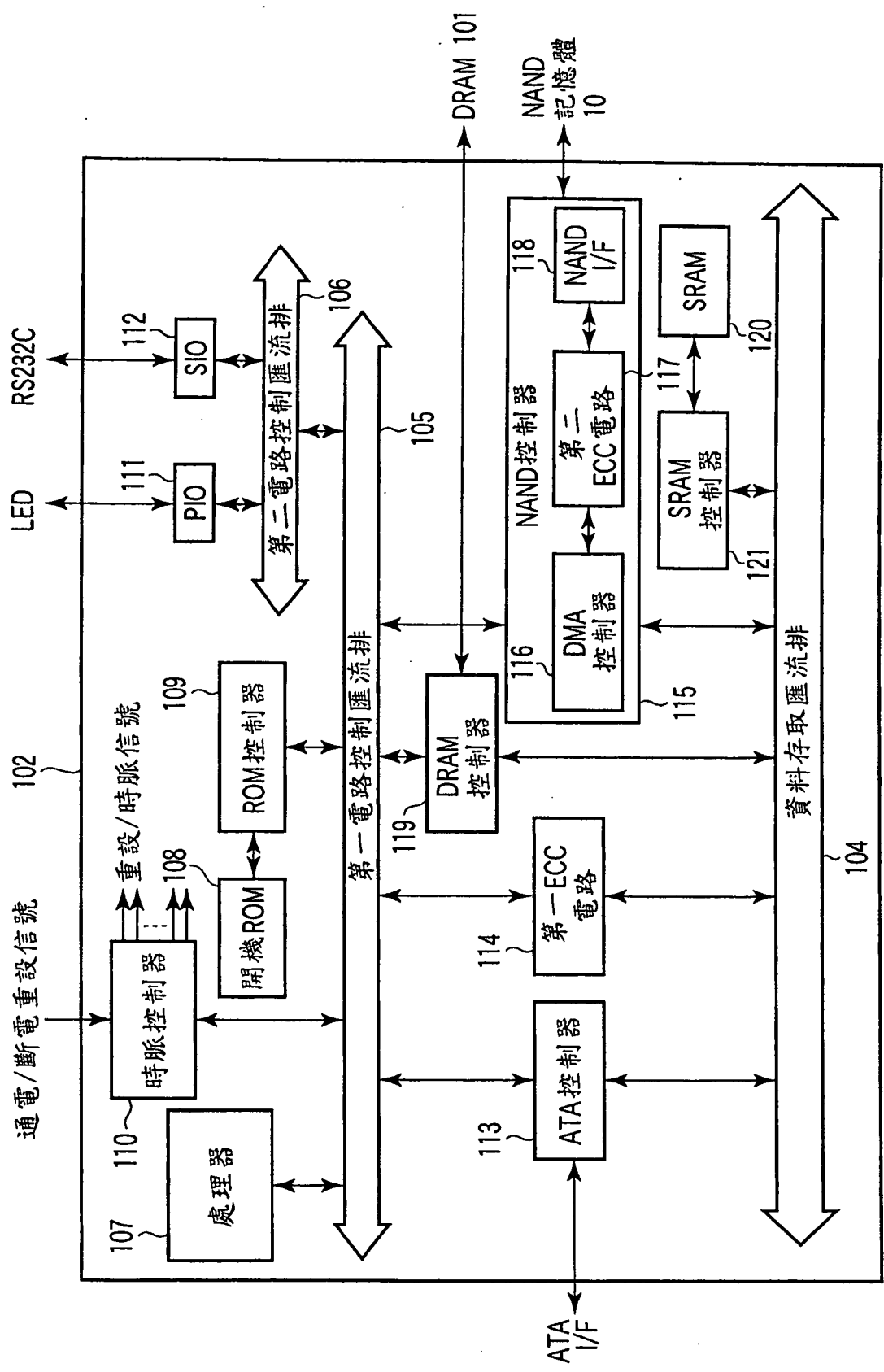


圖32

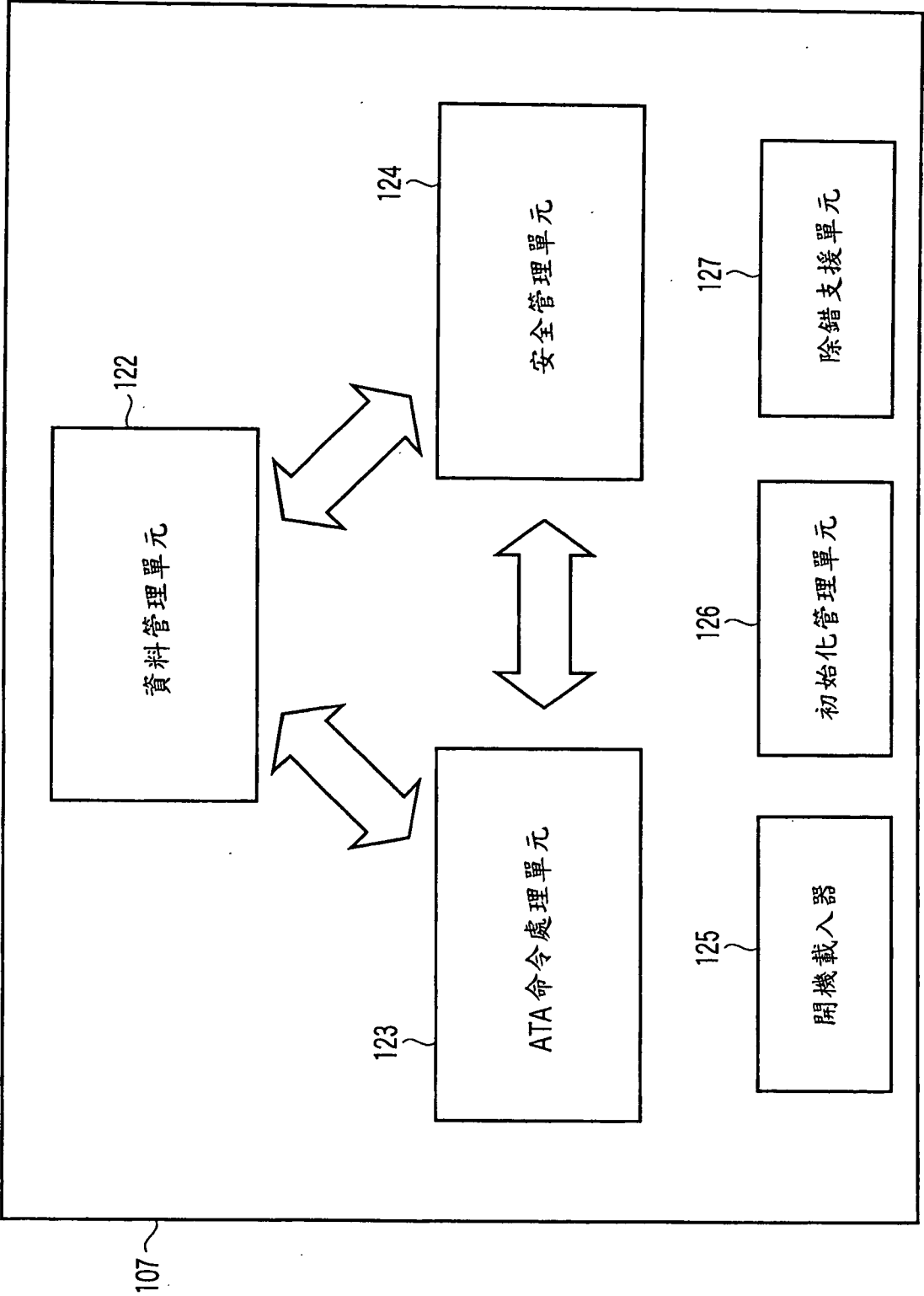


圖33

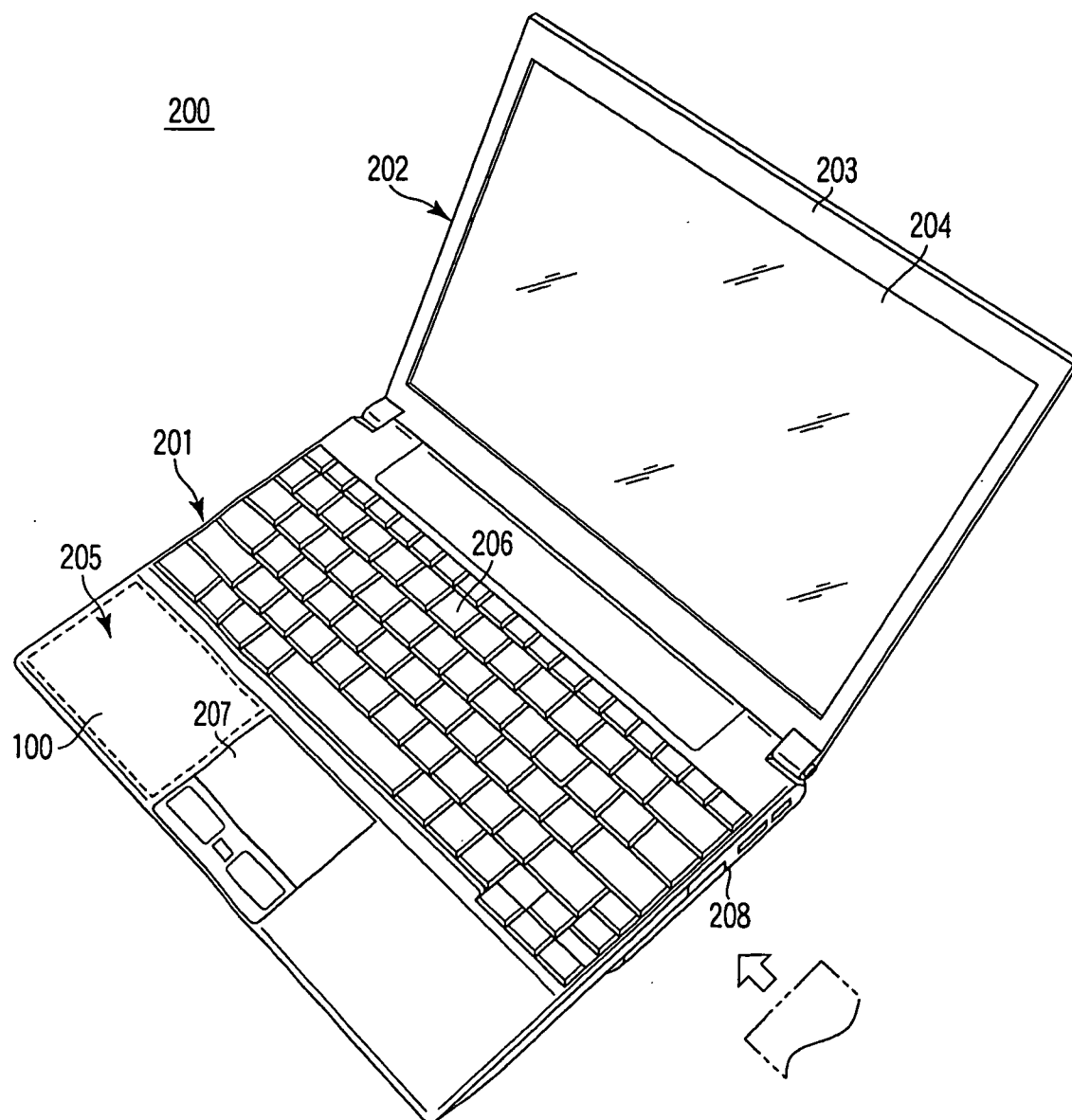


圖 34

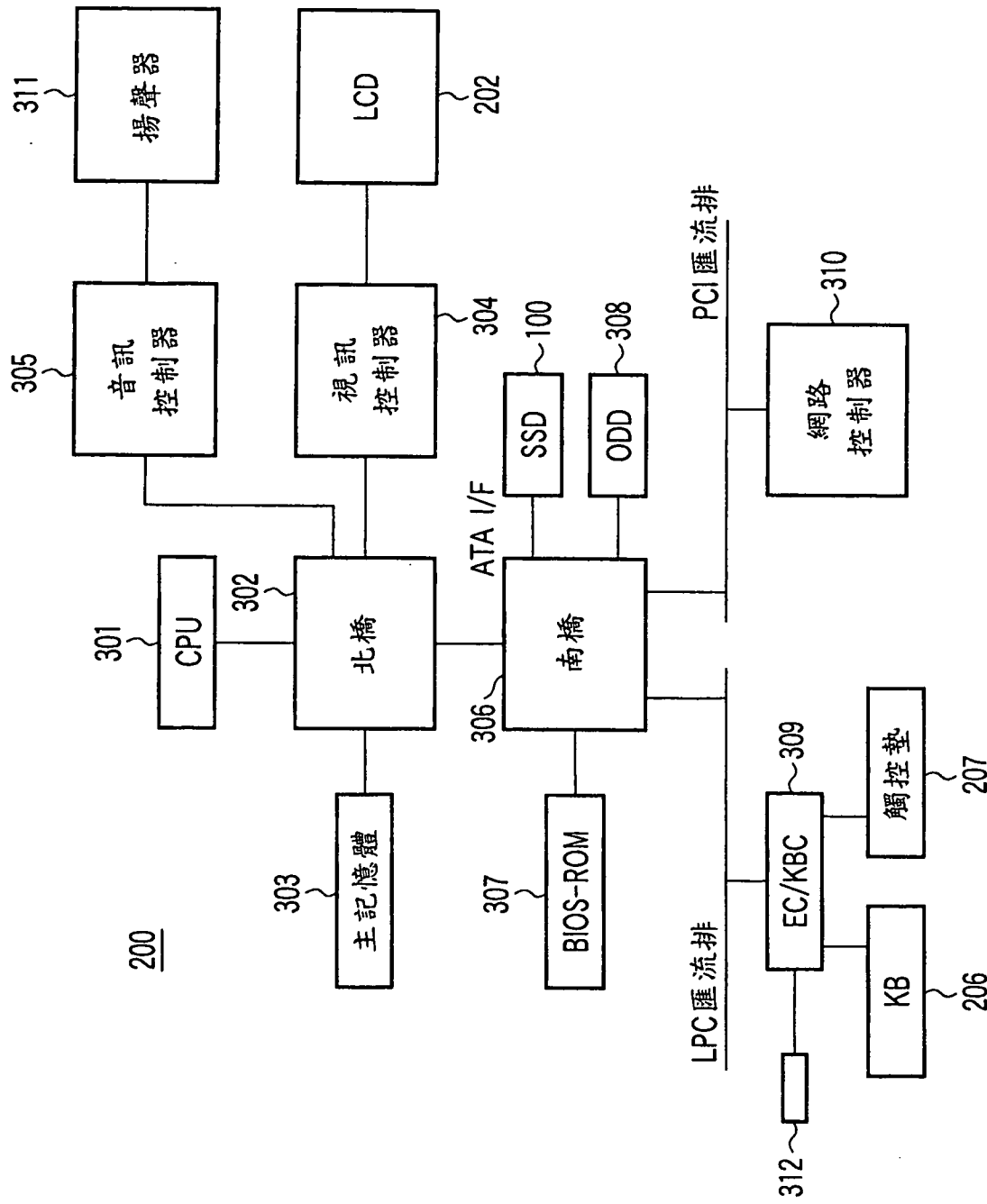


圖35