(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월02일
(11) 등록번호 10-0772309
(24) 등록일자 2007년10월25일

(51) Int. Cl.
H01G 4/30 (2006.01)
(21) 출원번호 10-2006-0068139
(22) 출원일자 2006년07월20일
심사청구일자 2006년07월20일
(65) 공개번호 10-2007-0014979
공개일자 2007년02월01일
(30) 우선권주장
JP-P-2005-00222030 2005년07월29일 일본(JP)
(56) 선행기술조사문헌
JP05144341 A
JP07297077 A
JP2002260959 A
전체 청구항 수 : 총 7 항

(73) 특허권자
티디케이가부시기가이샤
일본 도쿄도 추오구 니혼바시 1쵸메 13반 1고
(72) 발명자
토가시, 마사아키
일본 103-8272 도쿄 추오구 니혼바시 1-13-1티디케이가부시키가이샤나이
아히코, 타이스케
일본 018-0402 아키타켄 니카호시 히라사와 아자 마에다 151티디케이 엠씨씨 가부시키가이샤나이
(74) 대리인
특허법인필앤온지

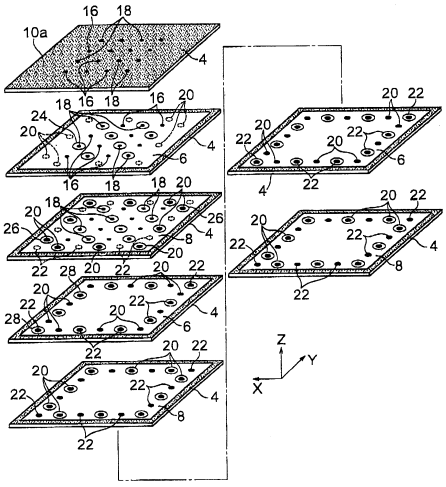
심사관 : 조지은

(54) 적층 콘덴서

(57) 요 약

본 발명에 따른 적층 콘덴서(2)는 유전체층(4)을 적층함으로써 형성된 소자 본체(10)의 내부에 각각 평면상으로 형성된 복수의 제 1 내부 전극층(6) 및 복수의 제 2 내부 전극층(8)이 유전체층을 개재하여 이격되면서 교대로 배치되어 있다. 소자 본체(10)의 제 1 단면(10a)에만 제 1 외부 전극(12) 및 제 2 외부 전극(14)이 배치되어 있다. 소자 본체(10)의 제 1 단면(10a) 가까이에 적층되어 있는 내부 전극층(6, 8)과 외부 전극(12, 14)을 인출용(引出用) 기둥상(柱狀) 전극(16, 18)이 각각 접속한다. 소자 본체(10)의 내부에 적층되어 있는 내부 전극층(6 또는 8)의 상호간을 층간 접속용 기둥상 전극(20 또는 22)이 접속한다. 층간 접속용 기둥상 전극(20, 22)의 각각의 횡단면적은 인출용 기둥상 전극(16, 18)의 각각의 횡단면적보다 크다.

대표도 - 도2



특허청구의 범위

청구항 1

유전체층을 적층함으로써 형성된 소자 본체의 내부에, 각각 평면상으로 형성된 복수의 제 1 내부 전극층 및 복수의 제 2 내부 전극층이 유전체층을 개재하여 이격되면서 교대로 배치되어 있는 적층 콘덴서로서,

상기 소자 본체에 있어서의 상기 유전체층의 적층 방향의 일방의 제 1 단면에만 배치된 제 1 외부 전극 및 제 2 외부 전극과,

상기 소자 본체의 제 1 단면 가까이에 적층되어 있는 상기 제 1 내부 전극층과 상기 제 1 외부 전극을 제 1 인출(引出) 스루홀을 통하여 접속하는 제 1 인출용 기둥상(柱狀) 전극과,

상기 소자 본체의 제 1 단면 가까이에 적층되어 있는 상기 제 2 내부 전극층과 상기 제 2 외부 전극을 제 2 인출 스루홀을 통하여 접속하는 제 2 인출용 기둥상 전극과,

상기 소자 본체의 내부에 적층되어 있는 상기 제 1 내부 전극층의 상호간을 제 1 층간 스루홀을 통하여 접속하는 제 1 층간 접속용 기둥상 전극과,

상기 소자 본체의 내부에 적층되어 있는 상기 제 2 내부 전극층의 상호간을 제 2 층간 스루홀을 통하여 접속하는 제 2 층간 접속용 기둥상 전극을 가지고,

상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 횡단면적은 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 횡단면적보다 큰 것을 특징으로 하는 적층 콘덴서.

청구항 2

제 1항에 있어서,

상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 횡단면적은 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 횡단면적보다 2 ~ 16배 큰 적층 콘덴서.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 외경은 150 ~ 200㎛이고,

상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 외경은 50 ~ 80㎛인 적층 콘덴서.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 소자 본체의 제 1 단면에 대해 수직 방향에서 보아 상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 형성 위치는, 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 형성 위치에 대해 위치를 어긋나게 하여 형성되어 있는 적층 콘덴서.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 제 1 외부 전극과 제 2 외부 전극은 상기 제 1 단면에서 서로 이웃하도록 행렬상으로 배치되는 적층 콘덴서.

청구항 6

제 1항 또는 제 2항에 있어서,

상기 제 1 층간 접속용 기둥상 전극과 제 2 층간 접속용 기둥상 전극은 상기 소자 본체의 내부에서 소자 본체의 측면을 따라 교대로 배치되는 적층 콘덴서.

청구항 7

제 1항 또는 제 2항에 있어서,

상기 제 1 단면에 가장 가까운 제 1 내부 전극층에는 상기 제 2 인출용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있고,

상기 제 1 단면에 가장 가까운 제 2 내부 전극층에는 상기 제 1 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있으며,

그 외의 제 1 내부 전극층에는 상기 제 2 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있고,

그 외의 제 2 내부 전극층에는 상기 제 1 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있는 적층 콘덴서.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<4> 본 발명은 스루홀을 가지는 적층 콘덴서에 관한 것으로, 더욱 상세하게는 저ESL을 유지하면서 내부 전극층의 면적을 감소시키는 일 없이 스루홀을 통하여 적층 방향의 내부 전극층 상호 간의 접속 저항을 감소시킬 수 있음과 함께 제조가 용이한 적층 콘덴서에 관한 것이다.

<5> 최근에 정보 처리 장치에 사용되는 CPU(주 연산 처리 장치)는 처리 속도의 향상 및 고집적화에 따라 동작 주파수가 높아짐과 함께 소비 전류가 현저히 증대되고 있다. 그리고 이에 수반하여 소비 전력의 저감화에 따라 동작 전압이 감소하고 있다. 따라서, CPU에 대한 전력 공급용 전원에서는 보다 고속이고 또한 큰 전류 변동이 발생하게 됨에 따라 이 전류 변동에 수반하는 전압 변동을 전원의 허용치 이내로 억제하는 것이 매우 곤란하게 되었다.

<6> 이 때문에 평활용 콘덴서로서의 적층 콘덴서가 전원에 접속되는 형태로 CPU 주변에 배치되어 전원의 안정화 대책으로 빈번하게 사용되게 되었다. 즉, 고속의 과도적인 전류 변동 시에 빠른 충방전으로 이 적층 콘덴서에서 CPU로 전류를 공급하여 전원의 전압 변동을 억제하도록 하고 있다.

<7> 그러나, 오늘날 CPU의 동작 주파수가 한층 더 고주파수화됨에 따라 전류 변동이 더 고속화되고 커지게 되어 평활용 콘덴서로서의 적층 콘덴서 자체가 가지고 있는 등가 직렬 인덕턴스(ESL)가 상대적으로 커지고 있다. 이 결과 이 등가 직렬 인덕턴스를 포함하는 전체 인덕턴스가 전원의 전압 변동에 크게 영향을 미치게 되었다.

<8> 여기서, 저ESL화를 도모하기 위한 종래의 적층 콘덴서의 구조로서, 예를 들어, 문헌 1(일본 특허 공개 2001-284170호 공보)에 개시된 것이 알려져 있다. 즉, 이 문헌 1에는 직방체상으로 형성된 적층 콘덴서의 4측면에 각각 단자 전극을 복수 개씩 마련함으로써 저ESL화를 도모한 구조가 개시되어 있다.

<9> 또한, 하기 문헌 2(일본 특허 공개 2001-148324호 공보)에 나타내는 바와 같이, 적층 콘덴서의 상하 표면의 적어도 어느 한쪽의 표면에 아일랜드상(狀)으로 이격된 형태의 외부 전극을 배치함과 함께 이 외부 전극을 기둥상(柱狀)의 스루홀 전극에 의해 내부 전극층에 접속한 구조의 적층 콘덴서가 개발되어 있다.

<10> 그러나, 상기의 문헌 1과 마찬가지로 단자 전극을 4측면에 각각 복수 개씩 마련하여 CPU 주변에 접속하는 형태의 적층 콘덴서로는 충분히 저ESL화가 도모되지 않아 전체 인덕턴스를 저감하는 데에는 한계가 있었다.

<11> 한편, 문헌 2와 같이, 아일랜드상의 외부 전극을 가지는 구조의 적층 콘덴서는 전체 인덕턴스가 작아짐에 따라 CPU의 고속화에 대응이 가능해진다. 그러나, 이 문헌 2에 나타내는 바와 같은 적층 콘덴서에 있어서 외부 전극의 수에 대응하여 길고 가느다란 스루홀을 적층 콘덴서의 내부에 다수 제작하지 않으면 안 되어 내부 전극층의 전극 면적을 좁게 하여 정전 용량을 저하시킬 우려가 있다.

<12> 또한, 길고 가느다란 스루홀에서는 스루홀을 통한 적층 방향의 내부 전극층 상호 간의 접속 저항이 증대되어 등

가 직렬 저항(ESR)이 증대될 우려가 있다. 또한, 길고 가느다란 스루홀을 적층 콘덴서의 내부에 다수 제작하기 때문에 적층 콘덴서의 제조가 어려워져 제조 비용이 증대되는 원인이 된다.

발명이 이루고자 하는 기술적 과제

<13> 본 발명은 이와 같은 사정에 착안하여 이루어진 것으로, 그 목적은 저ESL을 유지하면서 내부 전극층의 면적을 감소시키는 일 없이 스루홀을 통한 적층 방향의 내부 전극층 상호 간의 접속 저항을 감소시키는 것이 가능함과 함께 제조가 용이한 적층 콘덴서를 제공하는 것이다.

발명의 구성 및 작용

<14> 상기 목적을 달성하기 위해 본 발명에 따른 적층 콘덴서는,

<15> 유전체층을 적층함으로써 형성된 소자 본체의 내부에, 각각 평면상으로 형성된 복수의 제 1 내부 전극층 및 복수의 제 2 내부 전극층이 유전체층을 개재하여 이격되면서 교대로 배치되어 있는 적층 콘덴서로서,

<16> 상기 소자 본체에 있어서의 상기 유전체층의 적층 방향의 일방의 제 1 단면에만 배치된 제 1 외부 전극 및 제 2 외부 전극과,

<17> 상기 소자 본체의 제 1 단면 가까이에 적층되어 있는 상기 제 1 내부 전극층과 상기 제 1 외부 전극을 제 1 인출(引出) 스루홀을 통하여 접속하는 제 1 인출용 기둥상 전극과,

<18> 상기 소자 본체의 제 1 단면 가까이에 적층되어 있는 상기 제 2 내부 전극층과 상기 제 2 외부 전극을 제 2 인출 스루홀을 통하여 접속하는 제 2 인출용 기둥상 전극과,

<19> 상기 소자 본체의 내부에 적층되어 있는 상기 제 1 내부 전극층의 상호간을 제 1 층간 스루홀을 통하여 접속하는 제 1 층간 접속용 기둥상 전극과,

<20> 상기 소자 본체의 내부에 적층되어 있는 상기 제 2 내부 전극층의 상호간을 제 2 층간 스루홀을 통하여 접속하는 제 2 층간 접속용 기둥상 전극을 가지고,

<21> 상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 횡단면적은 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 횡단면적보다 큰 것을 특징으로 한다.

<22> 본 발명에 따른 적층 콘덴서에서는 제 1 외부 전극 및 제 2 외부 전극이 제 1 단면에 아일랜드상으로 배치되어 있기 때문에 저ESL화가 도모되어 전체 인덕턴스가 작아진다. 따라서, CPU의 고속화에 대응가능해지고, 특히 CPU용 전원의 전압 변동을 작게 할 수 있다. 즉, 본 발명에 따른 적층 콘덴서는 CPU의 고속화에 대응가능한 평활용 콘덴서로서 바람직하게 이용하는 것이 가능해진다.

<23> 또한, 본 발명에 따른 적층 콘덴서에서는 외부 전극에 접속하기 위한 인출용 기둥상 전극과 유전체층의 층간에 존재하는 내부 전극층의 상호 간을 접속하는 층간 접속용 기둥상 전극을 별개로 형성하고 있다. 따라서, 층간 접속용 기둥상 전극의 각각의 횡단면적은 인출용 기둥상 전극의 각각의 횡단면적보다 크게 설정하는 것이 가능해진다. 그 결과, 스루홀을 통한 적층 방향의 내부 전극층 상호간의 접속 저항을 감소시킬 수 있다. 또한, 정전 용량을 높이기 위해 내부 전극층의 층수가 늘어난 경우에도 복수의 내부 전극층 상호 간의 도통을 보다 확실하게 확보할 수 있어 적층 콘덴서로서의 기능을 확실하게 발휘할 수 있다.

<24> 또한, 층간 접속용 기둥상 전극의 각각의 횡단면적을 인출용 기둥상 전극의 각각의 횡단면적보다 크게 설정할 수 있기 때문에, 층간 접속용 기둥상 전극의 수를 인출용 기둥상 전극의 수에 비해 줄이는 것도 가능하다. 이로 인해 내부 전극층의 면적이 다수의 층간 접속용 기둥상 전극에 의해 감소되는 일이 없어져 충분한 정전 용량을 확보할 수 있다.

<25> 또한, 본 발명에 따른 적층 콘덴서에서는 인출용 기둥상 전극과 층간 접속용 기둥상 전극이 별개로 형성되기 때문에, 외부 전극으로부터 연장되는 길고 가느다란 스루홀을 형성할 필요가 없어 적층 콘덴서의 제조도 용이하다. 따라서, 적층 콘덴서의 제조 비용이 저감된다.

<26> 바람직하게는, 상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 횡단면적은 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 횡단면적보다 2 ~ 16배, 더욱 바람직하게는 4 ~ 8배 크다. 그 배수가 지나치게 작으면 본 발명의 작용 효과가 적고, 그 배수가 지나치게 크면 내부 전극의 면적이 감소되어 높은 정전 용량으로 하는 것이 어려워지므로 바람직하지 않다.

<27> 바람직하게는, 상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 외경은 150 ~ 200㎛이고,

<28> 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 외경은 50 ~ 80㎛이다. 층간 접속용 기둥상 전극의 외경이 지나치게 작으면 본 발명의 작용 효과가 적고, 지나치게 크면 내부 전극의 면적이 감소되어 높은 정전 용량으로 하는 것이 어려워지므로 바람직하지 않다. 또한, 인출용 기둥상 전극의 외경이 지나치게 작으면 접속 저항이 지나치게 커져 바람직하지 않으며, 그 외경이 지나치게 크면 좁은 피치에서의 외부 전극의 배치가 곤란해지는 경향이 있다.

<29> 바람직하게는, 상기 소자 본체의 제 1 단면에 대해 수직 방향에서 보아 상기 제 1 및 제 2 층간 접속용 기둥상 전극의 각각의 형성 위치는, 상기 제 1 및 제 2 인출용 기둥상 전극의 각각의 형성 위치에 대해 위치를 어긋나게 하여 형성되어 있다. 위치를 어긋나게 하여 형성함으로써 인출용 기둥상 전극의 외경과 층간 접속용 기둥상 전극의 외경을 다르게 하는 것이 가능해진다.

<30> 바람직하게는, 상기 제 1 외부 전극과 제 2 외부 전극은 상기 제 1 단면에서 서로 이웃하도록 행렬상으로 배치된다. 이와 같이 외부 전극을 행렬상으로 배치함으로써 제 1 외부 전극과 제 2 외부 전극에 서로 반대방향으로 흐르는 고주파 전류가 발생하여 자계를 서로 상쇄시키고 또한 저ESL화를 도모할 수 있다.

<31> 바람직하게는, 상기 제 1 층간 접속용 기둥상 전극과 제 2 층간 접속용 기둥상 전극은 상기 소자 본체의 내부에서 소자 본체의 측면을 따라 교대로 배치된다. 층간 접속용 기둥상 전극을 소자 본체의 측면을 따라 배치함으로써, 대부분의 내부 전극층에서 내부 전극층의 중앙부에는 스루홀을 형성할 필요가 없어져 캐패시터가 되는 전극층의 면적을 넓게 취하는 것이 가능해진다. 또한, 내부 전극층의 중앙부에 비해 그 주변부에서는 층간 접속용 기둥상 전극의 외경을 크게 하더라도 이들 전극간의 간격을 충분히 넓게 취하기 쉽다.

<32> 바람직하게는, 상기 제 1 단면에 가장 가까운 제 1 내부 전극층에는 상기 제 2 인출용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있고,

<33> 상기 제 1 단면에 가장 가까운 제 2 내부 전극층에는 상기 제 1 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있으며,

<34> 그 외의 제 1 내부 전극층에는 상기 제 2 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있고,

<35> 그 외의 제 2 내부 전극층에는 상기 제 1 층간 접속용 기둥상 전극과의 전기적 접속을 피하는 절연 홀 패턴이 형성되어 있다. 이와 같은 절연 홀 패턴을 형성함으로써 서로 다른 극성의 전극 간에서의 단락을 방지하는 것이 가능하다.

<36> 이하, 본 발명을 도면에 나타내는 실시형태에 기초하여 설명한다.

<37> 도 1 ~ 도 3에서 나타내는 바와 같이, 본 발명의 제 1 실시형태에 따른 적층 콘덴서(2)는 소자 본체(10)를 가지고, 소자 본체(10)에 있어서의 유전체층(4)의 적층 방향(Z축 방향)에 있어서의 일방의 제 1 단면(10a)에만 제 1 외부 단자(12) 및 제 2 외부 단자(14)가 행렬상으로 배열되어 있다. 소자 본체(10)에 있어서의 타방의 제 2 단면(10b) 및 4개의 측면(10c)에는 외부 단자(12 또는 14)가 형성되어 있지 않다.

<38> 소자 본체(10)의 내부에는 제 1 내부 전극층(6) 및 제 2 내부 전극층(8)이 유전체층(4)을 개재하여 교대로 적층되어 있다. 소자 본체(10)는 직방체 형상이며 유전체층(4)이 되는 세라믹 그린시트를 내부 전극층(6 및 8)이 되는 전극 페이스트층과 함께 복수매 적층한 것을 소성함으로써 얻어진다.

<39> 본 실시형태에서는, 도 3에 나타내는 소자 본체(10)의 종횡 치수(L1, L2)가, 예를 들어, 각각 10㎜이고, 또한 높이 치수(H)가, 예를 들어, 0.85㎜이다. 소자 본체(10) 내부에서는 도 1 및 도 2에 나타내는 바와 같이, 소정의 높이(Z축 방향) 위치에서 평면상으로 형성된 제 1 내부 전극층(6)이 배치되어 있다.

<40> 제 1 내부 전극층(6)의 하방에는 유전체층(4)을 개재하여 제 1 내부 전극층(6)과 마찬가지로 평면상으로 형성된 제 2 내부 전극층(8)이 형성되어 있다. 제 2 내부 전극층(8)의 하방에는 유전체층(4)을 개재하여 제 1 내부 전극층(6)이 형성되어 있다. 이와 같이 제 1 내부 전극층(6) 및 제 2 내부 전극층(8)이 소자 본체(2)의 내부에서 교대로 유전체층(4)을 개재하여 다수 적층되어 있다.

<41> 이들 제 1 내부 전극층(6) 및 제 2 내부 전극층(8)의 중심은 소자 본체(10)에 있어서의 XY 평면의 중심과 거의 같은 위치에 배치되어 있고, 또한 제 1 내부 전극층(6) 및 제 2 내부 전극층(8)의 종횡 치수는 대응하는 소자 본체(10)의 변의 길이보다 약간 작게 되어 있다. 따라서, 이들 제 1 내부 전극층(6) 및 제 2 내부 전극층(8)의

주변부는 소자 본체(10)의 측면(10c)으로부터 노출되지 않는 구조로 되어 있다.

<42> 도 1 및 도 2에 나타내는 바와 같이, 이들 내부 전극층(6, 8)과 직교하도록 교차하여 연장되는 방향(Z축 방향)으로 원기둥상의 제 1 인출용 기둥상 전극(16) 및 제 2 인출용 기둥상 전극(18)이 제 1 단면(10a) 근처에서 제 1 외부 전극(12) 및 제 2 외부 전극(14)에 대응하여 구비되어 있다. 제 1 외부 전극(12) 및 제 2 외부 전극(14)은 도 3에 나타내는 바와 같이, X축 및 Y축 방향으로 행렬상으로 배치되어 있으며 이들 외부 전극(12 및 14)은 X축 및 Y축 방향으로 서로 이웃하도록 배치되어 있다.

<43> 소자 본체(10)에 있어서의 Z축 방향의 가장 상부에 위치하는 유전체층(4)에는 도 2에 나타내는 바와 같이, 도 3에 나타내는 외부 전극(12 및 14)의 수에 대응하는 스루홀이 형성되고 그 내부에 제 1 및 제 2 인출용 기둥상 전극(16 및 18)이 형성된다. 도 1 및 도 2에 나타내는 바와 같이, 제 1 인출용 기둥상 전극(16)은 소자 본체(10)의 제 1 단면(10a)에 배치되어 있는 제 1 외부 전극(12)과 제 1 단면(10a)에 가장 가깝게 배치되어 있는 하나의 제 1 내부 전극층(6)을 접속하기 위한 스루홀 전극이다.

<44> 제 2 인출용 기둥상 전극(18)은 소자 본체(10)의 제 1 단면(10a)에 배치되어 있는 제 2 외부 전극(14)과 제 1 단면(10a)에 가장 가깝게 배치되어 있는 하나의 제 2 내부 전극층(8)을 접속하기 위한 스루홀 전극이다. 제 2 인출용 기둥상 전극(18)이 제 1 단면(10a)의 가장 가깝게 위치하는 제 1 내부 전극층(6)과 단락하는 것을 방지하기 위해 이 제 1 내부 전극층(6)에는 도 2에 나타내는 바와 같이, 제 2 인출용 기둥상 전극(18)과의 전기적 접속을 피하는 절연 홀 패턴(24)이 형성되어 있다.

<45> 제 1 단면(10a)에 가장 가까운 제 1 내부 전극층(6)의 Z축 방향의 하면에는 그 주위를 따라 복수의 제 1 층간 접속용 기둥상 전극(20)의 정점부가 접속되어 있다. 제 1 단면(10a)에 가장 가까운 제 2 내부 전극층(8)에는 제 1 층간 접속용 기둥상 전극(20)과 단락하는 것을 방지하기 위해 도 2에 나타내는 바와 같이, 절연 홀 패턴(26)이 형성되어 있다.

<46> 제 1 층간 접속용 기둥상 전극(20)은 소자 본체(10)의 내부에 적층되어 있는 모든 제 1 내부 전극층(6)의 상호간을 제 1 층간 스루홀을 통하여 접속하도록 되어 있으며, 제 2 내부 전극층(8)에 각각 형성되어 있는 절연 홀 패턴(26)을 통하여 제 2 내부 전극층(8)에는 접속되지 않도록 되어 있다.

<47> 본 실시형태에서는, 제 1 층간 접속용 기둥상 전극(20)은 제 1 단면(10a)에 가장 가까운 제 1 내부 전극층(6)의 Z축 방향의 하면에서 제 2 단면(10b)에 가장 가까운 제 2 내부 전극층(8)의 Z축 방향의 하면까지 연장되어 있으며 제 2 단면(10b)으로는 노출되지 않는다. 단, 본 발명에서는 제 1 층간 접속용 기둥상 전극(20)은 제 2 내부 전극층(8)에는 접속할 필요가 없기 때문에 제 2 단면(10b)에 가장 가까운 제 1 내부 전극층(6)까지 연장되어 있으면 되며, 반드시 Z축 방향의 최하단에 위치하는 제 2 내부 전극층(8)까지 연장되어 있을 필요는 없다. Z축 방향의 최하단에 위치하는 층이 제 1 내부 전극층(6)인 경우에는 그 위치까지 제 1 층간 접속용 기둥상 전극(20)의 하단이 연장된다.

<48> 제 1 단면(10a)에 가장 가까운 제 2 내부 전극층(8)의 Z축 방향의 하면에는 그 주위를 따라 복수의 제 2 층간 접속용 기둥상 전극(22)의 정점부가 접속되어 있다. 제 2 층간 접속용 기둥상 전극(22)은 소자 본체(20)의 내부에 적층되어 있는 모든 제 2 내부 전극층(8)의 상호간을 제 2 층간 스루홀을 통하여 접속하도록 되어 있으며, 제 1 내부 전극층(6)에 각각 형성되어 있는 절연 홀 패턴(28)을 통하여 제 1 내부 전극층(6)에는 접속되지 않도록 되어 있다.

<49> 본 실시형태에서는, 제 2 층간 접속용 기둥상 전극(22)은 제 1 단면(10a)에 가장 가까운 제 2 내부 전극층(8)의 Z축 방향의 하면에서 제 2 단면(10b)에 가장 가까운 제 2 내부 전극층(8)까지 연장되어 있으며 제 2 단면(10b)으로는 노출되지 않는다. 또한, 소자 본체(10)에서 Z축 방향의 최하단에 위치하는 층이 제 1 내부 전극층(6)인 경우에는 그 위치까지 제 2 층간 접속용 기둥상 전극(22)의 하단이 연장될 필요는 없다.

<50> 제 1 층간 접속용 기둥상 전극(20)의 횡단면적은 제 2 층간 접속용 기둥상 전극(22)의 횡단면적과 같은 정도이고, 제 1 인출용 기둥상 전극(16)의 횡단면적은 제 2 인출용 기둥상 면적(18)의 횡단면적과 같은 정도이다. 그리고, 제 1 및 제 2 층간 접속용 기둥상 전극(20, 22)의 각각의 횡단면적은 제 1 및 제 2 인출용 기둥상 전극(16, 18)의 각각의 횡단면적보다 2 ~ 16배 정도로 크다.

<51> 제 1 및 제 2 층간 접속용 기둥상 전극(20, 22)의 각각의 외경은 150 ~ 200㎛ 범위에서 결정되고, 제 1 및 제 2 인출용 기둥상 전극(16, 18)의 각각의 외경은 50 ~ 80㎛ 범위에서 결정된다.

<52> 본 실시형태에서는, 소자 본체(10)의 제 1 단면(10a)에 대해 수직 방향(Z축 방향)에서 보아 제 1 및 제 2 층간

접속용 기둥상 전극(20, 22)의 각각의 형성 위치는, 제 1 및 제 2 인출용 기둥상 전극(16, 18)의 각각의 형성 위치에 대해 위치가 어긋나 형성되어 있다.

<53> 본 실시형태에서는, 제 1 및 제 2 인출용 기둥상 전극(16, 18)은 제 1 단면(10a) 근처의 제 1 내부 전극층(6)의 중앙부에 행렬상으로 배치된다. 또한, 제 1 층간 접속용 기둥상 전극(20)과 제 2 층간 접속용 기둥상 전극(22)은 소자 본체(10)의 내부에서 소자 본체(10)의 측면(10c)을 따라 교대로 배치된다.

<54> 이들 기둥상 전극(16, 18, 20, 22)은 내부 전극층(6 및 8)을 전극 페이스트의 인쇄 등으로 형성할 때에 내부 전극층(6 및 8)과 마찬가지로 하여 형성하는 것이 가능하다.

<55> 본 실시형태에 따른 적층 콘덴서(2)에서는 제 1 외부 전극(12) 및 제 2 외부 전극(14)이 제 1 단면(10a)에 아일랜드상으로 배치되어 있기 때문에 저ESL화가 도모되어 전체 인덕턴스가 작아진다. 따라서, CPU의 고속화에 대응이 가능해지고, 특히 CPU용 전원의 전압 변동을 작게 할 수 있다. 즉, 본 실시형태에 따른 적층 콘덴서(2)는 CPU의 고속화에 대응가능한 평활용 콘덴서로서 바람직하게 이용하는 것이 가능해진다.

<56> 또한, 본 실시형태에 따른 적층 콘덴서(2)는 외부 전극(12, 14)에 접속하기 위한 인출용 기둥상 전극(16, 18)과 유전체층(4)의 층간에 존재하는 내부 전극층(6, 8)의 상호 간을 접속하는 층간 접속용 기둥상 전극(20, 22)을 별개로 형성하고 있다. 따라서, 층간 접속용 기둥상 전극(22, 22)의 각각의 횡단면적은 인출용 기둥상 전극(16, 18)의 각각의 횡단면적보다 크게 설정하는 것이 가능해진다. 그 결과 스루홀을 통한 적층 방향의 내부 전극층(6, 8) 상호 간의 접속 저항을 감소시킬 수 있다. 또한, 정전 용량을 높이기 위해 내부 전극층(6, 8)의 층 수가 증가한 경우에도, 복수의 내부 전극층(6, 8) 상호 간의 도통을 보다 확실하게 확보할 수 있어 적층 콘덴서(2)로서의 기능을 확실하게 발휘할 수 있다.

<57> 또한, 층간 접속용 기둥상 전극(20, 22)의 각각의 횡단면적을 인출용 기둥상 전극(16, 18)의 각각의 횡단면적보다 크게 설정할 수 있기 때문에 층간 접속용 기둥상 전극(20, 22)의 수를 인출용 기둥상 전극(16, 18)의 수에 비해 줄이는 것도 가능하다. 이 때문에 내부 전극층(6, 8)의 면적이 다수의 층간 접속용 기둥상 전극(22, 22)에 의해 감소되는 일이 없어져 충분한 정전 용량을 확보할 수 있다.

<58> 한편, 도시하는 실시형태에서는 층간 접속용 기둥상 전극(20, 22)의 총 수가 20개로 인출용 기둥상 전극(16, 18)의 총 수인 16개보다 많으나, 본 발명은 도시하는 예로 한정되지 않으며 줄이는 것이 가능하다. 예를 들어, 층간 접속용 기둥상 전극(20, 22)은 네 모서리마다 1개씩 배치하여 총 4개로 하는 것도 가능하다. 혹은 네 모서리마다 1개, 한 변의 중앙마다 1개, 총 8개의 층간 접속용 기둥상 전극(20, 22), 혹은 네 모서리마다 1개, 한 변마다 2개, 총 12개의 층간 접속용 기둥상 전극(20, 22)으로 하는 것도 가능하다.

<59> 또한, 본 실시 형태에 따른 적층 콘덴서(2)에는 인출용 기둥상 전극(16, 18)과 층간 접속용 기둥상 전극(20, 22)이 별개로 형성되어 있기 때문에, 외부 전극(12, 14)으로부터 연장되는 길고 가느다란 스루홀을 형성할 필요가 없어 적층 콘덴서(2)의 제조도 용이하다. 따라서, 적층 콘덴서(2)의 제조 비용이 저감된다.

<60> 또한, 본 실시예에서는, 제 1 외부 전극(12)과 제 2 외부 전극(14)이 제 1 단면(10a)에서 서로 이웃하도록 행렬상으로 배치되어 있기 때문에, 제 1 외부 전극(12)과 제 2 외부 전극(14)에 서로 반대 방향으로 흐르는 고주파 전류가 발생하여 자계를 서로 상쇄하고 또한 저ESL화를 도모할 수 있다.

<61> 또한, 제 1 층간 접속용 기둥상 전극(20)과 제 2 층간 접속용 기둥상 전극(22)은 소자 본체(10)의 내부에서 소자 본체(10)의 측면(10c)을 따라 교대로 배치된다. 따라서, 제 1 단면(10a) 근처에 위치하는 내부 전극층 이외의 모든 내부 전극층(6, 8)에서 내부 전극층(6, 8)의 중앙부에는 스루홀을 형성할 필요가 없어져 캐패시터가 되는 전극층(6, 8)의 면적을 넓게 취하는 것이 가능해진다. 또한, 내부 전극층(6, 8)의 중앙부에 비해 그 주변부에서는 층간 접속용 기둥상 전극(20, 22)의 외경을 크게 하더라도 이들 전극 간의 간격을 충분히 넓게 취하기 쉽다.

<62> 한편, 본 발명은 상술한 실시형태로 한정되는 것은 아니며, 본 발명의 범위 내에서 다양한 변형이 가능하다.

<63> 예를 들어, 외부 전극(12, 14)의 형성 개수는 특별히 한정되지 않으며, 행렬상으로 8×8, 총 64개 등이어도 된다.

발명의 효과

<64> 본 발명에 따르면 저ESL을 유지하면서 내부 전극층의 면적을 감소시키는 일 없이 스루홀을 통한 적층 방향의 내부 전극층 상호 간의 접속 저항을 감소시키는 것이 가능함과 함께 제조가 용이한 적층 콘덴서를 얻을 수 있다.

도면의 간단한 설명

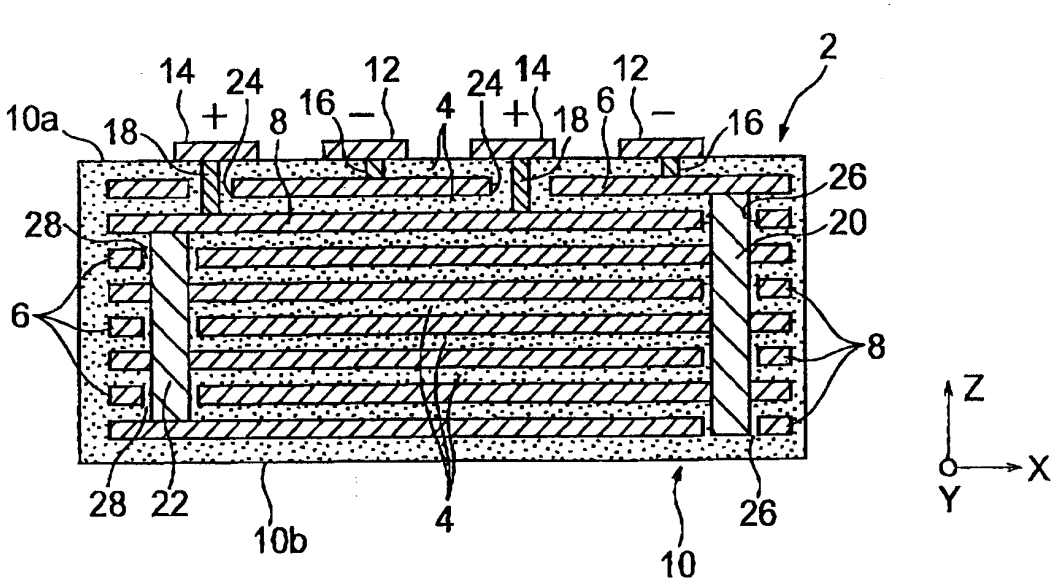
<1> 도 1은 본 발명의 제 1 실시형태에 따른 적층 콘덴서의 요부 단면도이다.

<2> 도 2는 도 1에 나타내는 적층 콘덴서의 분해 사시도이다.

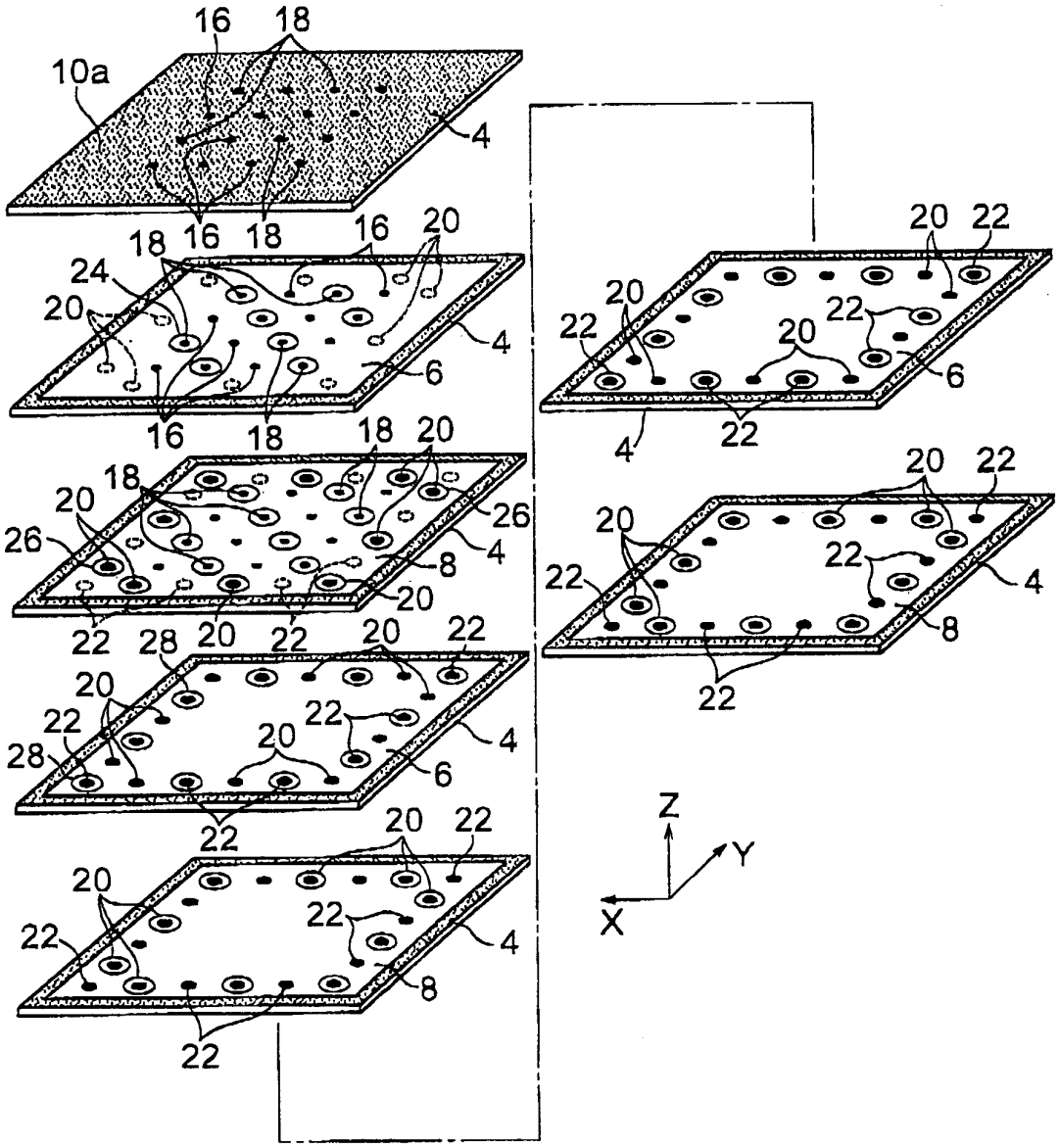
<3> 도 3은 도 1에 나타내는 적층 콘덴서의 개략 사시도이다.

도면

도면1



도면2



도면3

