

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/20 (2006.01)		(45) 공고일자	2006년08월08일
		(11) 등록번호	10-0609367
		(24) 등록일자	2006년07월28일
(21) 출원번호	10-2005-0034402	(65) 공개번호	10-2006-0067093
(22) 출원일자	2005년04월26일	(43) 공개일자	2006년06월19일
(30) 우선권주장	1020040105748	2004년12월14일	대한민국(KR)
(73) 특허권자	한국전자통신연구원 대전 유성구 가정동 161번지		
(72) 발명자	권성구 대전 유성구 신성동 두레아파트 106-807		
	조영균 전북 완주군 비봉면 내월리 243번지 3호 12통 1반		
	노태문 대전 유성구 신성동 한울아파트 107-202		
	김종대 대전 서구 관저동 대자연마을아파트 108-2105		
(74) 대리인	신영무		
(56) 선행기술조사문헌	JP05217992 A KR1020010029963 A KR1020050060982 A * 심사관에 의하여 인용된 문헌 KR1019980080778 A KR1020050060170 A		

심사관 : 여덕호

(54) S O I 기판의 제조방법

요약

본 발명은 실리콘 온 인슐레이터(Silicon On Insulator, 이하 'SOI'라 칭함) 기판의 제조방법에 관한 것으로, 제1 웨이퍼의 소정 깊이내 매립산화막층을 형성한 후 상기 제1 웨이퍼 상에 제1 산화막을 형성하는 단계와, 상기 제1 웨이퍼의 상면이 노출되도록 상기 제1 웨이퍼 상부의 제1 산화막을 제거한 후 노출된 상기 제1 웨이퍼의 상면에 반도체 에피막층 및 반도체 층을 순차적으로 형성하는 단계와, 상기 반도체층 상에 소정 두께의 제2 산화막이 형성된 제2 웨이퍼를 접합시키는 단계와, 상기 반도체층이 노출되도록 상기 제1 웨이퍼 하부의 제1 산화막, 상기 매립산화막층 하부의 제1 웨이퍼, 상기 매립산

화막층, 상기 반도체 에피막층과 상기 매립산화막층 사이의 제1 웨이퍼 및 상기 반도체 에피막층을 순차적으로 제거하는 단계를 포함함으로써, 공정이 비교적 단순하고 실시가 용이하며, 고품질의 균일하고 초박막의 특성을 가지는 SOI 기판을 제조할 수 있는 효과가 있다.

대표도

도 1j

색인어

나노 소자, 반도체, SOI, 실리콘웨이퍼, 매립산화막층, 산소이온, 반도체 에피막층

명세서

도면의 간단한 설명

도 1a 내지 도 1j는 본 발명의 일 실시예에 따른 SOI 기판의 제조방법을 설명하기 위한 단면도.

*** 도면의 주요 부분에 대한 부호 설명 ***

100 : 제1 실리콘웨이퍼, 110 : 매립산화막층,

120 : 제1 산화막, 130 : 반도체 에피막층,

140 : 반도체층, 200 : 제2 실리콘웨이퍼,

210 : 제2 산화막, 300 : 실리콘 질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 초고집적, 초고속 및 저전력 특성의 반도체 집적회로 구현에 있어서 핵심인 초박형 상부 실리콘막을 가진 실리콘 온 인슐레이터(Silicon On Insulator, 이하 'SOI'라 칭함) 기판의 제조방법에 관한 것으로, 보다 상세하게는 나노급 반도체 소자 제작에 필수적인 균일한 두께와 고품질의 양호한 계면 특성을 가지는 초박형 SOI 기판의 제조방법에 관한 것이다.

일반적으로, SOI 기판은 많은 전자소자를 집적화할 때 기존의 실리콘 기판이 가지고 있는 소자들 간의 불완전한 절연과 기생 정전 용량의 발생 등의 문제점을 해결할 수 있는 차세대 전자 소자의 기판으로 개발되어 왔다.

이러한 SOI 기판의 구조는 실리콘웨이퍼(Silicon Wafer) 상에 절연막이 있고, 이 상부에 다시 단결정 실리콘막이 존재하는 것을 말하며, 광의의 정의로는 하부의 기판과 절연막의 종류에 관계없이 최상부에 실리콘 단결정이 형성되어 있는 구조를 말한다.

이러한 SOI 기판의 제조기술은 1960년대 SOS(Silicon On Sapphire)의 연구로 시작되었으며, 초기에는 재결정화법(ZMR; Zone-Melting and Recrystallization), 다공질 실리콘 산화, 실리콘의 형면 에피택셜 성장법 등이 연구되었으나, 지속적인 기술경쟁과 시장의 선택에 따라 현재는 사이목스(SIMOX; Separation by IMplantation of OXYgen) 기술, 스마트 컷(smart cut)을 이용하는 UNIBOND 기술, ELTRAN(Epitaxial Layer TRANSfer) 기술 등이 주류를 이루고 있다.

상기 종래의 SIMOX 기술에 따르면, 먼저, 실리콘 내부로 산소를 약 $1\sim9\times10^{17}$ atoms/cm²로 주입시킨 후에 실리콘의 재결정화와 매몰 산화막의 안정화 및 결합제거를 위하여 약 1300 내지 1500℃의 고온에서 열처리(anneal) 및 산화를 실시한다.

그러나, 상기와 같이 종래의 SIMOX 기술은 두께가 균일하고 불순물의 농도가 낮은 실리콘 층을 제작하기 어렵고, 계면과 계면 부근의 높은 결함 밀도 및 조도 불량 등 소자에 불리한 영향을 끼치기는 문제점이 있다.

또한, 상기 종래의 UNIBOND 기술에 따르면, 먼저, 절연막을 형성시킨 실리콘웨이퍼에 수소이온을 주입한 다음, 또 다른 실리콘웨이퍼와 접합하여 후속 열처리 과정을 통해 수소이온 주입 웨이퍼에 이온 주입위치 밀부분이 떨어져 나감으로써 얇은 실리콘층을 형성하는 스마트 컷(smart cut) 방법을 이용함으로써, 다른 종래의 방법들에 비해 higher crystal quality, higher BOX quality, less surface roughness 및 low price process in thick film SOI 등의 효과를 기대할 수 있으나, 여전히 두께 균일도(thickness uniformity)가 부족함과 아울러 화학 기계적 연마(Chemical Mechanical Polishing, CMP) 등 여러 단계의 공정으로 인해 생산성이 낮아지는 문제점이 있다.

또한, 상기 종래의 엘트란(ELTRAN) 기술은 먼저, 실리콘웨이퍼 상에 다공질의 실리콘층을 형성시키고 그 상부에 다결정 실리콘층을 에피택셜(epitaxial)로 형성시킨 다음, 절연막을 형성시킨 실리콘웨이퍼와 접합한 후, 단결정을 형성시킨 웨이퍼의 실리콘웨이퍼 전부와 다공질 실리콘층을 연마 및 식각공정으로 제거함으로써 평탄한 실리콘층을 얻는 기술로서, 실리콘 막의 두께 제어가 비교적 용이하나, 기존의 CMOS 공정과의 정합성이 용이하지 않으며, 막질 저하, 입자 발생과 표면 조도 악화 및 신뢰성 문제 등으로 일부 응용에 한정되는 문제점이 있다.

상기와 같이 예컨대, UTB SOI CMOS 소자 제조에 사용되는 UTB SOI 기판 제조를 위한 종래의 기술들(SIMOX, UNIBOND 및 ELTRAN 등)은 두께 균일도, 결함밀도 및 수 nm급의 상부 실리콘 두께 제어 특성 등의 나노급 소자에서 요구되는 초박막 SOI 웨이퍼 규격을 완전히 만족시키지는 못하고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 나노급 반도체 소자 제작에 필수적인 균일한 두께와 고품질의 양호한 계면 특성을 가지는 초박형 SOI 기판의 제조방법을 제공하는데 있다.

전술한 목적을 달성하기 위하여 본 발명의 일 측면은, (a) 제1 웨이퍼의 소정 깊이로 매립산화막층을 형성한 후 상기 제1 웨이퍼 상에 제1 산화막을 형성하는 단계; (b) 상기 제1 웨이퍼의 상면이 노출되도록 상기 제1 웨이퍼 상부의 제1 산화막을 제거한 후 노출된 상기 제1 웨이퍼의 상면에 반도체 에피막층 및 반도체층을 순차적으로 형성하는 단계; (c) 상기 반도체층 상에 소정두께의 제2 산화막이 형성된 제2 웨이퍼를 접합시키는 단계; 및 (d) 상기 반도체층이 노출되도록 상기 제1 웨이퍼 하부의 제1 산화막, 상기 매립산화막층 하부의 제1 웨이퍼, 상기 매립산화막층, 상기 반도체 에피막층과 상기 매립산화막층 사이의 제1 웨이퍼 및 상기 반도체 에피막층을 순차적으로 제거하는 단계를 포함하는 SOI 기판의 제조방법을 제공하는 것이다.

여기서, 상기 단계(a)는, (a-1) 상기 제1 웨이퍼의 표면에 산소이온을 주입하여 상기 제1 웨이퍼의 소정 깊이로 상기 매립산화막층을 형성하는 단계; 및 (a-2) 상기 매립산화막층의 계면이 균일해짐과 아울러 거친 표면의 결함이 제거되도록 열처리 및 산화공정을 실시하여 상기 제1 웨이퍼의 표면에 상기 제1 산화막을 형성하는 단계를 포함함이 바람직하다.

바람직하게는, 상기 반도체 에피막층은 SiGe/Si 에피막으로 이루어지며, 상기 SiGe 에피막 내의 Ge 조성을 10 내지 80%로 형성한다.

바람직하게는, 상기 반도체층은 인장 실리콘층으로 열처리를 실시하여 형성한다.

바람직하게는, 상기 단계(c)에서, 상기 제2 웨이퍼를 접합시킨 후 그 접합면을 보호하기 위해 그 결과물의 전체 표면에 실리콘 질화막을 증착하는 단계를 더 포함한다.

바람직하게는, 상기 단계(d)에서, 상기 제1 웨이퍼 하부의 제1 산화막의 제거 시 상기 매립산화막층 하부의 제1 웨이퍼가 노출되도록 선택적으로 제거한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

도 1a 내지 도 1j는 본 발명의 일 실시예에 따른 SOI 기판의 제조방법을 설명하기 위한 단면도이다.

도 1a를 참조하면, 컨트롤 웨이퍼(control wafer)로 사용되는 제1 실리콘웨이퍼(100)의 표면에 소정의 산소이온(oxygen ion)(105)을 주입한다.

이때, 상기 산소이온(105)은 약 30 내지 200KeV 에너지범위에서 약 1 내지 $5 \times 10^{17 \sim 18}$ atoms/cm²로 주입함이 바람직하다.

도 1b를 참조하면, 실리콘을 재결정화시키고 결함을 제거하는 동시에 소정깊이에 매립산화막층(110)이 형성되도록 열처리 및 산화공정을 실시한다. 이때, 상기 주입된 산소이온(105)에 의해 상기 제1 실리콘웨이퍼(100)의 소정깊이에는 매립산화막층(110)이 형성되며, 전체 표면부에는 산화에 의해 약 50 내지 200nm 두께범위로 박스(box)형태의 제1 산화막(120)이 형성된다.

따라서, 상기 매립산화막층(110)의 계면이 균일해짐과 아울러 거친 표면의 결함이 제거된다. 즉, 상기 산화 분위기에서 열처리를 추가적으로 실시하면 표면의 결함이 상기 매립산화막층(110)의 계면으로 집중되어 계면 상태와 막질이 크게 개선될 수 있다. 이러한 산화 공정은 경우에 따라 생략될 수 있으며, 필요할 경우에는 결함을 낮추고 계면 조도를 개선하며, 상기 제1 실리콘웨이퍼(100)의 두께를 얇게 할 수 있는 방법으로 적극 활용될 수 있다.

또한, 상기 제1 산화막(120)의 형성에 의해 상기 제1 실리콘웨이퍼(100)의 두께가 1차적으로 얇아진다.

한편, 상기 열처리 공정은 약 1300℃ 내지 1500℃의 온도범위에서 실시됨이 바람직하다.

도 1c를 참조하면, 상기 제1 실리콘웨이퍼(100)의 상부가 노출되도록 상기 제1 실리콘웨이퍼(100)의 상부에 형성된 제1 산화막(120)을 제거한 후, 노출된 상기 제1 실리콘웨이퍼(100)의 상부에 반도체 에피막층(130) 및 반도체층(140)을 순차적으로 형성한다.

이때, 상기 반도체 에피막층(130)은 예컨대, SiGe/Si 에피막으로 이루어지며, 상기 SiGe 에피막 내의 Ge 조성을 10 내지 80%로 형성함이 바람직하다.

상기 반도체층(140)은 예컨대, 인장 실리콘(strained silicon)층으로 소정의 열처리를 실시하여 형성함이 바람직하다.

도 1d를 참조하면, 핸들 웨이퍼(handle wafer)로 사용되는 제2 실리콘웨이퍼(200)를 준비한다. 이때, 상기 제2 실리콘웨이퍼(200)의 전체 표면부에는 약 5 내지 1000nm 두께범위로 박스(box)형태의 제2 산화막(210)을 형성함이 바람직하다.

도 1e를 참조하면, 상기 제1 실리콘웨이퍼(100)의 반도체층(140)과 상기 제2 실리콘웨이퍼(200) 하부의 제2 산화막(210)을 통상의 웨이퍼 본딩(bonding) 방법(예컨대, 수소 본딩법 등)에 의해 서로 마주보도록 접합시킨다.

도 1f를 참조하면, 상기 제1 실리콘웨이퍼(100)와 상기 제2 실리콘웨이퍼(200)의 접합면 즉, 접합 후 드러나는 측벽을 보호하기 위해 상기 결과물의 전체 표면에 예컨대, 화학기상증착(Cheical Vapor Deposition, CVD) 방법 등을 이용하여 소정두께의 실리콘 질화막(300)을 증착한다.

도 1g를 참조하면, 상기 제1 실리콘웨이퍼(100) 하부의 제1 산화막(120)이 노출되도록 상기 제1 실리콘웨이퍼(100) 하부의 실리콘 질화막(300)을 선택적으로 제거한 후, 상기 매립산화막층(110) 하부의 제1 실리콘웨이퍼(100)가 노출되도록 상기 제1 실리콘웨이퍼(100) 하부의 제1 산화막(120)을 선택적으로 제거한다.

도 1h를 참조하면, 상기 매립산화막층(110)을 식각정지층으로 이용하여 상기 매립산화막층(110) 하부의 제1 실리콘웨이퍼(100)를 선택적으로 제거한 후, 상기 반도체 에피막층(130)과 상기 매립산화막층(110) 사이의 제1 실리콘웨이퍼(100)가 노출되도록 상기 매립산화막층(110)을 예컨대, 습식 식각법에 의해 제거한다.

도 1i를 참조하면, 상기 남아있는 실리콘 질화막(300)을 완전히 제거한 후, 상기 반도체 에피막층(130)이 노출되도록 상기 반도체 에피막층(130)과 상기 매립산화막층(110) 사이의 제1 실리콘웨이퍼(100)를 선택적으로 제거한다.

이때, 상기 제1 실리콘웨이퍼(100)는 예컨대, 화학 기계적 연마(CMP), 습식 또는 건식 식각법에 의해 제거함이 바람직하다.

도 1j를 참조하면, 상기 반도체층(140)이 노출되도록 상기 반도체 에피막층(130)을 제거한다. 이때, 상기 반도체 에피막층(130)은 상기 반도체층(140)에 대해 식각선택성이 큰 식각용액(예컨대, SC-1 용액 등)을 사용하여 제거함이 바람직하다.

한편, 상기 노출된 반도체층(140)의 조도 개선 및 박막화하기 위하여 화학기계적 연마(CMP), 수소 열처리 또는 플라즈마 수소 열처리 방법 등을 실시함이 바람직하다.

전술한 본 발명에 따른 SOI 기판의 제조방법에 대한 바람직한 실시예에 대하여 설명하였지만, 본 발명은 이에 한정되는 것이 아니고 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명에 속한다.

발명의 효과

이상에서 설명한 바와 같은 본 발명의 SOI 기판의 제조방법에 따르면, 나노급 반도체 소자 제작에 필수적인 균일한 두께와 고품질의 양호한 계면 특성을 가지는 초박형 SOI 기판을 제공할 수 있는 이점이 있다.

또한, 본 발명에 따르면, 기존에 실시되고 있는 기술을 활용하고, 고비용의 화학기계적 연마(CMP)공정 등이 사용되지 않을 수 있기 때문에 공정이 비교적 단순하고 실시가 용이한 이점이 있다.

또한, 본 발명에 따르면, 나노급 반도체 소자, 차세대 신소자 연구, 초고성능 회로 및 시스템 설계 제작과 이를 응용한 제품의 실용화를 앞당기는데 기여할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

- (a) 제1 웨이퍼의 소정 깊이로 매립산화막층을 형성한 후 상기 제1 웨이퍼 상에 제1 산화막을 형성하는 단계;
- (b) 상기 제1 웨이퍼의 상면이 노출되도록 상기 제1 웨이퍼 상부의 제1 산화막을 제거한 후 노출된 상기 제1 웨이퍼의 상면에 반도체 에피막층 및 반도체층을 순차적으로 형성하는 단계;
- (c) 상기 반도체층 상에 소정 두께의 제2 산화막이 형성된 제2 웨이퍼를 접합시키는 단계; 및
- (d) 상기 반도체층이 노출되도록 상기 제1 웨이퍼 하부의 제1 산화막, 상기 매립산화막층 하부의 제1 웨이퍼, 상기 매립산화막층, 상기 반도체 에피막층과 상기 매립산화막층 사이의 제1 웨이퍼 및 상기 반도체 에피막층을 순차적으로 제거하는 단계를 포함하는 SOI 기판의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 단계(a)는,

(a-1) 상기 제1 웨이퍼의 표면에 산소이온을 주입하여 상기 제1 웨이퍼 내의 소정깊이에 상기 매립산화막층을 형성하는 단계; 및

(a-2) 상기 매립산화막층의 계면이 균일해짐과 아울러 거친 표면의 결함이 제거되도록 열처리 및 산화공정을 실시하여 상기 제1 웨이퍼의 표면에 상기 제1 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 3.

제 2 항에 있어서, 상기 산소이온은 30 내지 200KeV 에너지범위에서 1 내지 $5 \times 10^{17 \sim 18}$ atoms/cm²로 주입하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 4.

제 2 항에 있어서, 상기 열처리는 1300 내지 1500℃의 온도범위에서 실시하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 5.

제 1 항에 있어서, 상기 반도체 에피막층은 SiGe/Si 에피막으로 이루어지며, 상기 SiGe 에피막 내의 Ge 조성을 10 내지 80%로 형성하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 6.

제 1 항에 있어서, 상기 반도체층은 인장 실리콘층으로 열처리를 실시하여 형성하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 7.

제 1 항에 있어서, 상기 단계(c)에서, 상기 제2 웨이퍼를 접합시킨 후 그 접합면을 보호하기 위해 그 결과물의 전체 표면에 실리콘 질화막을 증착하는 단계를 더 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 8.

제 7 항에 있어서, 상기 실리콘 질화막을 증착한 후 상기 제1 웨이퍼 하부의 실리콘 질화막을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 9.

제 1 항에 있어서, 상기 단계(d)에서, 상기 제1 웨이퍼 하부의 제1 산화막의 제거 시 상기 매립산화막층 하부의 제1 웨이퍼가 노출되도록 선택적으로 제거하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 10.

제 1 항에 있어서, 상기 단계(d)에서, 상기 매립산화막층 하부의 제1 웨이퍼의 제거 시 상기 매립산화막층을 식각정지층으로 이용하여 선택적으로 제거하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 11.

제 1 항에 있어서, 상기 단계(d)에서, 상기 매립산화막층의 제거 시 상기 반도체 에피막층과 상기 매립산화막층 사이의 제 1 웨이퍼가 노출되도록 선택적으로 제거하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 12.

제 1 항에 있어서, 상기 단계(d)에서, 상기 반도체 에피막층과 상기 매립산화막층 사이의 제 1 웨이퍼의 제거 시 상기 반도체 에피막층이 노출되도록 선택적으로 제거하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 13.

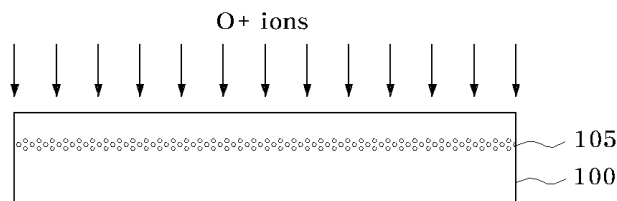
제 1 항에 있어서, 상기 단계(d)에서, 상기 반도체 에피막층의 제거 시 상기 반도체층이 노출되도록 상기 반도체층에 대해 식각선택성이 큰 식각용액을 사용하여 제거하는 것을 특징으로 하는 SOI 기판의 제조방법.

청구항 14.

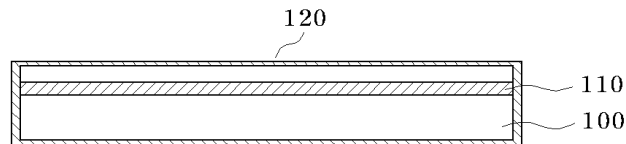
제 1 항에 있어서, 상기 단계(d)에서, 상기 노출된 반도체층의 조도 개선 및 박막화하기 위하여 화학기계적 연마(CMP) 또는 수소 열처리 방법을 실시하는 것을 특징으로 하는 SOI 기판의 제조방법.

도면

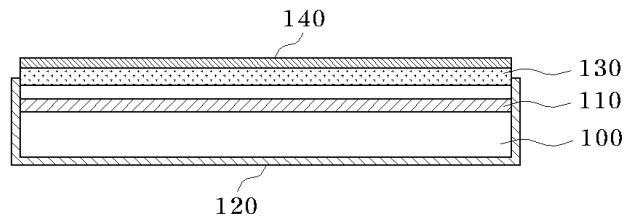
도면1a



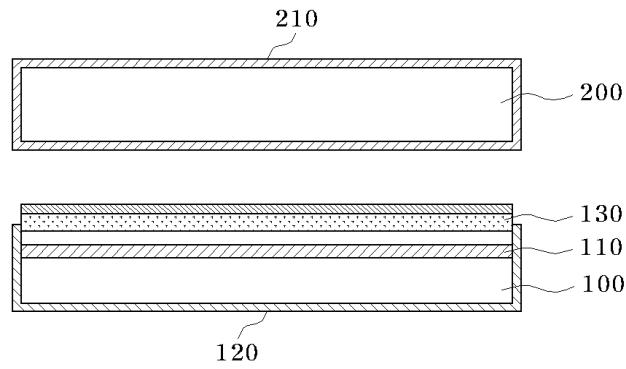
도면1b



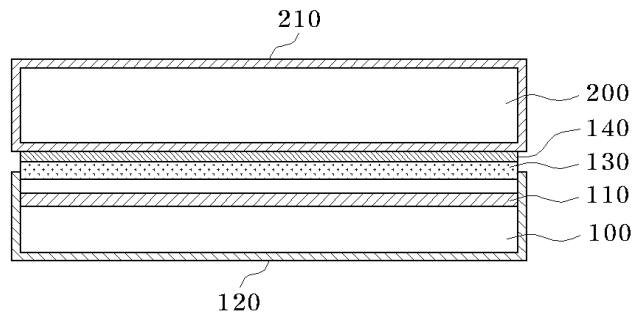
도면1c



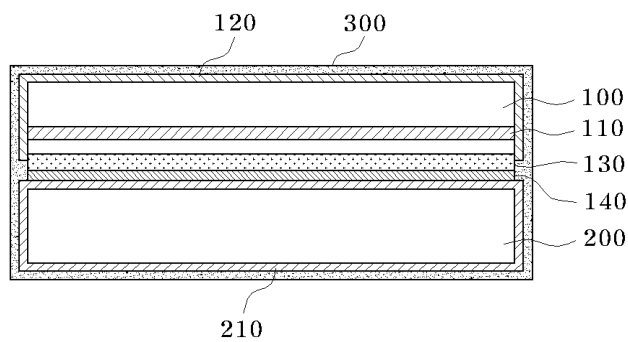
도면1d



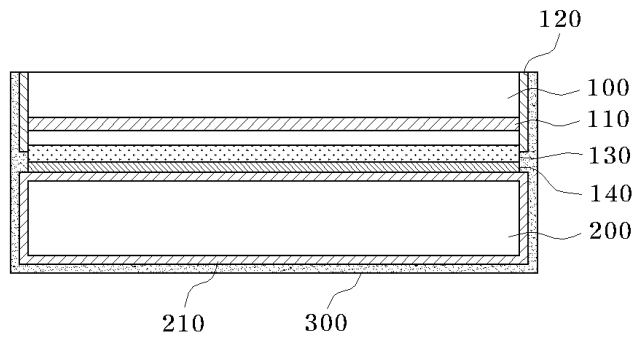
도면1e



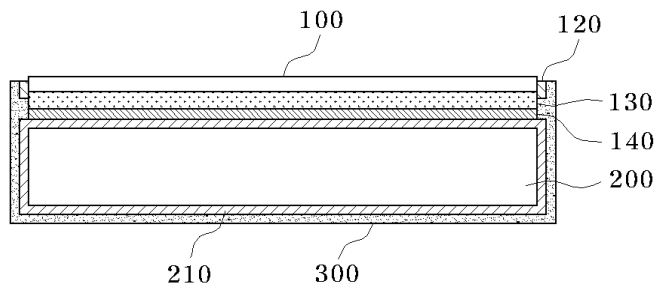
도면1f



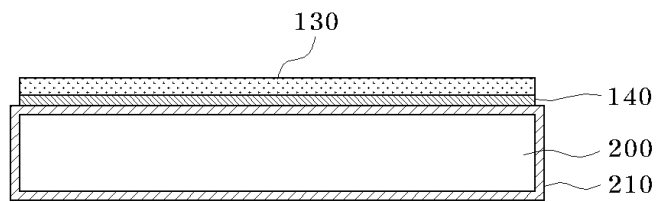
도면1g



도면1h



도면1i



도면1j

