



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월02일
(11) 등록번호 10-0762390
(24) 등록일자 2007년09월20일

(51) Int. Cl.

H01L 21/31(2006.01) H01L 27/115(2006.01)

(21) 출원번호 10-2006-0074526

(22) 출원일자 2006년08월08일

심사청구일자 2006년08월08일

(56) 선행기술조사문헌

KR1020060011478 A

(뒷면에 계속)

(73) 특허권자

세종대학교산학협력단

서울 광진구 군자동 98 세종대학교

(72) 발명자

이원준

서울 마포구 염리동 521 엘지마포자이아파트
108-304

(74) 대리인

김인한, 김희곤

전체 청구항 수 : 총 4 항

심사관 : 권인희

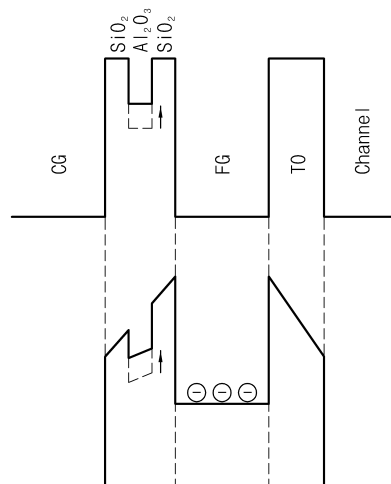
(54) 다층 절연박막

(57) 요약

본 발명은 플래시 메모리 셀의 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 형성되는 다층 절연박막의 구조에 관한 것으로, 특히 상기 다층 절연박막에 유전율, 밴드갭 및 전자에 대한 에너지 장벽이 큰 고유전율 절연박막을 포함하도록 함으로써, 상기 다층 절연박막의 두께를 줄이더라도 전자의 터널링 발생을 최소화하여 불필요한 누설 전류 발생을 억제할 수 있는 플래시 메모리 셀의 다층 절연박막의 구조에 관한 것이다.

본 발명의 플래시 메모리 셀에서의 다층 절연박막의 구조를 이루는 구성수단은, 플래시 메모리 소자의 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 형성되는 다층 절연박막의 구조에 있어서, 상기 다층 절연박막은 높은 유전상수를 가지는 고유전율 절연박막과 적어도 하나의 다른 절연박막을 포함하여 이루어진 것을 특징으로 한다.

대표도 - 도4



(56) 선행기술조사문헌

KR1020060039649 A

KR1020060058812 A

US20020190311 A1

특허청구의 범위

청구항 1

플래시 메모리 소자의 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 형성되는 다층 절연박막에 있어서,
상기 다층 절연박막은 실리케이트박막, 고유전율 절연박막 및 SiO_2 박막으로 구성되는 것을 특징으로 하는 다층 절연박막.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

청구항 1에 있어서,

상기 실리케이트(silicate) 박막은 AlSi_xO_y , LaSi_xO_y , HfSi_xO_y , ZrSi_xO_y 중 어느 하나가 적층되어 형성되는 것을 특징으로 하는 다층 절연박막.

청구항 14

청구항 13에 있어서,

상기 실리케이트(silicate) 박막은 5nm ~ 30nm 사이의 범위인 것을 특징으로 하는 다층 절연박막.

청구항 15

청구항 14에 있어서,

상기 실리케이트(silicate) 박막은 화학기상증착법(CVD), 원자층증착법(ALD) 및 어닐링법(annealing) 중 어느 하나를 사용하여 형성되는 것을 특징으로 하는 다층 절연박막.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <7> 본 발명은 플래시 메모리 셀의 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 형성되는 다층 절연박막의 구조에 관한 것으로, 특히 상기 다층 절연박막에 유전율, 밴드갭 및 전자에 대한 에너지 장벽이 큰 고유전율 절연박막을 포함하도록 함으로써, 상기 다층 절연박막의 두께를 줄이더라도 전자의 터널링 발생을 최소화하여 불필요한 누설전류 발생을 억제할 수 있는 플래시 메모리 셀의 다층 절연박막의 구조에 관한 것이다.
- <8> DRAM이나 SRAM과는 달리 시스템의 전원이 꺼져도 데이터의 손실이 없는 반도체 메모리를 비휘발성 메모리(nonvolatile memory, NVM)라 부르는데 가장 대표적인 것이 바로 플래시 메모리(flash memory)이다.
- <9> 상기 플래시 메모리는 1984년 IEDM에 게재된 Toshiba의 논문에서 최초로 소개된 이래 지속적으로 발전해 오다가 21세기 모바일 시대를 맞이하여 가장 빠르게 성장하는 반도체 소자가 되었다.
- <10> 플래시 메모리 시장이 급격하게 성장하는 것은 모바일 기기의 사용이 늘어나면서 기억매체의 소형화 및 저전력화가 요구되기 때문이다. 비휘발성 메모리 소자인 플래시 메모리는 플로피 디스크, 하드 디스크 등과 비교하여 소형, 경량, 저전력소모를 실현할 수 있는 장점이 있어서 휴대폰, 디지털 카메라, mp3 플레이어, USB drive, 자동차 네비게이션 시스템 등 여러 모바일 기기의 기억장치로 사용되고 있다.
- <11> 상기 플래시 메모리에는 Fujitsu와 Intel이 제공하고 있는 NOR형 제품과 삼성전자와 Toshiba가 주도하는 NAND형 제품이 있다. 상기 NOR형 플래시 메모리 제품은 기억주소를 빠른 시간 내에 임의로 액세스(access)할 수 있는 장점으로 인해 휴대전화, PC bios, set top box등에 사용되고 있다.
- <12> 상기 NAND형 플래시 메모리는 데이터를 쓰고 지우는 시간이 빠른 대신 block address단위로 액세스(access)가 가능하여서 데이터를 저장하고 있는 매체로 사용되고 있다.
- <13> 상기 NAND형 플래시 메모리의 셀(flash memory cell) 구조와 상기 NOR형 플래시 메모리의 셀(flash memory cell) 구조는 유사하다. 그리고, 고집적 소자를 제조하는 데 있어서 발생하는 문제점들 역시 매우 유사하다. 따라서, 이하에서는 NAND형 플래시 메모리의 셀(flash memory cell) 구조와 그 문제점을 살펴본다.
- <14> 도 1은 NAND형 플래시 메모리 셀(flash memory cell)의 단면도이다.
- <15> 도 1에 도시된 바와 같이, 플래시 메모리 셀은 실리콘 기판(1)과 컨트롤 게이트(control gate : CG)(5) 사이에 플로팅 게이트(floating gate : FG)(3)를 끼운 2층 poly-Si gate 구조로 되어 있다.
- <16> 상기 실리콘 기판(1)의 채널(channel)부 바로 위에는 게이트 절연막(2)이 형성되어 있다. 이 게이트 절연막(2)은 플래시 셀(flash cell)에 정보를 프로그래밍(programming) 하거나 이레이징(erasing)을 할 때, hot carrier injection이나 F-N tunneling으로 이용되므로 보통 tunneling oxide(TO)(2)라고 부르며 10 nm 가량의 SiO₂ 열산화막이 적층되어 형성된다.
- <17> 상기 플래시 메모리 셀의 플로팅 게이트(FG)(3)와 컨트롤 게이트(CG)(5) 사이에도 절연막(4)이 형성된다. 이 절연막은 보통 interpoly dielectric (IPD)(4)라고도 한다. 또한, 다층으로 구성되기 때문에 다층 절연박막(4)이라고 한다.
- <18> 도 2에 도시된 바와 같이, 상기 다층 절연박막(4)은 oxide(4a) - nitride(4b) - oxide(4c)로 적층되는 ONO의 3

층 구조로 되어 있다. 여기서 플로팅 게이트(FG)(3)에 들어간 전하는 Si-SiO₂ 계면에 형성되는 electron energy barrier 덕분에 상기 플로팅 게이트(FG)(3)에 장기간 저장되기 때문에 비휘발성 메모리의 특성을 갖게 된다.

<19> 그런데, 최근 다른 반도체 소자들과 마찬가지로 플래시 메모리 역시 최소 선폭 100nm급 이하로 초고집적화 됨에 따라 여러 가지 문제점이 발생하고 있는데 그 중 가장 심각한 문제점 중 하나는 다층 절연박막의 두께가 얇아지면서 누설전류가 증가해 장기간 정보 저장이 어려워지는 것이다. 즉, 상기 다층 절연박막의 두께가 얇아지게 되면, 도 2에 도시된 바와 같이, 의도하지 않은 전하 이동에 따라 누설전류가 발생한다.

<20> 현재 interpoly dielectric(IPD)(또는 다층 절연박막)로는 대부분 oxide/nitride/oxide(ONO) 다층 절연박막을 사용하고 있고 100nm 급 소자의 경우에는 equivalent oxide thickness(EOT)가 15nm 정도이다.

Year of production	2004	2007	2010	2013	2016
Flash technology node (nm)	90	65	45	32	22
Flash NOR interpoly dielectric thickness (EOT-nm)	13-15	10-12	8-10	8-10	6-8
Flash NAND interpoly dielectric thickness (EOT-nm)	13-15	10-13	10-13	9-10	9-10
Flash interpoly dielectric thickness control EOT (%3σ)	<±6	<±6	<±5	<±5	<±5
Flash interpoly dielectric T _{max} of formation t>5'<5'(°C)	750/900	700/850	650/800	650/800	600/700
Flash interpoly dielectric conformality on floating gate EOTmin/EOTmax	>0.95	>0.98	>0.98	>0.98	>0.98

<21> 그러나 상기 표 1에 나타난 것과 같이, 향후 65nm급 이후의 소자에서는 EOT가 10nm 이하로 되는 것을 요구하고 있기 때문에, 다층 절연박막인 ONO막의 두께를 지속적으로 줄여야 한다. 그러나 상기 다층 절연박막의 물리적 두께가 너무 얇아지면 양자역학적인 전자의 터널링에 의한 누설전류가 커져서 플래시 메모리의 정보 저장 특성이 나빠지게 된다.

<23> 따라서 다층 절연박막인 IPD의 두께를 줄이는 것과 동시에 고유전상수 (high-K) 물질의 도입이 필요하다. 그러나 대부분의 고유전 상수(high-K) 물질들은 SiO₂에 비해서 밴드갭(bandgap)이 작고 전자에 대한 에너지 장벽(ΔE_c)이 낮기 때문에 고유전 상수(high-K)를 가지는 박막으로만 절연박막(IPD)을 사용한다면 도 3에 도시된 바와 같이, 전자의 터널링이 쉽게 일어나기 때문에 누설전류가 커져 플래시 메모리의 리텐션(retention) 특성이 나빠질 것이 우려된다.

발명이 이루고자 하는 기술적 과제

<24> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 창안된 것으로, 다층 절연박막에 유전율, 밴드갭 및 전자에 대한 에너지 장벽이 큰 고유전율 절연박막을 포함하도록 함으로써, 상기 다층 절연박막의 두께를 줄더라도 전자의 터널링 발생을 최소화하여 불필요한 누설전류 발생을 억제할 수 있는 플래시 메모리 셀의 다층 절연박막의 구조를 제공하는 것을 그 목적으로 한다.

발명의 구성 및 작용

<25> 상기와 같은 기술적 과제를 달성하기 위하여 제안된 본 발명인 플래시 메모리 셀에서의 다층 절연박막의 구조를 이루는 구성수단은, 플래시 메모리 소자의 플로팅 게이트(FG)와 컨트롤 게이트(CG) 사이에 형성되는 다층 절연박막의 구조에 있어서, 상기 다층 절연박막은 높은 유전상수를 가지는 고유전율 절연박막과 적어도 하나의 다른 절연박막을 포함하여 이루어진 것을 특징으로 한다.

<26> 또한, 상기 다층 절연박막은 SiO₂ 박막, 고유전율 절연박막 및 SiO₂ 박막으로 구성되는 것을 특징으로 한다.

<27> 또한, 상기 다층 절연박막은 고유전율 절연박막과 SiO₂ 박막으로 구성되는 것을 특징으로 한다.

- <28> 또한, 상기 다층 절연박막은 Si_3N_4 박막, 고유전율 절연박막 및 SiO_2 박막으로 구성되는 것을 특징으로 한다.
- <29> 또한, 상기 다층 절연박막은 실리케이트(silicate) 박막, 고유전율 절연박막 및 SiO_2 박막으로 구성되는 것을 특징으로 한다.
- <30> 또한, 상기 고유전율 절연박막은 Al_2O_3 , La_2O_3 , HfO_2 , ZrO_2 중 어느 하나를 적층하여 형성되는 것을 특징으로 하고, 상기 고유전율 절연박막의 두께는 5nm ~ 50nm 사이의 범위이고, 원자층증착법(ALD)을 이용하여 형성되는 것이 바람직하다.
- <31> 또한, 상기 SiO_2 박막의 두께는 5nm ~ 15nm 사이의 범위인 것을 특징으로 하고, 상기 SiO_2 박막은 화학기상증착법(CVD), 원자층증착법(ALD), 열산화법 및 플라즈마 산화법 중 어느 하나를 사용하여 형성되는 것이 바람직하다.
- <32> 또한, 상기 Si_3N_4 박막의 두께는 5nm ~ 30nm 사이의 범위인 것을 특징으로 하고, 상기 Si_3N_4 박막은 화학기상증착법(CVD), 원자층증착법(ALD), 열산화법 및 플라즈마 산화법 중 어느 하나를 사용하여 형성되는 것이 바람직하다.
- <33> 또한, 상기 실리케이트(silicate) 박막은 AlSixOy , LaSixOy , HfSixOy , ZrSixOy 중 어느 하나가 적층되어 형성되는 것을 특징으로 한다. 그리고, 상기 실리케이트(silicate) 박막은 5nm ~ 30nm 사이의 범위이고, 상기 실리케이트(silicate) 박막은 화학기상증착법(CVD), 원자층증착법(ALD) 및 어닐링법(annealing) 중 어느 하나를 사용하여 형성되는 것이 바람직하다.
- <34> 이하, 첨부된 도면을 참조하여 상기와 같은 구성수단으로 이루어져 있는 본 발명인 플래시 메모리에서의 다층 절연박막 구조에 관한 바람직한 실시예를 상세하게 설명한다.
- <35> 본 발명에서는 플래시 메모리의 IPD(또는 다층 절연 박막)를 기존 ONO 구조에서 사용되던 박막에 비해 유전상수, 밴드갭(bandgap) 및 전자에 대한 에너지 장벽(DE_c) 측면에서 장점이 큰 고유전율 절연박막을 포함하도록 구성하여, 기존 방법과 같이, ONO 박막의 두께를 줄여 원하는 EOT 값을 얻는 것에 비해 우수한 특성을 갖는 플래시 메모리를 제공할 수 있도록 한다.
- <36> 본 발명인 다층 절연박막의 구조는 플래시 메모리 셀의 플로팅 게이트와 컨트롤 게이트 사이에 형성되는 구조이다. 상기 다층 절연박막은 높은 유전상수를 가질뿐 아니라, 밴드갭도 크고 전자에 대한 에너지 장벽도 큰 고유전율 절연박막과 적어도 하나의 다른 절연박막(SiO_2 등)을 포함하여 이루어진다.
- <37> 제1 실시예에 따른 상기 다층 절연 박막의 구조는 도 4에 도시된 바와 같다.
- <38> 도 4에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 다층 절연박막은 SiO_2 박막과 유전상수, 밴드갭 및 전자에 대한 에너지 장벽이 큰 고유전율 절연박막 및 SiO_2 박막을 순차적으로 적층되어 형성된다. 즉, 고유전상수(high-K)를 가지는 고유전율 절연박막의 상부 및 하부 모두에 SiO_2 박막을 적층하여 전자의 터널링을 억제한다.
- <39> 이와 같은 구조로 다층 절연박막을 형성함으로써, 동일한 EOT 값에 대해서 기존의 ONO 구조에 비해 물리적 두께가 증가되고, 전자에 대한 에너지 장벽의 높이도 증가됨으로 누설전류 특성이 향상된다.
- <40> 제2 실시예에 따른 상기 다층 절연 박막의 구조는 도 5에 도시된 바와 같다.
- <41> 도 3에 도시된 제1 실시예에 따른 다층 절연박막은 고유전상수(high-K)를 가지는 고유전율 절연박막 위 아래에 SiO_2 박막을 적층함으로써, 전자에 대한 에너지 장벽의 높이를 높여주는 역할을 한다.
- <42> 그러나 SiO_2 박막의 유전상수는 상대적으로 작기 때문에, 이 SiO_2 박막의 두께를 증가할수록 EOT 감소라는 요청에 부응하지 못한다.
- <43> 따라서 제2 실시예를 설명하기 위한 도 5에 도시된 바와 같이, 플로팅 게이트(floating gate) 위에 SiO_2 박막 없이 고유전상수(high-K)를 가지는 고유전율 절연박막을 형성하고 그 위에 SiO_2 박막을 형성한다. 이와 같은 2층 구조의 다층 절연박막 구조(IPD 구조)는 도 4에 도시된 제1 실시예에 비해 EOT 감소가 쉽고 제조공정이 단순한 장점이 있다.

- <44> 제3 실시예에 따른 상기 다층 절연 박막의 구조는 도 6에 도시된 바와 같다.
- <45> 상기 도 5에 도시된 본 발명의 제2 실시예에 따르면, 플로팅 게이트(floating gate)와 고유전상수(high-K)를 가지는 고유전율 절연박막이 직접 접촉되어 있다. 상기 플로팅 게이트(Floating gate) 물질로는 현재 poly-Si이 사용되고 있는데, 상기 플로팅 게이트 물질인 Si와 고유전상수(high-K)를 가지는 고유전율 절연박막과의 반응이 일어나게 되면, 고유전율 절연박막보다 유전율이 작은 실리케이트(silicate)가 형성되어 유전율이 감소하고, EOT가 증가하게 된다.
- <46> 따라서, 고유전상수(high-K)를 가지는 고유전율 절연박막과 플로팅 게이트 물질인 Si의 사이에 계면반응을 억제하는 것이 필요하다. 결국, 본 발명의 제3 실시예를 설명하기 위한 도 6에 도시된 바와 같이, 확산 방지막으로 동작하는 Si_3N_4 를 플로팅 게이트 위에 형성시키는 것이 바람직하다.
- <47> 한편, 본 발명의 제4 실시예에 따른 다층 절연박막의 구조로써, 상기 다층 절연박막을 실리케이트(silicate) 박막, 고유전율 절연박막 및 SiO_2 박막을 순차적으로 적층하여 형성할 수도 있다.
- <48> 이상에서 설명한 바와 같이, 본 발명에서는 다층 절연박막에 고유전율 절연 박막을 포함시킨다. 상기 고유전율 절연박막은 고유전상수를 가질뿐 아니라, 밴드갭(bandgap)(E_g) 및 전자에 대한 에너지 장벽(Φ)이 모두 크다.

Material	Dielectric constant K	Band gap E_g (eV)	ΔE_c to Si (eV)	ΔH_F (eV/O atom)
SiO_2	3.9	9	3.5	-4.68
Si_3N_4	7.6	5.3	2.4	-
Al_2O_3	9	8.8	2.8	-5.76
Y_2O_3	13-17	5.5	1.3	-4.93
La_2O_3	21	6.0	2.3	-
HfO_2	22	5.7	1.5	-5.77
ZrO_2	25	5.0	1.4	-5.66
Ta_2O_5	25	4.4	0.3	-2.09
TiO_2	80	3.0	0.0	-4.86
HfSi_xO_y	6.4 - 12	~6	1.5	-5.24
ZrSi_xO_y	8 - 12	4.4	0.8 - 1.5	-5.21

*Source: J.D. Caspersen, *Ph.D Thesis*, CalTech, 2004

- <49>
- <50> 상기 고유전율 절연박막은 상기 표 2(여러 가지 유전물질의 특성 비교표)에 도시된 재료 중에, Al_2O_3 , La_2O_3 , HfO_2 , ZrO_2 중 어느 하나를 사용하여 형성한다. 이와 같은 물질들은 상대적으로 고유전율을 가지고, 밴드갭 및 전자에 대한 에너지 장벽(Φ)도 큼을 알 수 있다.
- <51> 특히, 고유전상수(high-K)를 가지는 여러 물질 중에서 Al_2O_3 는 Si_3N_4 에 비해서 유전상수(K), bandgap(E_g) 및 전자에 대한 에너지 장벽이 모두 크다. 또한 La_2O_3 는 Si_3N_4 에 비해서 밴드갭(bandgap) 및 ΔE_c 가 크거나 비슷한 수준이고 유전상수는 약 3배이다. HfO_2 , ZrO_2 역시 Si_3N_4 에 비해 밴드갭(bandgap) 및 ΔE_c 가 비슷하거나 약간 작은 수준이고 유전상수는 3배 이상이다.
- <52> 상기와 같은 특성을 가지는 고유전율 절연박막의 두께는 5nm ~ 50nm 사이의 범위로 형성되는 것이 바람직하다. 이 고유전율 절연박막을 형성하기 위해서는 원자층증착법(ALD)을 사용하는 것이 바람직하다.
- <53> 한편, 각 실시예에서 다층 절연박막에 포함되는 SiO_2 박막의 두께는 5nm ~ 15nm 사이의 범위로 형성하는 것이 바람직하고, 이 SiO_2 박막은 화학기상증착법(CVD), 원자층증착법(ALD), 열산화법 및 플라즈마 산화법 중 어느 하나를 사용하여 형성될 수 있다. 상기 SiO_2 박막의 두께는 플래시 메모리 셀의 다층 절연박막이 우수한 EOT 및 리텐션(retention) 특성을 가지도록 조정된다.
- <54> 또한, 본 발명의 제3 실시예에 따라, 상기 다층 절연 박막에 Si_3N_4 박막을 포함하는 경우에, 상기 Si_3N_4 박막의

두께는 5nm ~ 30nm 사이의 범위로 형성하는 것이 바람직하고, 상기 Si_3N_4 박막은 화학기상증착법(CVD), 원자층증착법(ALD), 열산화법 및 플라즈마 산화법 중 어느 하나를 사용하여 형성될 수 있다. 상기 Si_3N_4 박막의 두께는 플래시 메모리 셀의 다층 절연박막이 우수한 EOT 및 리텐션(retention) 특성을 가지도록 조정된다.

<55> 그리고, 본 발명의 제4 실시예에 따라, 상기 다층 절연 박막에 실리케이트(silicate) 박막을 포함하는 경우에, 상기 실리케이트(silicate) 박막은 AlSi_xO_y , LaSi_xO_y , HfSi_xO_y , ZrSi_xO_y 중 어느 하나가 적층되어 형성될 수 있다.

<56> 상기 실리케이트(silicate) 박막의 두께는 5nm ~ 30nm 사이의 두께로 형성하는 것이 바람직하고, 상기 실리케이트(silicate) 박막은 화학기상증착법(CVD), 원자층증착법(ALD) 및 어닐링법(annealing) 중 어느 하나를 사용하여 형성될 수 있다. 상기 실리케이트(silicate) 박막의 두께는 플래시 메모리 셀의 다층 절연박막이 우수한 EOT 및 리텐션(retention) 특성을 가지도록 조정된다.

<57> 이상에서 설명한 바와 같이, 기존의 ONO의 nitride를 Al_2O_3 , La_2O_3 등의 고유전율 절연박막으로 치환하고 다층 절연박막 내의 각 층의 두께를 적절히 조절하여 전기적 특성을 최적화하면, 기존 ONO를 scaling하는 경우에 비해 우수한 EOT 및 retention 특성을 갖는 다층 절연박막(또는 IPD)를 제조할 수 있다.

<58> 본 발명은 플래시메모리의 특성을 좌우하는 interpoly dielectric(IPD) 다층 절연박막에 대해서 새로운 물질 및 구조를 적용함으로써 특성향상이 가능하여 고용량, 고성능의 플래시메모리 생산을 가능하게 하는 기술에 관한 것이다. 본 발명에서 제안하는 기술은 타 반도체 소자의 절연, 유전박막으로 적용될 수 있으며, 플래시 메모리의 tunneling oxide (TO)에도 적용될 수 있다.

발명의 효과

<59> 상기와 같은 구성 및 바람직한 실시예를 가지는 본 발명인 플래시 메모리 셀의 다층 절연박막에 의하면, 다층 절연박막에 유전율, 밴드갭 및 전자에 대한 에너지 장벽이 큰 고유전율 절연박막을 포함하도록 함으로써, 상기 다층 절연박막의 두께를 줄이더라도 전자의 터널링 발생을 최소화하여 불필요한 누설전류 발생을 억제할 수 있기 때문에, 플래시 메모리의 특성을 향상시킬 수 있는 장점이 있다.

<60> 또한, 기존의 ONO 구조보다 단순한 구조로 플래시 메모리 셀의 다층 절연박막을 구성할 수 있기 때문에, 제조공정의 단순화를 통한 제조원가 절감을 가능하게 하는 효과도 있다.

도면의 간단한 설명

<1> 도 1은 종래의 일반적인 플래시 메모리 셀의 단면 구조도이다.

<2> 도 2는 종래의 일반적인 플래시 메모리의 구조와 에너지 장벽 구조도이다.

<3> 도 3은 고유전율 박막으로 플래시 메모리의 다층 절연박막을 형성할 때의 플래시 메모리의 구조와 에너지 장벽 구조도이다.

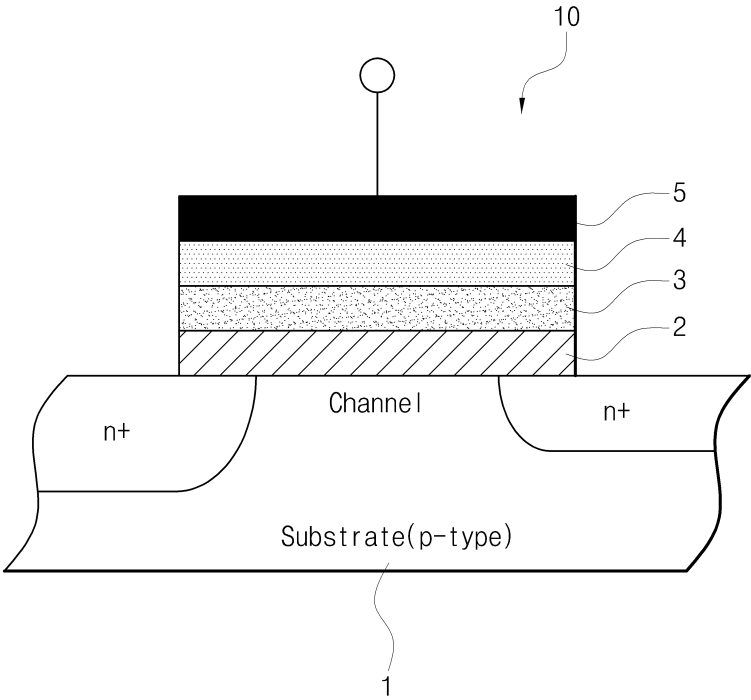
<4> 도 4는 본 발명의 제1 실시예에 따른 플래시 메모리의 구조와 에너지 장벽 구조도이다.

<5> 도 5는 본 발명의 제2 실시예에 따른 플래시 메모리의 구조와 에너지 장벽 구조도이다.

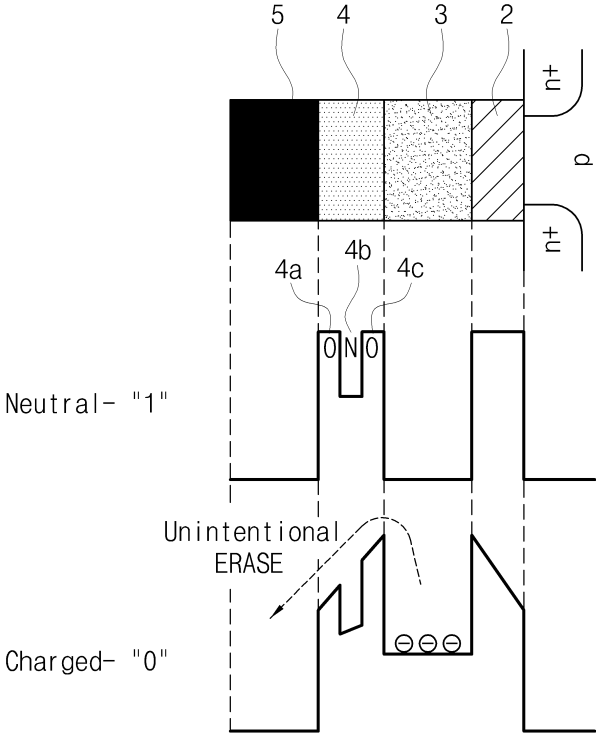
<6> 도 6은 본 발명의 제3 실시예에 따른 플래시 메모리의 구조와 에너지 장벽 구조도이다.

도면

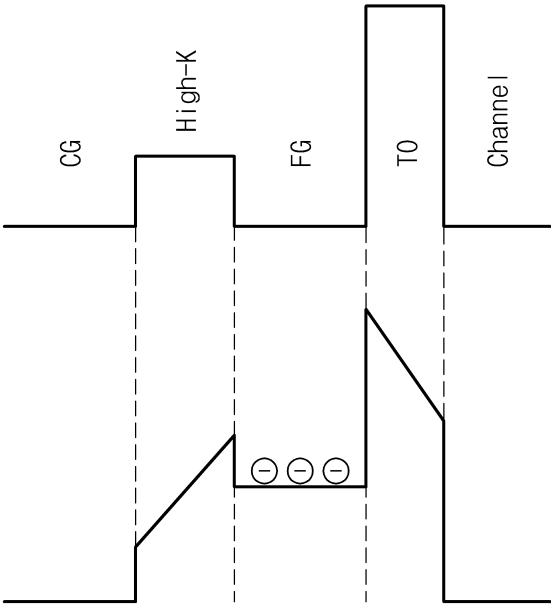
도면1



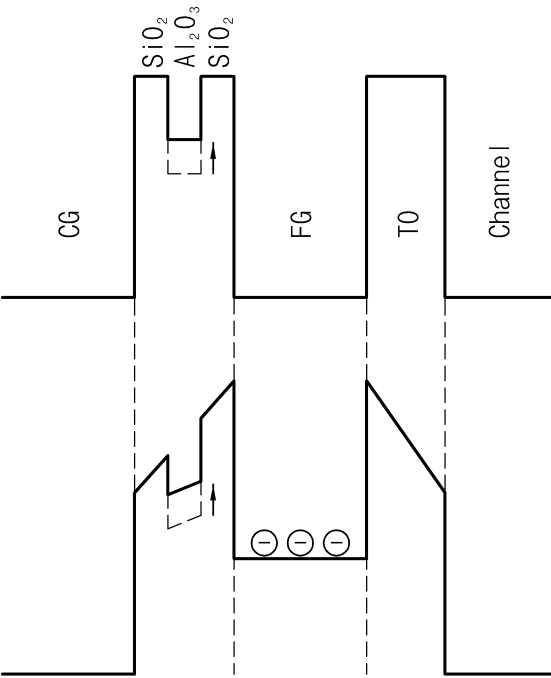
도면2



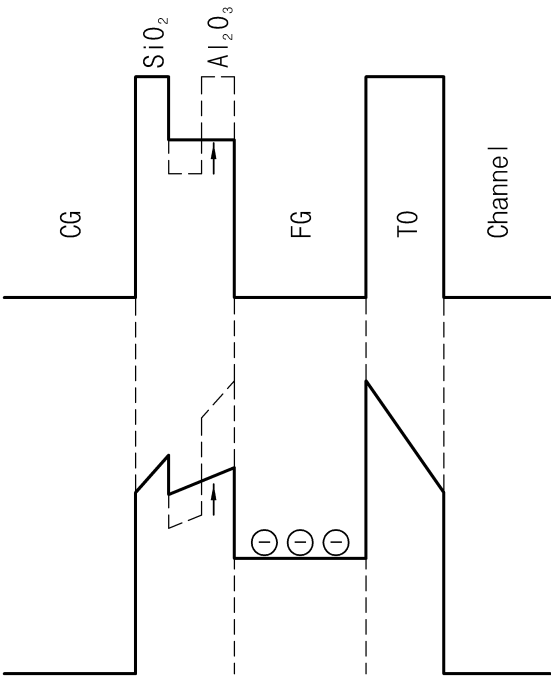
도면3



도면4



도면5



도면6

