(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03K 19/003

(11) 공개번호 특1998-701948
(43) 공개일자 1998년06월25일

(21) 출원번호	특1997-705345		
(22) 출원일자	1997년08월01일		
번역문제출일자	1997년08월01일		
(86) 국제출원번호	PCT/IB 96/01269	(87) 국제공개번호	WO 97/021272
(86) 국제출원출원일자	1996년11월21일	(87) 국제공개일자	1997년06월12일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴 핀란드 국내특허 : 일본 대한민국		
(30) 우선권주장	95203314.0 1995년12월01일 EP0(EP)		
(71) 출원인	필립스 일렉트로닉스 엔. 브이. 요트. 게. 아. 롤페즈 네덜란드, 베아 아인드호펜 5621, 그로네보드세베그 1		
(72) 발명자	아알메스, 마사이스, 알렉산더, 헨드리쿠스 네덜란드, 아아 아인드호펜 5656, 홀스트란 6 반 덴 브로우크, 마리누스, 아놀더스, 윌렘무스 네덜란드, 아아 아인드호펜 5656, 홀스트란 6		
(74) 대리인	이병호, 최달용		

심사청구 : 없음

(54) 버스 콘덕터 및 버스 인터페이스 회로를 갖춘 회로

요약

여러 회로 소자는 버스 콘덕터를 통해 통신할 수 있다. 한 회로 소자는 버스 콘덕터와 전원 단자간에 결합된 트랜지스터를 갖춘 인터페이스 단을 구비한다. 추가의 회로 소작 전원의 전위를 초과하여 버스 콘덕터상의 전위를 제지할 때, 트랜지스터의 제어 전극상의 전위는 따라서 제지된다. 제어 전극과 남은 회로 소자간의 접속은 남은 회로 소자의 상태에 상관없이 오프된다. 이 남은 회로에는 트랜지스터와 접합하여 형성된 인버터와 병렬되지 않게 접속되어 형성된 인버터가 포함되어, 이들 인버터들은 함께 버스 보유 회로를 구성한다.

대표도

도1

명세서

기술분야

본 발명은 버스 콘덱터 및 이 버스 콘덱터에 접속된 인터페이스 단을 구비하는 회로에 관한 것이다.

배경기술

과전압 상태에서 상기 회로는 인터페이스 단의 전력 범위외의 버스 전위까지 사익 버스 콘덕터를 제지할 수 있다. 이 인터페이스 단은 상기 버스 콘덱터와 전원 단자간에 결합되어 전력 공급 범위의 극(pole)에 대해 주전류 채널을 갖는 출력 트랜지스터; 상기 출력 트랜지스터가 상기 회로의 과전압 상태에서 온되지 않도록 제어전극상의 제어전위를 적응시키는 적응수단; 제어 회로 및; 스위칭 소자를 구비하며, 상기 제어회로의 출력은 상기 스위칭 소자를 통해 상기 출력 트랜지스터의 제어 전극에 결합된다.

본 발명은 이러한 회로에서 사용하기 위한 버스 인터페리스 회로에 관한 것이다. 이런 종류의 회로는 PCT 특허 출원 WO 94/29961에 공지되어 있다.

근래, 회로소자는 3.3V로 전력 공급되고 5V의 전위로 공급된다. 일반적으로, 더 낮은 공급 전위를 갖는 회로 소자가 사용될 것이다.

이들 다른 형태의 회로 소자가 한 회로내에서 조합될 수 있는 것이 바람직하다. 이런 회로내의 다른 전력 공급을 갖는 회로 소자는 자체의 인터페이스 단으로 버스 전위를 구동할 수 있어야 한다. 결과적으로, 버스 전위는 일부 회로 소자의 전력 범위외에 제지될 수 있다. 따라서, 버스 콘덱터를 통해 다르게 전력

공급된 회로 소자는 상호 통하며, 특정 단계가 인터페이스 단에서 취해져야 한다.

인터페이스 단은 출력 트랜지스터, 즉, PMOS 트랜지스터를 구비하며, 이 트랜지스터는 버스 콘덕터를 그 관련 회로 소자의 전원 단자(예로, 3.3V)에서 접속시키는 주전류 채널을 포함한다. 인터페이스 단은 또한 출력 트랜지스터의 제어 전극을 제어하는 제어 회로를 구비한다. 인터페이스 단이 인에이블될 때, 제어 회로는 주전류 채널이 도통되도록 제어 전극을 구동할 수 있다. 버스 전위는 전원 전위의 레벨, 예로, 3.3V에 도달한다. 인터페이스 단이 디스에이블링될 때 고 전위를 갖는 회로 소자는 버스 전위를 제지할 수 있으며, 버스 전위는 5V가 된다. 과전압 상태는 3.3V의 전력 공급된 인터페이스 단에 관련하여 발생할 수 있다.

과전압 상태에서 약 3.3V의 낮은 전위를 갖는 인터페이스 단내의 출력 트랜지스터는 온된다. WO94/29961로부터 공지된 회로는 과전압 상태에서, 버스 전위와 함께 제어 전위를 제지한다. 또한, 스위칭 소자는 제어 회로의 출력과 출력 트랜지스터의 제어 전극간에 위치된다. 스위칭 소자는 인터페이스 단이 디스에이블될 때, 오프된다. 결과적으로, 높은 제어 전위를 제어 회로의 출력에 도달할 수 없다.

WO 94/29961에 개시된 스위치 소자는 그 주전류 채널이 제어 회로의 출력과 출력 트랜지스터의 제어 전극간에 접속된 NMOS 접합 트랜지스터를 구비한다. 스위칭 소자는 또한 인버터를 구비한다. 제어 회로의 출력은 인버터를 통해 NMOS 접합 트랜지스터의 게이트를 제어한다. 결론적으로, 상기 트랜지스터는 제어 회로의 출력이 논이 하이일 때, 오프된다. 상기는 디스에이블된 상태에서의 경우이다.

인터페이스 단이 인에이블되고 또 다른 회로 소자가 높은 전위에 버스 전위를 제지한다면, 더 높은 전위는 제어 회로의 출력에 도달할 수 있다. 일반 회로 소자의 인터페이스 단에서, 단지 회로 소자만이 인에이블될 때의 경우가 아니다. 그러나, 인터페이스 단이 버스 보유 회로의 일부를 형성한다면 그 경우에 해당한다. 이러한 버스 보유 회로는 병렬이 아닌 접속으로 인버팅 회로를 구비한다. 버스 콘덕터의 논리 상태는 버스 콘덕터가 실제 제어된 것이 아닐 때 조차도 넘겨지거나 보유된다.

상기 형태의 높은 전원 전위는 제어회로의 출력에 도달할 수 있다.

발명의 상세한 설명

본 발명의 목적은 과전압 상태가 발생할 때 역효과없이 인터페이스 단이 실제 구동될 수 있고 버스 콘덱터에 결합된 인터페이스 단을 구비하는 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 과전압 상태가 발생할 수 있는 버스 콘덕터에 결합된 버스 보유 회로를 제공하는 것이다.

본 발명에 따른 회로는 인터페이스 단이 버스 전위에 따라 과전압 상태를 검출하는 검출 수단을 구비하는 것을 특징으로 하며, 상기 검출 수단은 상기 검출에 따라 상기 스위칭 소자를 오프하기 위해 스위칭 소자의 제어 입력에 결합된다. 스위칭 소자가 버스 전위에 따라 오프되기 때문에, 제어 회로의 출력상의 전위는 인터페이스 단의 전력 범위를 떠날 수 없으며, 과전압 상태가 아닌 제어 회로는 출력 트랜지스터의 제어 전극을 제어할 수 있게 된다.

본 발명에 따른 회로의 실시예에서, 제어 회로는 입력을 통해 버스 콘덕터에 결합되며, 그 입력과 출력간의 논리 반전 전달 기능을 갖는 것을 특징으로 한다. 출력 트랜지스터에 관련하여, 제어 회로는 활성되게 남을 수 있고 버스 보유 회로로서 기능하는 래치를 구비하며, 또 다른 회로 소자는 버스 전위를 제어한다.

본 발명에 따른 실시예에서, 검출 수단은 동일 극성의 검출 트랜지스터를 출력 트랜지스터로서 구비하며, 검출 트랜지스터의 제어 전극은 전원 단자에 결합되며, 검출 트랜지스터의 주 전류 채널은 최소한 과전압 상태에서 버스 콘덕터와 스위칭 소자의 제어 입력간에 입력된다. 이와 같이, 검출은 인터페이스 단의 전위보다 높은 전원 전위를 필요로 하지 않는다.

본 발명에 따른 실시예에서, 스위칭 소자는 그 극성이 출력 트랜지스터의 극성과 상보적인 접합 트랜지스터를 구비하는 것을 특징으로 한다. 그 주전류 경로는 출력 트랜지스터의 제어 전극과 제어 전극의 출력간에 결합되고 검출 트랜지스터는 인버팅 회로를 통해 접합 트랜지스터의 제어 전극에 결합된다. 본 발명에 따른 실시예에서, 인터페이스 단은 추가의 전원 단자와 인버팅 회로의 입력간에 결합된 주전류 채널을 갖춘 검출 부하 트랜지스터를 구비한다. 검출 부하 트랜지스터의 제어전극은 인버팅 회로의 출력에 결합된다. 검출 부하 회로는 검출 트랜지스터거가 온될 때 오프된다. 회로의 전력 소모는 감소된다.

본 발명에 따른 실시예에서, 스위칭 소자는 출력 트랜지스터의 극성과 동일한 추가의 접합 트랜지스터를 구비한다. 주 전류 채널은 접합 트랜지스터의 극성에 병렬로 접속되고 제어 전극은 버스 콘덕터에 결합된다. 추가의 접합 트랜지스터는 출력 트랜지스터의 제어 전극상의 제어 전위가 일반 상태에서 논리 로우로 제지될 때, 회로의 동작을 증대시킨다. 추가의 접합 트랜지스터는 간단히 버스 전위에 의해 제어된다.

본 발명에 따른 회로의 실시예에서, 인터페이스 단은 출력 트랜지스터의 백 게이트에 결합된 출력을 갖춘 백게이트 바이어스 회로를 구비하는 것을 특징으로 한다. 상기 백게이트 바이어스 회로는 버스 콘덕터와 백게이트 바이어스 회로의 출력간에 결합된 주전류 채널 및 전원 단자에 결합된 제어 전극을 갖춘 제1바이어스 트랜지스터를 구비한다. 출력 트랜지스터의 백게이트 바이어스는 이와 같이 과전압 상태로 적응된다.

본 발명에 따른 실시예에서, 백 게이트 바이어스 회로는 전원 단자와 백게이트 바이어스 회로의 출력간에 결합된 주전류 채널 및 상기 검출 트랜지스터의 주전류 채널과 상기 스위칭 소자의 제어 입력간의 노드에 결합된 제어 전극을 갖춘 제2바이어스 트랜지스터를 구비한다. 이와 같이 백게이트 바이어스는 일반 상태에서 전원 전위로 유지되며, 추가의 검출 회로의 요구없이 과전압 상태에서 분리된다.

본 발명에 따른 회로의 실시예에서, 제어 회로의 출력은 논리 처리 회로의 입력에 결합되는 것을 특징으로 한다. 이와 같이 회로는 일반 상태 및 과전압 상태에서 전원 범위로부터의 전위에 의해 논리 처리 회

로를 제어한다.

도면의 간단한 설명

도 1은 본 발명에 따른 회로를 도시한 도면.

실시예

본 회로는 버스 콘덕터(conductor)(1), 버스 보유 회로(3), 및 추가의 회로소자(5)를 구비한다. 버스 보유 회로(3) 및 추가의 회로 소자(5)는 버스 콘덕터(1)에 접속된다. 논리 처리 회로(6)의 입력은 버스 보유 회로(3)의 출력(4)에 결합된다. 예를 들어, 논리 처리 회로는 또 다른 버스 콘덕터(도시않음) 또는 조합 논리 회로를 구동하기 위한 버퍼 증폭기이다.

버스 콘덱터(1)는 버스 보유 회로(3)내의 제1인덕터(12)의 입력에 결합된다. 제1인버터(12)의 출력은 NMOS 접합 트랜지스터(14)의 채널을 통해 PMOS 출력 트랜지스터(16)의 게이트에 결합된다. PMOS 출력 트랜지스터(16)의 채널은 버스 보유회로(3)의 전원 단자(Vdd)를 버스 콘덕터(1)에 접속시킨다. PMOS 출력 트랜지스터(16)의 게이트는 PMOS 정합 트랜지스터(18)의 채널을 통한 버스 콘덕터(1)에 결합된다. 정합 트랜지스터(18)의 게이트는 전원 단자(Vdd)에 결합된다. 버스 콘덕터(1)는 NMOS 출력 트랜지스터(20)의 채널을 통해 추가의 전원 단자(Vss)에 접속된다. NMOS 출력 트랜지스터(20)의 게이트는 제1인버터(12)의 출력에 결합된다. PMOS 접합 트랜지스터(30)의 채널은 NMOS 접합 트랜지스터(14)의 채널에 병렬로 접속된다. PMOS 접합 트랜지스터(30)의 게이트는 버스 콘덕터(1)에 결합된다.

버스 보유 회로(3)는 NMOS(14)의 게이트에 대한 과전압 검출 회로(21)를 구비한다. 과전압 검출 회로(21)는 버스 콘덕터(1)에 결합된 입력을 갖는다. 이 입력은 PMOS 검출 트랜지스터(22)의 채널을 통해 제2인버터(24)의 입력에 결합된다. PMOS 검출 트랜지스터(22)의 게이트는 전원 단자(Vdd)에 결합된다. 제2인버터(24)의 출력은 NMOS 접합 트랜지스터(14)의 게이트에 결합된다.

과전압 검출 회로(21)는 또한 그 채널이 제2인버터(24)의 입력과 추가의 전원 단자(Vss)간에 결합된 NMOS 부하 트랜지스터(26)를 구비한다. 제2인버터(24)의 출력은 NMOS 부하 트랜지스터(26)의 게이트에 결합된다. PMOS 풀-업(pull-up) 트랜지스터(28)는 NMOS 부하 트랜지스터(26)의 게이트와 전원 단자(Vdd)간에 결합된 채널을 갖는다. PMOS 풀-업 트랜지스터(28)의 게이트는 버스 콘덕터(1)에 결합된다.

버스 보유 회로(3)는 또한 백바이어스 발생 회로(32,34)를 포함한다. 백바이어스 발생 회로(32,34)는 그 채널이 버스 콘덕터(1)와 도전 접속될 수 있는 버스 보유 회로(3)의 PMOS 트랜지스터(16,18,22,30,32,34)의 백게이트들에 결합되는 백바이어스 출력 BG을 구비한다. 백바이어스 회로(32,34)는 백바이어스 그 채널이 전원 단자(Vdd)와 백바이어스 출력(BG)간에 결합된 PMOS 트랜지스터(32)를 포함한다. PMOS 트랜지스터(32)의 게이트는 제2인버터(24)의 출력에 결합된다. 백바이어스회로(32,34)는 그 채널이 버스 콘덕터(1)와 백바이어스 출력(BG)간에 결합된 PMOS 트랜지스터(34)를 포함한다. PMOS 트랜지스터(32)의 게이트는 제1전원 단자에 결합된다.

버스 보유 회로(3)의 동작은 버스 콘덕터(1)상의 버스 전위에 따른다. 일반 상태에서, 버스 전위는 전원 단자(Vdd)(예로, 3.3V)와 추가의 전원단자(Vss)(예로, 0V)의 전위들간에 있다. 과전압 상태에서, 버스 전위는 전원 단자(Vdd)의 전위보다 크다. 예를 들어, 회로 소자(5)가 고전위 Vdd+(예로, 5V)에 의해 전원 공급받고 회로 소자(5)가 버스 전위를 제어한다면, 과전압 상태가 발생할 것이다.

버스 보유 회로는 논리 처리 회로(6)의 입력을 구동하는데 사용된다. 논리 처리회로(6)는 인버터(12)로부터 입력을 수신하며, 그 입력 신호는 일반 상태에서 버스 보유 회로(3)의 전원 전위들간에 있다. 이 입력 신호는 과전압 상태에서 논리 로우이다.

일반 상태에서, 버스 보유 회로(3)는 래치로서 기능한다. PMOS 출력 트랜지스터(16) 및 NMOS 출력 트랜지스터(20)는 제1인버터(12)와 병렬되지 않은 접속으로 인버터를 구성한다(이것은 그 입력 및 출력이 각각 제1인버터(12)의 입력 및 출력에 접속됨을 의미한다). 결론적으로, 버스 콘덕터(1)가 또 다른 회로 소자에 의해 더 이상 제어되지 않을지라도 논리 처리 회로(6)는 버스 보유 회로(3)에 의해 보유된 입력신호를 수신한다. 버스 전위는 버스 보유 회로(3)에 의해 보유된다. 버스 보유 회로(3)의 구동 전력은 매우 작아서 비록 버스 보유 회로(3)에 의해 보유될지라도 다른 회로 소자가 버스 전위를 절환할 수 있다. 결국, 버스 보유 회로(4)는 논리 처리 회로(6)의 부재시에 버스 전위를 보유하는데 사용될 수 있다.

PMOS 출력 트랜지스터(16)의 게이트상의 제어 전위는 버스 전위를 따라 제지된다. 버스 전위에 기초하여, 과전압 검출 회로(21)는 과전압 상태의 존재를 검출하며, 결론적으로, 접합 트랜지스터(14)를 차단한다.

PMOS 정합 트랜지스터(18)는 과전압 상태에서 버스 전위와 출력 트랜지스터(16)의 게이트상의 제어 전위를 따라 제지하는 기능을 한다. PMOS 정합 트랜지스터(18)의 채널은 버스 전위가 임계 전압 이상을 전원 전위 Vdd를 초과하고 이로써 제어 전위를 따른다면 도통된다.

PMOS 검출 트랜지스터(22)는 과전압 상태에서 과전압 검출회로(21)를 활성시키는데 사용된다. PMOS 검출 트랜지스터(22)의 채널은 버스 전위가 임계 전압이상으로 전원 전압 Vdd를 초과한다면 도통된다. 결론적으로, PMOS 검출 트랜지스터(22)는 과전압 상태에서 제2인버터(24)의 입력상의 전위를 제지한다. 제2인버터(24)는 그 출력상의 전위 및 NMOS 정합 트랜지스터(14)의 게이트상의 전위를 논리 로우로 한다. 이리하여, 제1인버터(12)의 출력(전위 Vdd와 Vss 사이에 있음)의 논리 레벨에 상관없이 NMOS 정합 트랜지스터(14)는 오프된다. PMOS 검출 트랜지스터(22)가 버스 콘덕터(1) 대신에 PMOS 출력 트랜지스터(16)의 제어 전극에 접속되면 동일한 효과를 얻게 된다.

산업상이용가능성

이와 같이, 과전압 검출 회로(21)는 인터페이스 단의 전원 단자상의 전위 Vdd 보다 큰 전원 전위를 요구하지 않는다. 결론적을, 과전압 상태에서 버스 전위를 제어하는 회로 소자(5)의 전원 전위의 레벨의 전

원 전위를 사용할 필요가 없다.

PMOS 접합 트랜지스터(30)는 버스 전위가 하이이면 오프가 되어, 과전압 상태가 된다. 상기 회로는 이론적으로 PMOS 접합 트랜지스터(30)없이 동작할 수 있으나, 일반 상태에서 PMOS 접합 트랜지스터(30)는 출력 트랜지스터(16)의 게이트를 제지하는데 사용되고 있다.

NMOS 부하 트랜지스터(26)는 제2인버터(24)의 입력을 로우로 유지하기 위해 일반 상태에서 온된다. 과전압 상태에서, NMOS 부하 트랜지스터(26)는 제2인버터(24)에 의해 오프되어, 버스 콘덕터(1)에 대한 부하를 구성하지 않는다. 일반 상태로부터 과전압 상태로 완만한 전이를 위해, PMOS 검출 트랜지스터(22)가 NMOS 부하 트랜지스터(26)보다 더 큰 W/L 비를 갖는 것이 바람직하다. 과전압 상태에서, PMOS 검출 트랜지스터(22)는 제2인버터(24)의 입력상의 전위를 제어하는데 있어 항상 우월하다.

PMOS 풀-업 트랜지스터(28)는 NMOS 부하 트랜지스터(26)가 과전압 상태로부터 일반 상태의 논리 로우 버스 전위로 전이되면 온되도록 보장한다. 결과적으로, 상기 경우 NMOS 부하 트랜지스터(26)는 제2인버터(24)의 입력을 풀 다운시킨다.

백바이어스 발생 회로(32,34)는 그 채널이 버스 콘덕터(1)에 도전적으로 접속될 수 있는 PMOS 트랜지스터의 백바이어스 전위가 전원 전위 및 버스 전위중의 한 전위보다 항상 높다. 일반 상태에서, 그 채널이 전원 단자 Vdd와 백바이어스 출력 BG간에 위치된 PMOS 트랜지스터(32)는 온된다. 이 채널은 과전압 상태를 검출하는 과전압 검출 회로(21)에 의해 과전압 상태에서 오프된다. 과전압 상태에서, 그 채널이 버스 콘덕터(1)와 백바이어스 출력 BG간에 위치된 PMOS 트랜지스터(34)는, 버스 전위가 임계 전압보다 크게 전원 단자 Vdd를 초과할 때 온된다. 상기 채널은 일반 상태에서 오프된다.

(57) 청구의 범위

청구항 1

버스 콘덕터 및 이 버스 콘덕터에 접속된 인터페이스 단을 구비하며, 과전압 상태에서 상기 버스 콘덕터를 상기 인터페이스 단의 전력 공급 범위외의 버스전위로 제지할 수 있는 회로에서, 상기 인터페이스 단은

상기 버스 콘덕터와 전원 단자간에 결합되어 전력 공급 범위의 극(pole)에 대해 주전류 채널을 갖는 출력 트랜지스터;

상기 출력 트랜지스터가 상기 회로의 과전압 상태에서 온되지 않도록 제어 전극상의 제어 전위를 적응시키는 적응 수단;

제어 회로 및;

스위칭 소자를 구비하며, 상기 제어 회로의 출력은 상기 스위칭 소자를 통해 상기 출력 트랜지스터의 제어 전극에 결합되는 회로에 있어서,

상기 인터페이스 단은 버스 전위에 따라 과전압 상태를 검출하는 검출 수단을 구비하며, 상기 검출 수단은 그 검출에 응답하여 상기 스위칭 소자를 오프하기 위해 상기 스위칭 소자의 제어 입력에 결합되는 것을 특징으로 하는 회로.

청구항 2

제1항에 있어서, 상기 제어회로는 입력을 통해 상기 버스 콘덕터에 결합되며 그 입력과 출력간에 논리 반전 전달 기능을 갖는 것을 특징으로 하는 회로.

청구항 3

제1항 또는 2항에 있어서, 상기 검출 수단은 동일 극성의 검출 트랜지스터를 출력 트랜지스터로서 구비하며, 상기 검출 트랜지스터의 제어 전극은 전원 단자에 결합되며, 상기 검출 트랜지스터의 주전류 채널은 최소한 과전압 상태에서 상기 버스 콘덕터와 상기 스위칭 소자의 제어 입력간에 결합되는 것을 특징으로 하는 회로.

청구항 4

제3항에 있어서, 상기 스위칭 소자는 그 극성이 상기 출력 트랜지스터의 극성에 상보적인 접합 트랜지스터를 구비하며, 그 주전류 채널은 상기 출력 트랜지스터의 제어 전극과 제어 회로의 출력간에 결합되며, 상기 검출 트랜지스터는 인버팅 회로를 통해 상기 접합 트랜지스터의 제어 전극에 결합되는 것을 특징으로 하는 회로.

청구항 5

제4항에 있어서, 상기 인터페이스 단은 추가의 전원 단자와 인버팅 회로의 입력간에 결합된 주전류 채널을 갖춘 검출 부하 트랜지스터를 구비하며, 상기 검출 부하 트랜지스터의 제어 전극은 상기 인버팅 회로의 출력에 결합되는 것을 특징으로 하는 회로.

청구항 6

제5항에 있어서, 상기 스위칭 소자는 그 극성이 상기 출력 트랜지스터의 극성과 동일한 추가의 접합 트랜지스터를 구비하며, 주전류 채널은 상기 접합 트랜지스터의 채널에 병렬로 접속되며, 제어 전극은 상기 버스 콘덕터에 결합되는 것을 특징으로 하는 회로.

청구항 7

제1항 내지 6항중의 어느 한 항에 있어서, 상기 인터페이스 회로는 상기 출력 트랜지스터의 백 게이트에 결합된 출력을 갖춘 백게이트 바이어스 회로를 구비하며, 상기 백 게이트 바이어스 회로는 상기 버스 콘덕터와 상기 백 게이트 바이어스 회로간에 결합된 주전류 채널 및 상기 전원 단자에 결합된 제어 전극을 갖춘 제1바이어스 트랜지스터를 구비하는 것을 특징으로 하는 회로.

청구항 8

제7항에 있어서, 상기 백게이트 바이어스 회로는 상기 전원 단자와 상기 백게이트 바이어스 회로의 출력간에 결합된 주전류 채널 및 상기 검출 트랜지스터의 주전류 채널과 상기 스위칭 소자의 제어 입력간의 노드에 결합된 제어 전극을 갖춘 제2바이어스 트랜지스터를 구비하는 것을 특징으로 하는 회로.

청구항 9

제1항 내지 8항중의 어느 한 항에 있어서, 상기 제어 회로의 출력은 논리 회로의 입력에 결합되는 것을 특징으로 하는 회로.

청구항 10

제1항 내지 8항중의 어느 한 항에서 청구된 회로내에서 사용하기 위한 버스 인터페이스 회로내의 상기 인터페이스 단은

전력 공급 범위의 극에 대한 전원 단자와 버스 콘덕터간에 결합된 주전류를 채널을 갖는 출력 트랜지스터;

상기 회로의 과전압 상태에서 상기 출력 트랜지스터가 온되지 않도록 제어 전극상의 제어 전위를 적응시키는 적응 수단;

제어 회로 및;

스위칭 소자 를 구비하며, 상기 제어 회로의 출력은 상기 스위칭 소자 를 통해 출력 트랜지스터의 제어 전극에 결합되는 버스 인터페이스 회로에 있어서,

상기 인터페이스 단은 버스 전위에 따라 과전압 상태를 검출하는 검출 수단을 구비하며, 상기 검출 수단은 상기 검출에 응답하여 상기 스위칭 소자를 오프하도록 상기 스위칭 소자의 제어 입력에 결합되는 것을 특징으로 하는 버스 인터페이스 회로.

도면

도면1

