

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 27 日(27.02.2014)



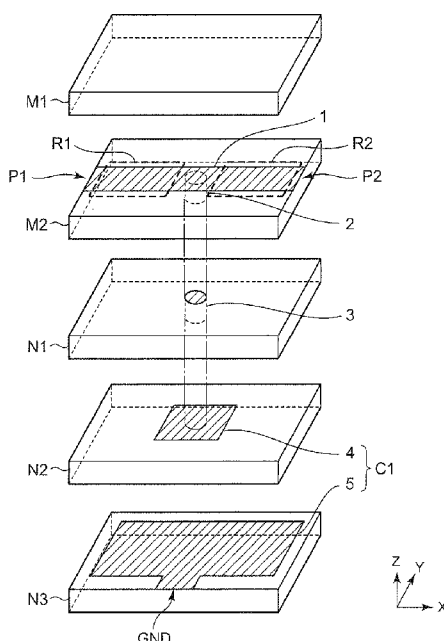
(10) 国際公開番号
WO 2014/030469 A1

- (51) 国際特許分類:
H03H 7/24 (2006.01) *H01P 1/23* (2006.01)
H03H 7/01 (2006.01) *H01P 5/18* (2006.01)
- (21) 国際出願番号: PCT/JP2013/069522
- (22) 国際出願日: 2013 年 7 月 18 日(18.07.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-185636 2012 年 8 月 24 日(24.08.2012) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 矢▲崎▼ 浩和(YAZAKI, Hirokazu); 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号梅田阪急ビルオフィスタワー青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: HIGH-FREQUENCY DEVICE AND DIRECTIONAL COUPLER

(54) 発明の名称: 高周波デバイス及び方向性結合器

図 1



(57) Abstract: This high-frequency device is provided with: a substrate that includes a plurality of stacked layers including dielectric layers and magnetic-body layers; terminals (P1, P2); a pattern conductors formed on a single layer; and a via conductor that passes through a single layer. The pattern conductor and the via conductor form a signal line for connecting the terminals (P1, P2) and transmitting a high-frequency signal. The first portion of the signal line includes a via conductor that passes through a single magnetic-body layer and/or a pattern conductor sandwiched between two magnetic-body layers, and has resistance to the high-frequency signal. The second portion of the signal line includes a capacitor formed by two pattern conductors so that a dielectric layer is sandwiched therebetween and a magnetic-body layer is not sandwiched therebetween, and/or an inductor that includes a pattern conductor formed on the dielectric layer. The high-frequency device has impedance with respect to the high-frequency signal at the terminals (P1, P2).

(57) 要約: 高周波デバイスは、誘電体層及び磁性体層を含む積層された複数の層を含む基板と、端子 (P1, P2) と、1つの層の上に形成されたパターン導体と、1つの層を貫通するビア導体とを備える。パターン導体及びビア導体は、端子 (P1, P2) を接続して高周波信号を伝送する信号線を形成する。信号線の第1の部分は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、高周波信号に対して抵抗を有する。信号線の第2の部分は、誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成されたキャパシタと、誘電体層上に形成されたパターン導体を含むインダクタとのうちの少なくとも一方を含み、高周波デバ

イスは端子 (P1, P2) において高周波信号に対してインピーダンスを有する。

明 細 書

発明の名称：高周波デバイス及び方向性結合器

技術分野

[0001] 本発明は、アッテネータを含む高周波回路を含み、単一のチップとして構成される高周波デバイスに関する。本発明はまた、アッテネータを含む高周波回路を含み、単一のチップとして構成される方向性結合器に関する。

背景技術

[0002] 高周波信号の伝送に係る高周波デバイス又は高周波回路として、例えば、特許文献 1 ～ 6 の発明が知られている。

[0003] 特許文献 1 は、フェライトコアの孔を貫通する導線を備えた T 型減衰器の製造方法を開示している。

[0004] 特許文献 2 は、高周波領域の高周波成分を吸収する高域阻止及び低域通過特性を有する信号伝送素子を開示している。

[0005] 特許文献 3 は、少なくとも表面が絶縁性であって、該表面に導体部が形成されている磁性体板を積層し、前記導体部が直列に接続してなる積層インダクタの外側磁性体板にチップコンデンサが接続され LC 回路を形成することを特徴とする高周波ノイズフィルタを開示している。

[0006] 特許文献 4 は、一对の線路よりなる伝送路の一方の線路に挿入されたインダクタと、一端が他方の線路に接続され他端がインダクタの両端にそれぞれ接続された抵抗およびコンデンサよりなる一对の直列回路とにより構成され、インダクタは磁性体よりなる筒体内に導電線を貫通させて形成されてなるアッテネータを開示している。特許文献 4 のアッテネータは、インダクタ、抵抗、及びコンデンサを含むディスクリートな回路素子から構成されている。

[0007] 特許文献 5 は、フェライト焼結体、チップインダクタ、及び LC 複合部品を開示している。

[0008] 特許文献 6 は、一般的な方向性結合器を開示している。

先行技術文献

特許文献

- [0009] 特許文献1：特公平3－015363号公報。
特許文献2：特開平8－078218号公報。
特許文献3：特開昭62－189712号公報。
特許文献4：特開昭63－098206号公報。
特許文献5：特開平1－110708号公報。
特許文献6：特開2011－055457号公報。

発明の概要

発明が解決しようとする課題

- [0010] 高周波回路においてアッテネータを用いる場合、不要な反射を抑えるためのインピーダンス整合回路が必要になる。アッテネータ及びインピーダンス整合回路をディスクリートな回路素子から構成する場合、所望の減衰量及びインピーダンスを得るために回路素子の特性のバラツキに対処しなければならない。また、ディスクリートな回路素子から回路を構成すること自体が手間になる。従って、アッテネータを用いた装置の製造を簡単化するために、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することが望ましい。また、携帯電話機などの高周波回路を含む機器に対する小型化の要求に応えるためにも、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することが望ましい。
- [0011] 本発明の目的は、以上の課題を解決し、アッテネータを含む高周波回路を含み、単一のチップとして構成される高周波デバイスを提供することにある。本発明の目的はまた、アッテネータを含む高周波回路を含み、単一のチップとして構成される方向性結合器を提供することにある。

課題を解決するための手段

- [0012] 本発明の第1の態様に係る高周波デバイスによれば、
少なくとも1つの誘電体層及び少なくとも1つの磁性体層を含む積層され

た複数の層を含む基板と、

第 1 及び第 2 の端子と、

上記複数の層のうちのいずれか 1 つの上に形成された少なくとも 1 つのパターン導体と、

上記複数の層のうちのいずれか 1 つを貫通する少なくとも 1 つのビア導体とを備えた高周波デバイスであって、

上記パターン導体及び上記ビア導体は、上記第 1 及び第 2 の端子を接続して所定の高周波信号を伝送する信号線を形成し、

上記信号線の第 1 の部分は、1 つの磁性体層を貫通するビア導体及び 2 つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、上記第 1 の部分は上記高周波信号に対して所定の抵抗を有し、

上記信号線の第 2 の部分は、少なくとも 1 つの誘電体層を間に挟みかつ磁性体層を間に挟まないように 2 つのパターン導体により形成されたキャパシタと、少なくとも 1 つの誘電体層上に形成されたパターン導体を含むインダクタとのうちの少なくとも一方を含み、上記高周波デバイスは上記第 1 及び第 2 の端子において上記高周波信号に対して所定のインピーダンスを有することを特徴とする。

[0013] 上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第 1 及び第 2 の端子を接続する第 1 の信号線と、上記第 1 の信号線上の接続点及び上記接地端子を接続する第 2 の信号線とを含み、

上記第 2 の信号線は、少なくとも 1 つの誘電体層を間に挟みかつ磁性体層を間に挟まないように 2 つのパターン導体により形成されたキャパシタを含むことを特徴とする。

[0014] 上記高周波デバイスにおいて、上記第 2 の信号線は、1 つの磁性体層を貫通するビア導体を含むことを特徴とする。

[0015] 上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第 1 及び第 2 の端子を接続する第 1 の信号線と、上記

第1の信号線上の第1の接続点及び上記接地端子を接続する第2の信号線と、上記第1の信号線上の第2の接続点及び上記接地端子を接続する第3の信号線とを含み、

上記第1の信号線は、上記第1及び第2の接続点の間に、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタを含み、

上記第2の信号線は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、1つの磁性体層を貫通する第1のビア導体とを含み、

上記第3の信号線は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2のキャパシタと、1つの磁性体層を貫通する第2のビア導体とを含むことを特徴とする。

[0016] 上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の接続点及び上記接地端子を接続する第2の信号線とを含み、

上記第1の信号線は、上記第1の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、2つの磁性体層間に挟設されかつ上記第1のキャパシタに並列接続された第1のパターン導体とを含み、

上記第1の信号線は、上記第2の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2のキャパシタと、2つの磁性体層間に挟設されかつ上記第2のキャパシタに並列接続された第2のパターン導体とを含み、

上記第2の信号線は、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタを含むことを特徴とする。

[0017] 上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の接続点及び上記接地端子を接続する第2の信号線とを含み、

上記第1の信号線は、上記第1の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、1つの磁性体層を貫通する第1のビア導体とを含み、

上記第1の信号線は、上記第2の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2のキャパシタと、1つの磁性体層を貫通する第2のビア導体とを含み、

上記第2の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第3の信号線と、少なくとも1つの誘電体層上に形成されたパターン導体を含みかつ上記第3の信号線に並列接続されたインダクタとを含むことを特徴とする。

[0018] 上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の第1の接続点及び上記接地端子を接続する第2の信号線と、上記第1の信号線上の第2の接続点及び上記接地端子を接続する第3の信号線とを含み、

上記第1の信号線は、上記第1及び第2の接続点の間に、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、

上記第2の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、

上記第3の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第4の信号線と、

少なくとも１つの誘電体層を間に挟みかつ磁性体層を間に挟まないように形成されかつ上記第４の信号線に並列接続されたキャパシタとを含むことを特徴とする。

- [0019] 上記高周波デバイスはアッテネータであることを特徴とする。
- [0020] 上記高周波デバイスは低域通過フィルタであることを特徴とする。
- [0021] 上記高周波デバイスは高域通過フィルタであることを特徴とする。
- [0022] 上記高周波デバイスは帯域通過フィルタであることを特徴とする。
- [0023] 本発明の第２の態様に係る方向性結合器によれば、
第１～第４のポートと、
上記第１及び第２のポートの間に設けられた第１の伝送線路と、
上記第３及び第４のポートの間に設けられ、上記第１の伝送線路に電磁的に結合した第２の伝送線路と、
上記第３のポートと上記第２の伝送線路との間に設けられた第１のアッテネータと、
上記第４のポートと上記第２の伝送線路との間に設けられた第２のアッテネータとを備えた方向性結合器であって、
上記第１及び第２のアッテネータは本発明の第１の態様に係る高周波デバイスであることを特徴とする。

発明の効果

- [0024] 本発明の高周波デバイスによれば、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することができ、さらに、その減衰量及びインピーダンスを要件に応じて調整することができる。本発明の高周波デバイスによれば、高周波信号を所望の減衰量で減衰させながら、不要な反射を抑えた高周波回路を単一のチップとして提供することができる。また、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することにより、減衰量のバラツキとインピーダンスのバラツキを低減し、また、高周波回路を小型化することができる。

図面の簡単な説明

[0025] [図1]本発明の第1の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[図2]図1の高周波デバイスを積層した状態を示す断面図である。

[図3]図1の高周波デバイスの等価回路図である。

[図4]図1の高周波デバイスに係る反射損失（ S_{11} ）及び挿入損失（ S_{21} ）の周波数特性を示すグラフである。

[図5]本発明の第2の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[図6]図5の高周波デバイスを積層した状態を示す断面図である。

[図7]図5の高周波デバイスの等価回路図である。

[図8]図5の高周波デバイスに係る反射損失（ S_{11} ）及び挿入損失（ S_{21} ）の周波数特性を示すグラフである。

[図9]本発明の第3の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[図10]図9の高周波デバイスの等価回路図である。

[図11]図9の高周波デバイスに係る反射損失（ S_{11} ）及び挿入損失（ S_{21} ）の周波数特性を示すグラフである。

[図12]第1の比較例に係る高周波デバイスの構成を示す分解斜視図である。

[図13]図12の高周波デバイスの等価回路図である。

[図14]図12の高周波デバイスに係る反射損失（ S_{11} ）及び挿入損失（ S_{21} ）の周波数特性を示すグラフである。

[図15]本発明の第4の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[図16]図15の高周波デバイスの等価回路図である。

[図17]図15の高周波デバイスに係る反射損失（ S_{11} ）及び挿入損失（ S_{21} ）の周波数特性を示すグラフである。

[図18]本発明の第5の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[図19]図 1 8 の高周波デバイスの等価回路図である。

[図20]図 1 8 の高周波デバイスに係る反射損失 (S 1 1) 及び挿入損失 (S 2 1) の周波数特性を示すグラフである。

[図21]第 2 の比較例に係る高周波デバイスの構成を示す分解斜視図である。

[図22]図 2 1 の高周波デバイスの等価回路図である。

[図23]図 2 1 の高周波デバイスに係る反射損失 (S 1 1) 及び挿入損失 (S 2 1) の周波数特性を示すグラフである。

[図24]本発明の第 6 の実施形態に係る方向性結合器の構成を示すブロック図である。

[図25]図 2 4 の方向性結合器の構成を示す分解斜視図の第 1 の部分である。

[図26]図 2 4 の方向性結合器の構成を示す分解斜視図の第 2 の部分である。

[図27]図 2 5 及び図 2 6 の方向性結合器の等価回路図である。

発明を実施するための形態

[0026] 第 1 の実施形態.

図 1 は、本発明の第 1 の実施形態に係る高周波デバイスの構成を示す分解斜視図である。図 2 は、図 1 の高周波デバイスを積層した状態を示す断面図である。図 2 の断面図は、高周波デバイスの Y 方向の中央を通り、X Z 面に平行な断面を示す。

[0027] 図 1 の高周波デバイスは、少なくとも 1 つの誘電体層 N 1 ~ N 3 及び少なくとも 1 つの磁性体層 M 1, M 2 を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか 1 つの上に形成された少なくとも 1 つのパターン導体 1, 4, 5 と、複数の層のうちのいずれか 1 つを貫通する少なくとも 1 つのビア導体 2, 3 とを備える。磁性体層 M 2 及び誘電体層 N 1 の間の一点鎖線と、誘電体層 N 1, N 2 の間の一点鎖線は、誘電体層 N 1 ~ N 3 及び磁性体層 M 1, M 2 が積層されたときに電氣的に接続されることを示す (他の図でも同様)。高周波デバイスはさらに、高周波信号の入出力のための端子 P 1, P 2 をパターン導体 1 に備え、接地端子 G N D をパターン導体 5 に備える。パターン導体 1, 4, 5 及びビア導体 2,

3は、端子P1、P2及び接地端子GNDを接続して高周波信号を伝送する信号線を形成する。

[0028] 信号線の一部は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む。信号線のこのような部分に高周波信号が流れるとき、高周波信号の一部は信号線の周囲の磁性体により熱に変換され、高周波信号は減衰する。従って、信号線のこの部分は、高周波信号に対して所定の抵抗を有する。図1の高周波デバイスでは、2つの磁性体層M1、M2の間に挟設されたパターン導体1の一部を抵抗R1、R2として示している。なお、簡単化のために図示を省略したが、磁性体層M2を貫通するビア導体2も同様に、抵抗として機能してもよい。

[0029] 信号線の他の一部は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成されたキャパシタと、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタとのうちの少なくとも一方を含む。信号線に含まれるキャパシタ及び／又はインダクタは、高周波デバイスが端子P1、P2において高周波信号に対して所定のインピーダンスを有するように構成される。図1の高周波デバイスでは、信号線は、端子P1、P2を接続する第1の信号線と、第1の信号線上の接続点及び接地端子GNDを接続する第2の信号線とを含み、第2の信号線は、誘電体層N2を間に挟みかつ磁性体層を間に挟まないようにパターン導体4、5により形成されたキャパシタC1を含む。

[0030] 図3は、図1の高周波デバイスの等価回路図である。信号線の一部が高周波信号に対して抵抗R1、R2を有することにより、高周波デバイスはアッテネータとして機能する。また、端子P1、P2にそれぞれ負荷インピーダンスZ1、Z2を接続するとき、信号線の一部がキャパシタ及びインダクタの少なくとも一方（図1ではキャパシタC1）を含むことにより、端子P1、P2におけるインピーダンスを整合させ、不要な反射を抑えることができる。

[0031] 誘電体層N1～N3及び磁性体層M1、M2はそれぞれ、絶縁性セラミッ

クスからなる。磁性体層M1, M2は、例えば比透磁率100~300を有する磁性体からなり、例えばフェライトを使用可能である。誘電体層N1~N3は、1つの誘電体層を貫通するビア導体又は隣接する2つの誘電体層間に形成されたパターン導体に高周波信号を流しても実質的に減衰を生じない非磁性体（比透磁率1）である。

[0032] 誘電体層N1~N3の寸法及び比誘電率、磁性体層M1, M2の寸法及び比透磁率、パターン導体1, 4, 5及びビア導体2, 3の寸法は、所望の減衰量及びインピーダンスを得るように設計される。

[0033] 高周波デバイスの全体は、例えば、低温同時焼成セラミックス（low temperature co-fired ceramics: LTCC）の製造プロセスを用いて生成される。

[0034] 図4は、図1の高周波デバイスに係る反射損失（S11）及び挿入損失（S21）の周波数特性を示すグラフである。図4のグラフは、試作した高周波デバイスについて実測した結果を示す。図4によれば、図1の高周波デバイスは実際にアッテネータとして機能していることがわかる。

[0035] 図1の高周波デバイスによれば、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することができ、さらに、その減衰量及びインピーダンスを要件に応じて調整することができる。図1の高周波デバイスによれば、高周波信号を所望の減衰量で減衰させながら、不要な反射を抑えた高周波回路を単一のチップとして提供することができる。また、アッテネータ及びインピーダンス整合回路を単一のチップとして提供することにより、減衰量のバラツキとインピーダンスのバラツキを低減し、また、高周波回路を小型化することができる。

[0036] 第2の実施形態。

図5は、本発明の第2の実施形態に係る高周波デバイスの構成を示す分解斜視図である。図6は、図5の高周波デバイスを積層した状態を示す断面図である。

[0037] 図5の高周波デバイスは、誘電体層N11~N13及び磁性体層M11~

M 1 3 を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか 1 つの上にそれぞれ形成されたパターン導体 1 1 , 1 4 , 1 5 , 1 7 と、複数の層のうちのいずれか 1 つをそれぞれ貫通するビア導体 1 2 , 1 3 , 1 6 とを備える。高周波デバイスはさらに、端子 P 1 , P 2 をパターン導体 1 1 に備え、接地端子 G N D をパターン導体 1 7 に備える。パターン導体 1 1 , 1 4 , 1 5 , 1 7 及びビア導体 1 2 , 1 3 , 1 6 は、端子 P 1 , P 2 及び接地端子 G N D を接続して高周波信号を伝送する信号線を形成する。

[0038] 信号線の一部は、2 つの磁性体層 M 1 1 , M 1 2 間に挟設されたパターン導体 1 1 と、1 つの磁性体層 M 1 3 を貫通するビア導体 1 6 とを含む。信号線のこの部分は、高周波信号に対して所定の抵抗 R 1 1 , R 1 2 , R 1 3 をそれぞれ有する。

[0039] 信号線の他の一部は、少なくとも 1 つの誘電体層を間に挟みかつ磁性体層を間に挟まないように 2 つのパターン導体により形成されたキャパシタと、少なくとも 1 つの誘電体層上に形成されたパターン導体を含むインダクタとのうちの少なくとも一方を含む。図 5 の高周波デバイスでは、信号線は、端子 P 1 , P 2 を接続する第 1 の信号線と、第 1 の信号線上の接続点及び接地端子 G N D を接続する第 2 の信号線とを含み、第 2 の信号線は、誘電体層 N 1 2 を間に挟みかつ磁性体層を間に挟まないようにパターン導体 1 4 , 1 5 により形成されたキャパシタ C 1 1 を含む。

[0040] 図 7 は、図 5 の高周波デバイスの等価回路図である。これは、抵抗 R 1 3 が追加されたことのほかは、図 3 の等価回路図と同様である。キャパシタ C 1 1 は、インピーダンスを調整すると同時に、第 1 の信号線を通る高周波信号を接地端子 G N D に逃がす効果がある。第 2 の信号線に抵抗 R 1 3 を追加することで第 1 の信号線から接地端子 G N D に流れる高周波電流の割合を調整し、端子 P 1 , P 2 間の減衰量を調整できるようにする。

[0041] 図 8 は、図 5 の高周波デバイスに係る反射損失 (S 1 1) 及び挿入損失 (S 2 1) の周波数特性を示すグラフである。図 8 のグラフは、試作した高周

波デバイスについて実測した結果を示す。図 8 によれば、図 5 の高周波デバイスは実際にアッテネータとして機能していることがわかる。

[0042] 第 1 及び第 2 の実施形態で説明したように、信号線の一部は、1 つの磁性体層を貫通するビア導体及び 2 つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、信号線のこの部分は、高周波信号に対して所定の抵抗を有する。これにより、高周波デバイスはアッテネータとして機能することができる。

[0043] 第 3 の実施形態。

図 9 は、本発明の第 3 の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[0044] 図 9 の高周波デバイスは、誘電体層 N 2 1 ~ N 2 3 及び磁性体層 M 2 1 を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか 1 つの上にそれぞれ形成されたパターン導体 2 1 ~ 2 4, 2 7 と、複数の層のうちのいずれか 1 つをそれぞれ貫通するビア導体 2 5, 2 6 と、少なくとも 1 つの誘電体層 N 2 1 上に形成されたパターン導体を含むインダクタ L 2 1 とを備える。高周波デバイスはさらに、端子 P 1, P 2 及び接地端子 GND を誘電体層 N 2 1 ~ N 2 3 及び磁性体層 M 2 1 のそれぞれに備える。誘電体層 N 2 1 ~ N 2 3 及び磁性体層 M 2 1 が積層されたとき、各層の端子 P 1, P 2 及び接地端子 GND は互いに電氣的に接続される。パターン導体 2 1 ~ 2 4, 2 7 及びビア導体 2 5, 2 6 及びインダクタ L 2 1 は、端子 P 1, P 2 及び接地端子 GND を接続して高周波信号を伝送する信号線を形成する。

[0045] 信号線は、端子 P 1, P 2 を接続する第 1 の信号線と、第 1 の信号線上の第 1 の接続点及び接地端子 GND を接続する第 2 の信号線と、第 1 の信号線上の第 2 の接続点及び接地端子 GND を接続する第 3 の信号線とを含む。第 1 の信号線は、第 1 及び第 2 の接続点の間に、少なくとも 1 つの誘電体層 N 2 1 上に形成されたパターン導体を含むインダクタ L 2 1 を含む。第 2 の信号線は、少なくとも 1 つの誘電体層 N 2 2 を間に挟みかつ磁性体層を間に挟

まないようにパターン導体 21, 23 により形成されたキャパシタ C 21 と、1つの磁性体層 M 21 を貫通するビア導体 25 とを含む。1つの磁性体層 M 21 を貫通するビア導体 25 は、高周波信号に対して所定の抵抗 R 21 を有する。第3の信号線は、少なくとも1つの誘電体層 N 22 を間に挟みかつ磁性体層を間に挟まないようにパターン導体 22, 24 により形成されたキャパシタ C 22 と、1つの磁性体層 M 21 を貫通するビア導体 26 とを含む。1つの磁性体層 M 21 を貫通するビア導体 26 は、高周波信号に対して所定の抵抗 R 22 を有する。

[0046] 図10は、図9の高周波デバイスの等価回路図である。図9の高周波デバイスは、アッテネータとして機能すると同時に、 Π 型の低域通過フィルタとしても機能する。

[0047] 図11は、図9の高周波デバイスに係る反射損失 (S 11) 及び挿入損失 (S 21) の周波数特性を示すグラフである。図11のグラフは、以下のパラメータの値を有する高周波デバイスについてのシミュレーション結果を示す。インダクタ L 21 のインダクタンスは 5 nH であり、キャパシタ C 21, C 22 の容量は 2 pF であり、抵抗 R 21, R 22 の抵抗値は 250 Ω であった。負荷インピーダンス Z 1, Z 2 のインピーダンスは 50 Ω であった。磁性体層 M 21 の比透磁率は 290 であり、誘電体層 N 21 ~ N 23 の比透磁率は 1 であった。図11によれば、図9の高周波デバイスは、アッテネータとして機能すると同時に、低域通過フィルタとしても機能するということがわかる。

[0048] 図12は、第1の比較例に係る高周波デバイスの構成を示す分解斜視図である。

[0049] 図12の高周波デバイスは、誘電体層 N 31 ~ N 33 を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか1つの上にそれぞれ形成されたパターン導体 31 ~ 33 と、誘電体層 N 31 上に形成されたパターン導体を含むインダクタ L 31 とを備える。高周波デバイスはさらに、端子 P 1, P 2 及び接地端子 GND を誘電体層 N 31 ~ N

33のそれぞれに備える。誘電体層N31～N33が積層されたとき、各層の端子P1、P2及び接地端子GNDは互いに電氣的に接続される。パターン導体31～33及びインダクタL31は、端子P1、P2及び接地端子GNDを接続して高周波信号を伝送する信号線を形成する。

[0050] 信号線は、端子P1、P2を接続する第1の信号線と、第1の信号線上の第1の接続点及び接地端子GNDを接続する第2の信号線と、第1の信号線上の第2の接続点及び接地端子GNDを接続する第3の信号線とを含む。第1の信号線は、第1及び第2の接続点の間に、誘電体層N31上に形成されたパターン導体を含むインダクタL31を含む。第2の信号線は、少なくとも1つの誘電体層N32を間に挟むようにパターン導体31、33により形成されたキャパシタC31を含む。第3の信号線は、少なくとも1つの誘電体層N32を間に挟むようにパターン導体32、33により形成されたキャパシタC32を含む。

[0051] 図13は、図12の高周波デバイスの等価回路図である。これは、抵抗R21、R22が除去されたことのほかは、図10の等価回路図と同様である。

[0052] 図14は、図12の高周波デバイスに係る反射損失(S11)及び挿入損失(S21)の周波数特性を示すグラフである。図11及び図14を比較すると、図12の高周波デバイスは低域通過フィルタとして機能しているものの、アッテネータとしては機能していないことがわかる。

[0053] 第4の実施形態。

図15は、本発明の第4の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[0054] 図15の高周波デバイスは、誘電体層N41～N43及び磁性体層M41、M42を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか1つの上にそれぞれ形成されたパターン導体41～43、45、46、49と、複数の層のうちのいずれか1つをそれぞれ貫通するビア導体44、47、48と、少なくとも1つの誘電体層N42上

に形成されたパターン導体を含むインダクタ L_{41} を備える。高周波デバイスはさらに、端子 P_1 、 P_2 及び接地端子 GND を誘電体層 $N_{41} \sim N_{43}$ 及び磁性体層 M_{41} 、 M_{42} のそれぞれに備える。誘電体層 $N_{41} \sim N_{43}$ 及び磁性体層 M_{41} 、 M_{42} が積層されたとき、各層の端子 P_1 、 P_2 及び接地端子 GND は互いに電氣的に接続される。パターン導体 $41 \sim 43$ 、 45 、 46 、 49 及びビア導体 44 、 47 、 48 及びインダクタ L_{41} は、端子 P_1 、 P_2 及び接地端子 GND を接続して高周波信号を伝送する信号線を形成する。

[0055] 信号線は、端子 P_1 、 P_2 を接続する第1の信号線と、第1の信号線上の接続点及び接地端子 GND を接続する第2の信号線とを含む。第1の信号線は、端子 P_1 と第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層 N_{41} を間に挟みかつ磁性体層を間に挟まないようにパターン導体 41 、 43 により形成されたキャパシタ C_{41} と、2つの磁性体層 M_{41} 、 M_{42} 間に挟設されかつキャパシタ C_{41} に並列接続されたパターン導体 45 とを含む。2つの磁性体層 M_{41} 、 M_{42} 間に挟設されたパターン導体 45 は、高周波信号に対して所定の抵抗 R_{41} を有する。第1の信号線は、端子 P_2 と第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層 N_{41} を間に挟みかつ磁性体層を間に挟まないようにパターン導体 42 、 43 により形成されたキャパシタ C_{42} と、2つの磁性体層 M_{41} 、 M_{42} 間に挟設されかつキャパシタ C_{42} に並列接続されたパターン導体 46 とを含む。2つの磁性体層 M_{41} 、 M_{42} 間に挟設されたパターン導体 46 は、高周波信号に対して所定の抵抗 R_{42} を有する。第2の信号線は、少なくとも1つの誘電体層 N_{42} 上に形成されたパターン導体を含むインダクタ L_{41} を含む。

[0056] 図16は、図15の高周波デバイスの等価回路図である。図15の高周波デバイスは、アッテネータとして機能すると同時に、T型の高域通過フィルタとしても機能する。

[0057] 図17は、図15の高周波デバイスに係る反射損失(S_{11})及び挿入損

失（S 2 1）の周波数特性を示すグラフである。図 1 7 のグラフは、以下のパラメータの値を有する高周波デバイスについてのシミュレーション結果を示す。キャパシタ C 4 1，C 4 2 の容量は 5 p F であり、抵抗 R 4 1，R 4 2 の抵抗値は 4 0 Ω であり、インダクタ L 4 1 のインダクタンスは 1 0 n H であった。負荷インピーダンス Z 1，Z 2 のインピーダンスは 5 0 Ω であった。磁性体層 M 4 1，M 4 2 の比透磁率は 2 9 0 であり、誘電体層 N 4 1 ～ N 4 3 の比透磁率は 1 であった。図 1 7 によれば、図 1 5 の高周波デバイスは、アッテネータとして機能すると同時に、高域通過フィルタとしても機能するということがわかる。

[0058] 第 5 の実施形態。

図 1 8 は、本発明の第 5 の実施形態に係る高周波デバイスの構成を示す分解斜視図である。

[0059] 図 1 8 の高周波デバイスは、誘電体層 N 5 1 ～ N 5 3 及び磁性体層 M 5 1 ～ M 5 3 を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか 1 つの上にそれぞれ形成されたパターン導体 5 1，5 2，5 5 ～ 5 7，6 2，6 5 と、複数の層のうちのいずれか 1 つをそれぞれ貫通するビア導体 5 3，5 4，5 8 ～ 6 1，6 3，6 4 と、少なくとも 1 つの誘電体層 N 5 2 の下面に対向する磁性体層 M 5 2 上に形成されたパターン導体を含むインダクタ L 5 1 とを備える。高周波デバイスはさらに、端子 P 1，P 2 及び接地端子 G N D を誘電体層 N 5 1 ～ N 5 3 及び磁性体層 M 5 1 ～ M 5 3 のそれぞれに備える。誘電体層 N 5 1 ～ N 5 3 及び磁性体層 M 5 1 ～ M 5 3 が積層されたとき、各層の端子 P 1，P 2 及び接地端子 G N D は互いに電氣的に接続される。パターン導体 5 1，5 2，5 5 ～ 5 7，6 2，6 5 及びビア導体 5 3，5 4，5 8 ～ 6 1，6 3，6 4 及びインダクタ L 5 1 は、端子 P 1，P 2 及び接地端子 G N D を接続して高周波信号を伝送する信号線を形成する。

[0060] 信号線は、端子 P 1，P 2 を接続する第 1 の信号線と、第 1 の信号線上の接続点及び接地端子 G N D を接続する第 2 の信号線とを含む。第 1 の信号線

は、端子 P 1 と第 2 の信号線に接続された接続点との間に、少なくとも 1 つの誘電体層 N 5 1 を間に挟みかつ磁性体層を間に挟まないようにパターン導体 5 5, 5 7 により形成されたキャパシタ C 5 1 と、1 つの磁性体層 M 5 1 を貫通するビア導体 5 3 とを含む。1 つの磁性体層 M 5 1 を貫通するビア導体 5 3 は、高周波信号に対して所定の抵抗 R 5 1 を有する。第 1 の信号線は、端子 P 2 と第 2 の信号線に接続された接続点との間に、少なくとも 1 つの誘電体層 N 5 1 を間に挟みかつ磁性体層を間に挟まないようにパターン導体 5 6, 5 7 により形成されたキャパシタ C 5 2 と、1 つの磁性体層 M 5 1 を貫通するビア導体 5 4 とを含む。1 つの磁性体層 M 5 1 を貫通するビア導体 5 4 は、高周波信号に対して所定の抵抗 R 5 2 を有する。第 2 の信号線は、1 つの磁性体層をそれぞれ貫通するビア導体 6 1, 6 4 及び 2 つの磁性体層間に挟設されたパターン導体 6 2 を含む第 3 の信号線と、少なくとも 1 つの誘電体層 N 5 2 の下面に対向する磁性体層 M 5 2 上に形成されたパターン導体を含みかつ第 3 の信号線に並列接続されたインダクタ L 5 1 とを含む。1 つの磁性体層をそれぞれ貫通するビア導体 6 1, 6 4 及び 2 つの磁性体層間に挟設されたパターン導体 6 2 は、高周波信号に対して所定の抵抗 R 5 3 を有する。

[0061] 図 1 9 は、図 1 8 の高周波デバイスの等価回路図である。図 1 8 の高周波デバイスは、アッテネータとして機能すると同時に、T 型の高域通過フィルタとしても機能する。

[0062] 図 2 0 は、図 1 8 の高周波デバイスに係る反射損失 (S 1 1) 及び挿入損失 (S 2 1) の周波数特性を示すグラフである。図 2 0 のグラフは、以下のパラメータの値を有する高周波デバイスについてのシミュレーション結果を示す。キャパシタ C 5 1, C 5 2 の容量は 5 p F であり、抵抗 R 5 1, R 5 2 の抵抗値は 1 0 Ω であり、抵抗 R 5 3 の抵抗値は 1 5 0 Ω であり、インダクタ L 5 1 のインダクタンスは 1 0 n H であった。負荷インピーダンス Z 1, Z 2 のインピーダンスは 5 0 Ω であった。磁性体層 M 5 1 ~ M 5 3 の比透磁率は 2 9 0 であり、誘電体層 N 5 1 ~ N 5 3 の比透磁率は 1 であった。図

20によれば、図18の高周波デバイスは、アッテネータとして機能すると同時に、高域通過フィルタとしても機能するということがわかる。

[0063] 図21は、第2の比較例に係る高周波デバイスの構成を示す分解斜視図である。

[0064] 図21の高周波デバイスは、誘電体層N71～N74を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか1つの上にそれぞれ形成されたパターン導体71～73、76と、複数の層のうちのいずれか1つをそれぞれ貫通するビア導体74、75と、誘電体層N73上に形成されたパターン導体を含むインダクタL71とを備える。高周波デバイスはさらに、端子P1、P2及び接地端子GNDを誘電体層N71～N74のそれぞれに備える。誘電体層N71～N74が積層されたとき、各層の端子P1、P2及び接地端子GNDは互いに電氣的に接続される。パターン導体71～73、76及びビア導体74、75及びインダクタL71は、端子P1、P2及び接地端子GNDを接続して高周波信号を伝送する信号線を形成する。

[0065] 信号線は、端子P1、P2を接続する第1の信号線と、第1の信号線上の接続点及び接地端子GNDを接続する第2の信号線とを含む。第1の信号線は、端子P1と第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層N71を間に挟むようにパターン導体71、73により形成されたキャパシタC71を含む。第1の信号線は、端子P2と第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層N71を間に挟むようにパターン導体72、73により形成されたキャパシタC72を含む。第2の信号線は、誘電体層N73上に形成されたパターン導体を含むインダクタL71を含む。

[0066] 図22は、図21の高周波デバイスの等価回路図である。図21の高周波デバイスは、T型の高域通過フィルタとして機能する。

[0067] 図23は、図21の高周波デバイスに係る反射損失(S11)及び挿入損失(S21)の周波数特性を示すグラフである。図23のグラフは、以下の

パラメータの値を有する高周波デバイスについてのシミュレーション結果を示す。キャパシタ C_{71} 、 C_{72} の容量は5 pFであり、インダクタ L_{71} のインダクタンスは10 nHであった。負荷インピーダンス Z_1 、 Z_2 のインピーダンスは50 Ω であった。誘電体層 $N_{71} \sim N_{74}$ の比透磁率は1であった。図23によれば、図218の高周波デバイスは、高域通過フィルタとしても機能しているものの、アッテネータとしては機能していないことがわかる。

[0068] 第6の実施形態.

図24は、本発明の第6の実施形態に係る方向性結合器の構成を示すブロック図である。図24の方向性結合器は、第1～第5の実施形態に係る高周波デバイスをアッテネータとして備えたことを特徴とする。

[0069] 図24の方向性結合器は、4つのポートIN、OUT、COUP、ISOと、ポートIN、OUTの間に設けられた伝送線路82aと、ポートCOUP、ISOの間に設けられ、伝送線路82aに電磁的に結合した伝送線路82bと、ポートCOUPと伝送線路82bとの間に設けられたアッテネータ81と、ポートISOと伝送線路82bとの間に設けられたアッテネータ83とを備える。互いに電磁的に結合する伝送線路82a、82bを含む伝送線路部82は、従来の方向性結合器と同様に構成される。アッテネータ81、83は、第1～第5の実施形態のいずれかに係る高周波デバイスである。

[0070] 次に、図25～図27を参照して、図24の方向性結合器の実施例について説明する。

[0071] 図25及び図26は、図24の方向性結合器の構成を示す分解斜視図である。

[0072] 図25及び図26の高周波デバイスは、誘電体層 $N_{91} \sim N_{94}$ 及び磁性体層 $M_{91} \sim M_{96}$ を含む積層された複数の層を含む基板を備える。高周波デバイスは、複数の層のうちのいずれか1つの上にそれぞれ形成されたパターン導体92、93、95、96～102、107～110、115～120と、複数の層のうちのいずれか1つをそれぞれ貫通するビア導体94、1

03～106, 111～114とを備える。高周波デバイスはさらに、端子IN, OUT, COUP, ISO, T1, T2及び接地端子GNDを誘電体層N91～N94及び磁性体層M91～M96のそれぞれに備える。端子IN, OUT, COUP, ISOは、図24において同じ符号で表されたポートに対応し、また、端子T1, T2は、高周波デバイスの内部接続のための端子である。誘電体層N91～N94及び磁性体層M91～M96が積層されたとき、各層の端子IN, OUT, COUP, ISO, T1, T2及び接地端子GNDは互いに電氣的に接続される。

[0073] 誘電体層N92, N93上にそれぞれ形成されたパターン導体92, 95及び誘電体層N92を貫通するビア導体94は、図24の伝送線路82aに対応する。誘電体層N92上に形成されたパターン導体93は、図24の伝送線路82bに対応する。

[0074] 次に、図24のアッテネータ81に対応する部分について説明する。パターン導体96, 97, 99, 100, 107, 108, 115, 116, 119と、ビア導体103, 104, 111, 112は、端子COUP及び伝送線路82bを接続して高周波信号を伝送する信号線を形成する。この信号線は、端子COUP及び伝送線路82bを接続する第1の信号線と、第1の信号線上の第1の接続点及び接地端子GNDを接続する第2の信号線と、第1の信号線上の第2の接続点及び接地端子GNDを接続する第3の信号線とを含む。第1の信号線は、第1及び第2の接続点の間に、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む。図25及び図26の方向性結合器では、第1の信号線は、2つの磁性体層M94, M95間に挟設されたパターン導体119を含む。第1の信号線のこの部分は、高周波信号に対して所定の抵抗R92を有する。第2の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む。図25及び図26の方向性結合器では、第2の信号線は、1つの磁性体層M92, M93をそれぞれ貫通するビア導体103, 111及び磁性体層M91～M94間に形成

されたパターン導体 99, 107, 115 を含む。第 2 の信号線のこの部分は、高周波信号に対して所定の抵抗 R 91 を有する。第 3 の信号線は、1 つの磁性体層を貫通するビア導体及び 2 つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第 4 の信号線と、少なくとも 1 つの誘電体層 N 94 を間に挟みかつ磁性体層を間に挟まないようにパターン導体 96, 97 により形成されかつ第 4 の信号線に並列接続されたキャパシタ C 91 とを含む。図 25 及び図 26 の方向性結合器では、第 4 の信号線は、1 つの磁性体層 M 92, M 93 をそれぞれ貫通するビア導体 104, 112 及び磁性体層 M 91 ~ M 94 間に形成されたパターン導体 100, 108, 116 を含む。第 3 の信号線のこの部分は、高周波信号に対して所定の抵抗 R 93 を有する。

[0075] 次に、図 24 のアッテネータ 83 に対応する部分について説明する。パターン導体 96, 98, 101, 102, 109, 110, 117, 118, 120 と、ビア導体 105, 106, 113, 114 は、端子 I S O 及び伝送線路 82b を接続して高周波信号を伝送する信号線を形成する。この信号線は、端子 I S O 及び伝送線路 82b を接続する第 5 の信号線と、第 5 の信号線上の第 1 の接続点及び接地端子 G N D を接続する第 6 の信号線と、第 5 の信号線上の第 2 の接続点及び接地端子 G N D を接続する第 7 の信号線とを含む。第 5 の信号線は、第 1 及び第 2 の接続点の間に、1 つの磁性体層を貫通するビア導体及び 2 つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む。図 25 及び図 26 の方向性結合器では、第 5 の信号線は、2 つの磁性体層 M 94, M 95 間に挟設されたパターン導体 120 を含む。第 5 の信号線のこの部分は、高周波信号に対して所定の抵抗 R 95 を有する。第 6 の信号線は、1 つの磁性体層を貫通するビア導体及び 2 つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む。図 25 及び図 26 の方向性結合器では、第 6 の信号線は、1 つの磁性体層 M 92, M 93 をそれぞれ貫通するビア導体 106, 114 及び磁性体層 M 91 ~ M 94 間に形成されたパターン導体 102, 110, 118 を含む。第 6 の信号線のこの部分

は、高周波信号に対して所定の抵抗 R_{96} を有する。第7の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第8の信号線と、少なくとも1つの誘電体層 N_{94} を間に挟みかつ磁性体層を間に挟まないようにパターン導体 96 、 98 により形成されかつ第8の信号線に並列接続されたキャパシタ C_{92} とを含む。図25及び図26の方向性結合器では、第8の信号線は、1つの磁性体層 M_{92} 、 M_{93} をそれぞれ貫通するビア導体 105 、 113 及び磁性体層 $M_{91} \sim M_{94}$ 間に形成されたパターン導体 101 、 109 、 117 を含む。第7の信号線のこの部分は、高周波信号に対して所定の抵抗 R_{94} を有する。

[0076] なお、図25及び図26の方向性結合器は、その表面に、デバイスの向きを判断するためのマーカー 91 を備えてもよい。

[0077] 図27は、図25及び図26の方向性結合器の等価回路図である。アッテネータ 81 、 83 は、図25及び図26の構成に代えて、第1～第5の実施形態のいずれかに係る高周波デバイスを用いてもよい。

[0078] 図25及び図26の方向性結合器によれば、伝送線路 $82a$ 、 $82b$ を誘電体層に形成し、アッテネータ 81 、 83 の抵抗 $R_{91} \sim R_{96}$ を磁性体層に形成することで、伝送線路部 82 及びアッテネータ 81 、 83 を単一のチップとして提供することができる。アッテネータ 81 、 83 の減衰量及びインピーダンスを調整することにより、方向性結合器は任意の結合度を得る。その際、伝送線路部 82 の結合度に減衰量が付加されているので、方向性結合器の全体のインピーダンス整合が損なわれたときのバラツキは、減衰量の分だけ小さくすることが可能である。アッテネータ 81 、 83 の減衰量及びインピーダンスを調整することにより、カップリング信号のバラツキを低減することができる。

[0079] 図25及び図26に示すように、抵抗 $R_{91} \sim R_{96}$ に含まれるパターン導体及びビア導体の個数を増減することにより、その抵抗値を広い範囲で調整することができる。

[0080] 図24～図27の方向性結合器によれば、アッテネータを含む高周波回路を含み、単一のチップとして構成される方向性結合器を提供することができる。

[0081] 変形例.

以上説明した各実施形態の構成に加えて、追加の抵抗、キャパシタ、及び／又はインダクタを含んでもよい。

[0082] 本明細書では、パターン導体が2つの磁性体層間に挟設された場合のみ高周波信号に対して所定の抵抗を有するものとして説明したが、磁性体層と誘電体層との間に形成されたときも、高周波信号に対して所定の抵抗を有する素子として機能させてもよい。

[0083] 本明細書では、アッテネータとして機能すると同時に、低域通過フィルタ又は高域通過フィルタとしても機能する高周波デバイスについて説明したが、アッテネータとして機能すると同時に、帯域通過フィルタとしても機能する高周波デバイスを構成してもよい。

[0084] また、キャパシタを構成するパターン導体に対向する面積、誘電体層の厚みや誘電率を調整することにより、キャパシタの容量を調整して所望のインピーダンスを得ることができる。なお、磁性体層や誘電体層には、低温同時焼成セラミックス（LTCC）を利用したセラミック層に限定されるものではなく、樹脂中に磁性体粉末を分散してなる磁性体樹脂層を利用する等、樹脂を用いたものであってもよい。

産業上の利用可能性

[0085] 本発明によれば、高周波帯において、不要な反射波の発生を抑えた高周波デバイスを提供することができる。また、高周波デバイスを小型化することにより、寄生分を減らすことができる。所望帯域の外においても不要な反射波を抑えたアッテネータ及び方向性結合器を提供することができる。

[0086] 本発明によれば、減衰量及びインピーダンスのバラツキが低減され、小型化されたアッテネータを提供することができる。

[0087] 本発明によれば、高周波信号の反射を生じることなく、任意の減衰量を得

ることができるので、アッテネータ、フィルタ、及び方向性結合器へ応用したときに、その高性能化が可能になる。

[0088] 任意の周波数帯において、抵抗とインダクタと容量によりインピーダンスを調整することで、反射特性を調整することができる。

符号の説明

[0089] 1, 4, 5, 11, 14, 15, 17, 21~24, 27, 31~33, 41~43, 45, 46, 48, 49, 51, 52, 55~57, 62, 65, 71~73, 76, 92, 93, 95, 96~102, 107~110, 115~120…パターン導体、
2, 3, 12, 13, 16, 25, 26, 44, 47, 48, 53, 54, 58~61, 63, 64, 74, 75, 94, 103~106, 111~114…ビア導体、
81, 83…アッテネータ、
82…伝送線路部、
82a, 82b…伝送線路、
91…マーカ、
C1, C11, C21, C22, C31, C32, C51, C52, C71, C72, C91, C92…キャパシタ、
GND…接地端子、
L21, L31, L51, L71…インダクタ、
R1, R2, R11~R13, R21, R22, R41, R42, R51~R53, R91~R96…抵抗、
M1, M2, M11~M13, M21, M41, M42, M51~M53, M91~M96…磁性体層、
N1~N3, N11~N13, N21~N23, N31~N33, N41~N43, N51~N53, N71~N74, N91~N94…誘電体層、
P1, P2, T1, T2…端子、
Z1, Z2…負荷インピーダンス。

請求の範囲

- [請求項1] 少なくとも1つの誘電体層及び少なくとも1つの磁性体層を含む積層された複数の層を含む基板と、
- 第1及び第2の端子と、
- 上記複数の層のうちのいずれか1つの上に形成された少なくとも1つのパターン導体と、
- 上記複数の層のうちのいずれか1つを貫通する少なくとも1つのビア導体とを備えた高周波デバイスであって、
- 上記パターン導体及び上記ビア導体は、上記第1及び第2の端子を接続して所定の高周波信号を伝送する信号線を形成し、
- 上記信号線の第1の部分は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、上記第1の部分は上記高周波信号に対して所定の抵抗を有し、
- 上記信号線の第2の部分は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成されたキャパシタと、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタとのうちの少なくとも一方を含み、上記高周波デバイスは上記第1及び第2の端子において上記高周波信号に対して所定のインピーダンスを有することを特徴とする高周波デバイス。
- [請求項2] 上記高周波デバイスは接地端子をさらに備え、
- 上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の接続点及び上記接地端子を接続する第2の信号線とを含み、
- 上記第2の信号線は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成されたキャパシタを含むことを特徴とする請求項1記載の高周波デバイス。
- [請求項3] 上記第2の信号線は、1つの磁性体層を貫通するビア導体を含むことを特徴とする請求項2記載の高周波デバイス。

[請求項4]

上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の第1の接続点及び上記接地端子を接続する第2の信号線と、上記第1の信号線上の第2の接続点及び上記接地端子を接続する第3の信号線とを含み、

上記第1の信号線は、上記第1及び第2の接続点の間に、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタを含み、

上記第2の信号線は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、1つの磁性体層を貫通する第1のビア導体とを含み、

上記第3の信号線は、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2のキャパシタと、1つの磁性体層を貫通する第2のビア導体とを含むことを特徴とする請求項1記載の高周波デバイス。

[請求項5]

上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の接続点及び上記接地端子を接続する第2の信号線とを含み、

上記第1の信号線は、上記第1の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、2つの磁性体層間に挟設されかつ上記第1のキャパシタに並列接続された第1のパターン導体とを含み、

上記第1の信号線は、上記第2の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2

のキャパシタと、2つの磁性体層間に挟設されかつ上記第2のキャパシタに並列接続された第2のパターン導体とを含み、

上記第2の信号線は、少なくとも1つの誘電体層上に形成されたパターン導体を含むインダクタを含むことを特徴とする請求項1記載の高周波デバイス。

[請求項6]

上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の接続点及び上記接地端子を接続する第2の信号線とを含み、

上記第1の信号線は、上記第1の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第1のキャパシタと、1つの磁性体層を貫通する第1のビア導体とを含み、

上記第1の信号線は、上記第2の端子と上記第2の信号線に接続された接続点との間に、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように2つのパターン導体により形成された第2のキャパシタと、1つの磁性体層を貫通する第2のビア導体とを含み、

上記第2の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第3の信号線と、少なくとも1つの誘電体層上に形成されたパターン導体を含みかつ上記第3の信号線に並列接続されたインダクタとを含むことを特徴とする請求項1記載の高周波デバイス。

[請求項7]

上記高周波デバイスは接地端子をさらに備え、

上記信号線は、上記第1及び第2の端子を接続する第1の信号線と、上記第1の信号線上の第1の接続点及び上記接地端子を接続する第2の信号線と、上記第1の信号線上の第2の接続点及び上記接地端子

を接続する第3の信号線とを含み、

上記第1の信号線は、上記第1及び第2の接続点の間に、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、

上記第2の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含み、

上記第3の信号線は、1つの磁性体層を貫通するビア導体及び2つの磁性体層間に挟設されたパターン導体の少なくとも一方を含む第4の信号線と、少なくとも1つの誘電体層を間に挟みかつ磁性体層を間に挟まないように形成されかつ上記第4の信号線に並列接続されたキャパシタとを含むことを特徴とする請求項1記載の高周波デバイス。

[請求項8] 上記高周波デバイスはアッテネータであることを特徴とする請求項1～7のいずれか1つに記載の高周波デバイス。

[請求項9] 上記高周波デバイスは低域通過フィルタであることを特徴とする請求項8記載の高周波デバイス。

[請求項10] 上記高周波デバイスは高域通過フィルタであることを特徴とする請求項8記載の高周波デバイス。

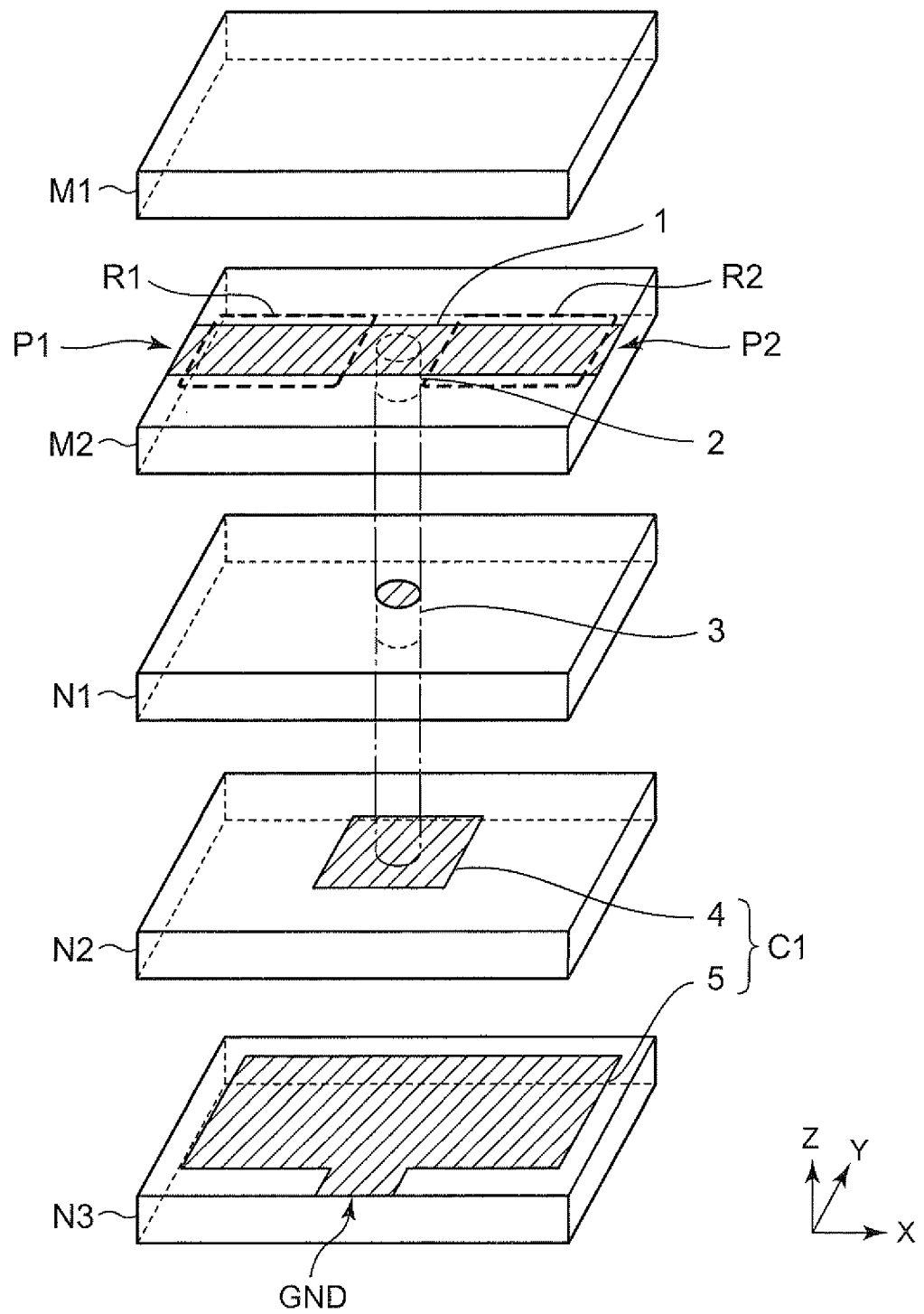
[請求項11] 上記高周波デバイスは帯域通過フィルタであることを特徴とする請求項8記載の高周波デバイス。

[請求項12] 第1～第4のポートと、
上記第1及び第2のポートの間に設けられた第1の伝送線路と、
上記第3及び第4のポートの間に設けられ、上記第1の伝送線路に電磁的に結合した第2の伝送線路と、
上記第3のポートと上記第2の伝送線路との間に設けられた第1のアッテネータと、
上記第4のポートと上記第2の伝送線路との間に設けられた第2のアッテネータとを備えた方向性結合器であって、
上記第1及び第2のアッテネータは請求項1～11のいずれか1つ

に記載の高周波デバイスであることを特徴とする方向性結合器。

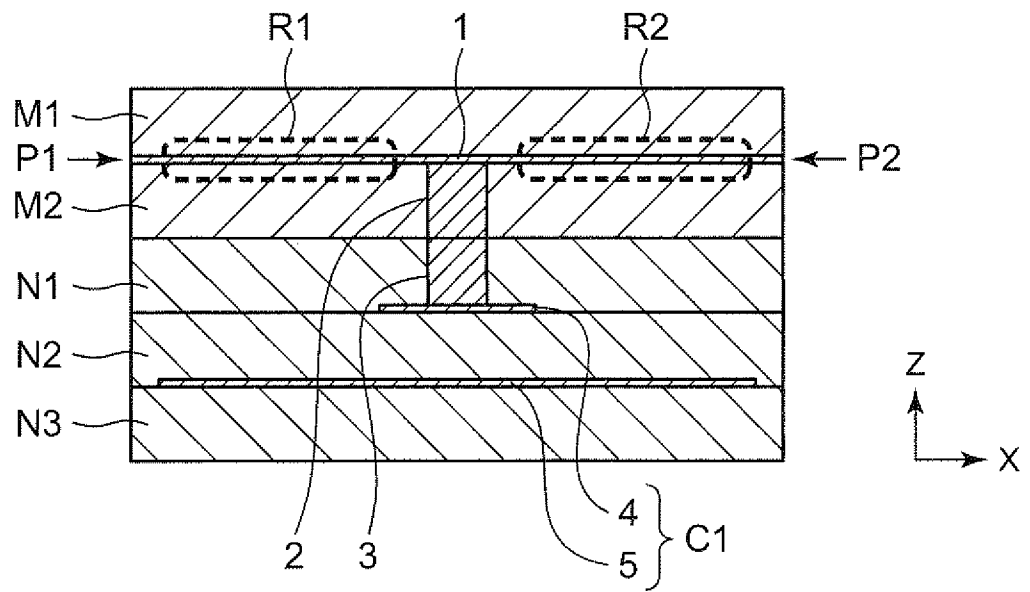
[図1]

図 1



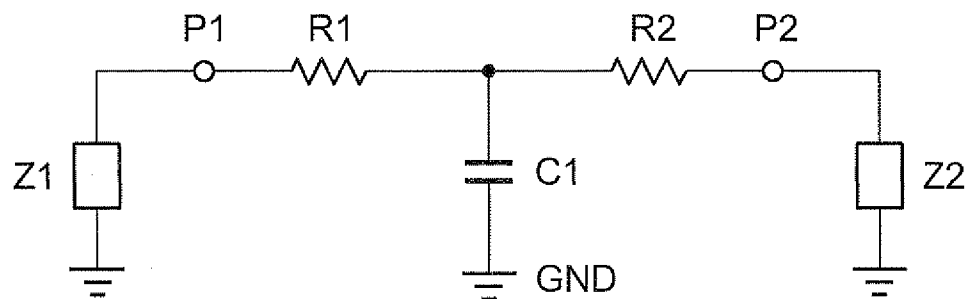
[図2]

図 2



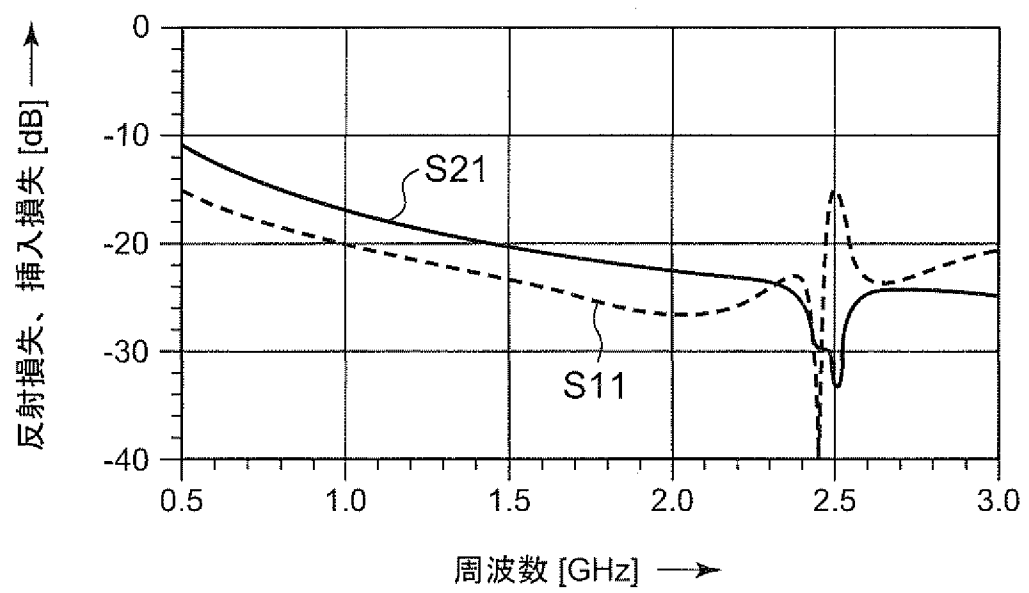
[図3]

図 3



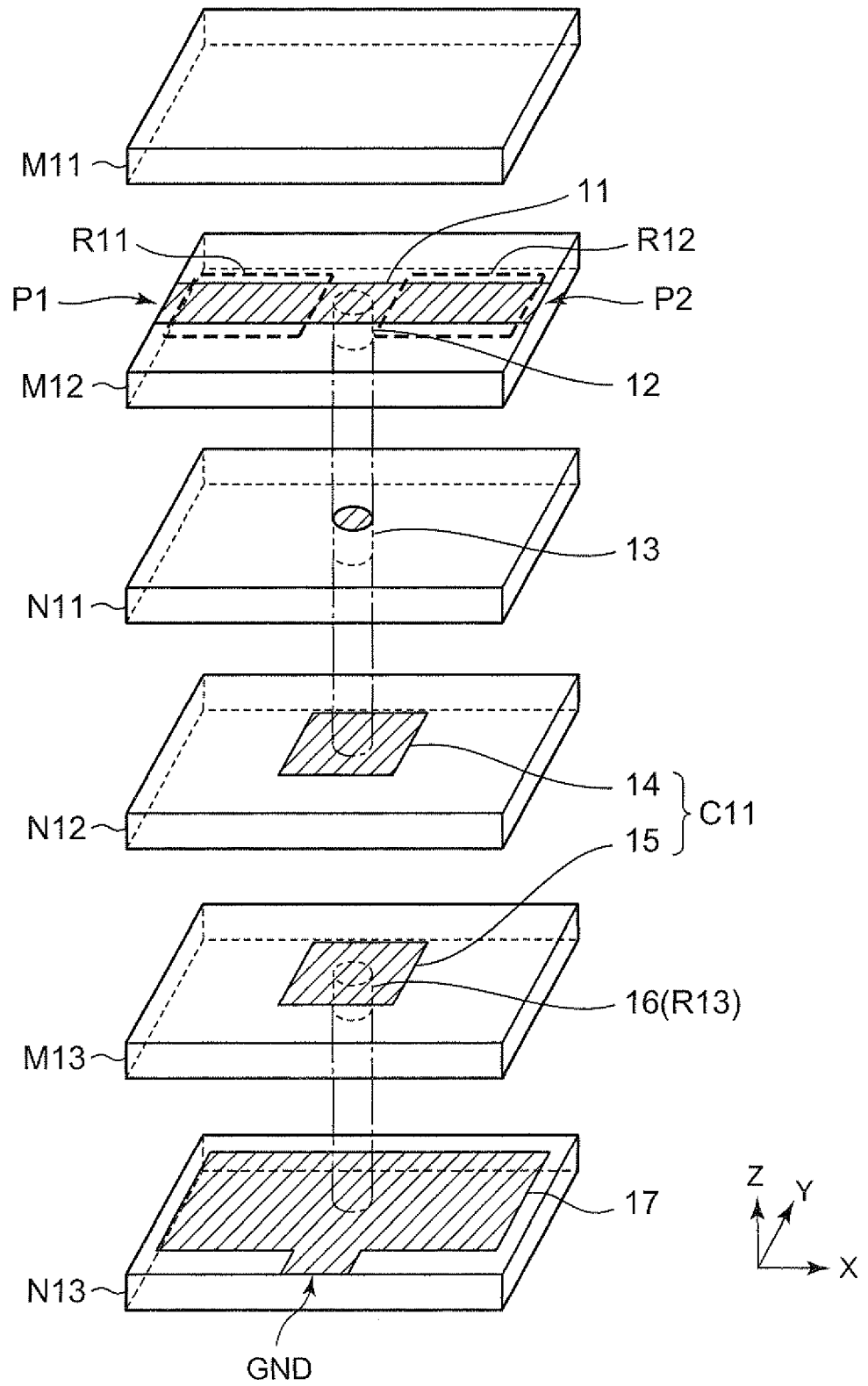
[図4]

図 4



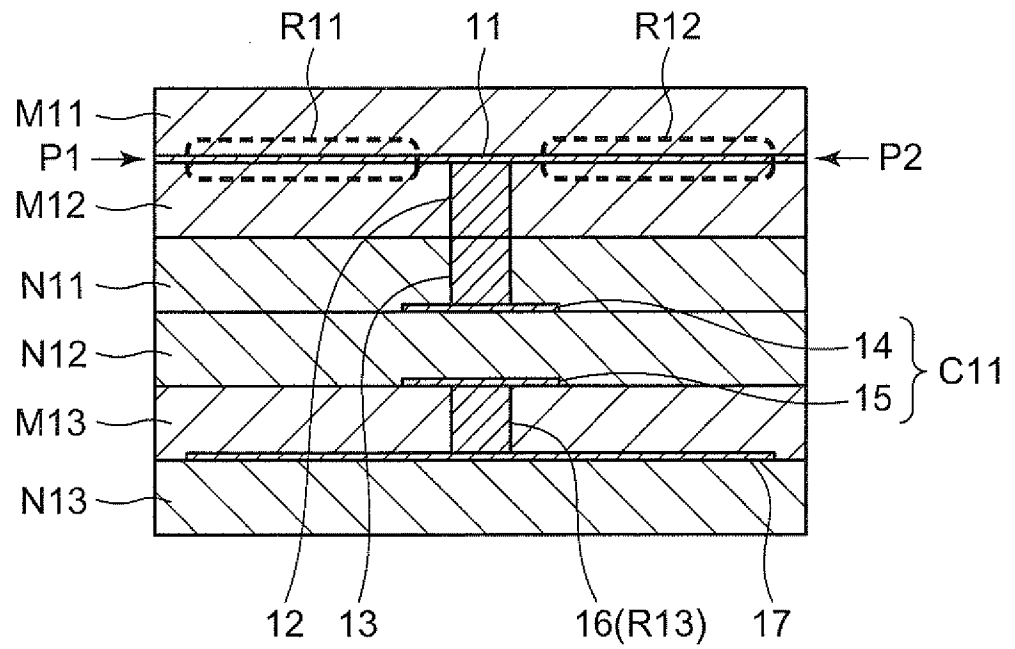
[図5]

図 5



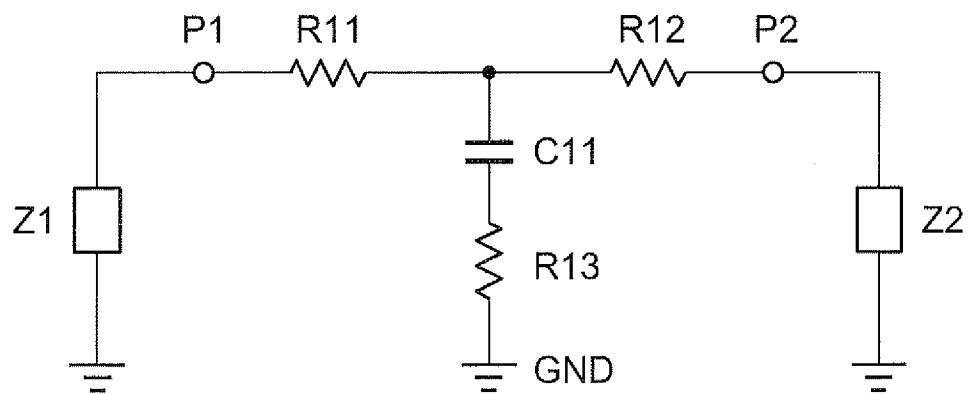
[図6]

図 6



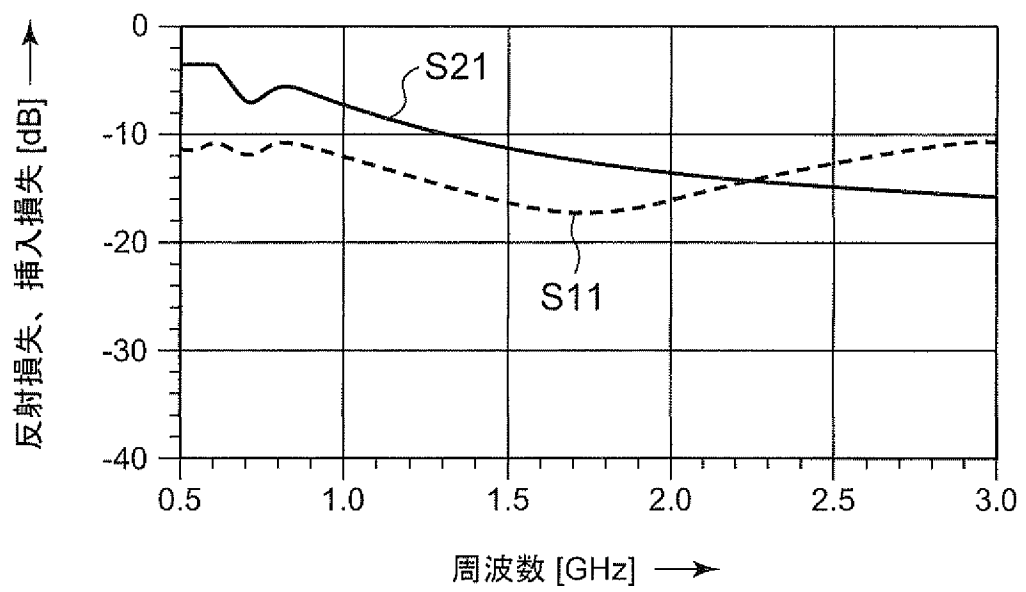
[図7]

図 7



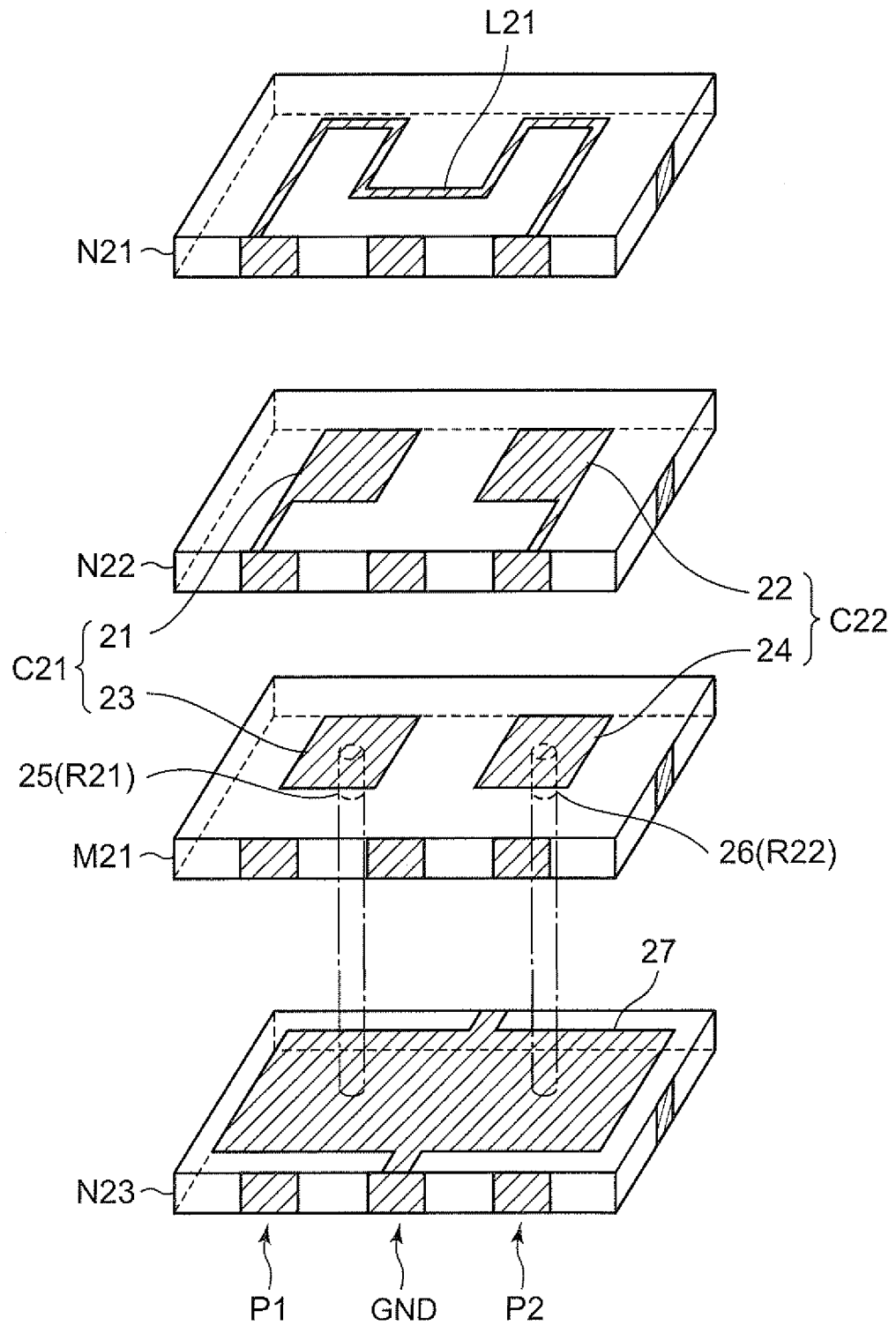
[図8]

図 8



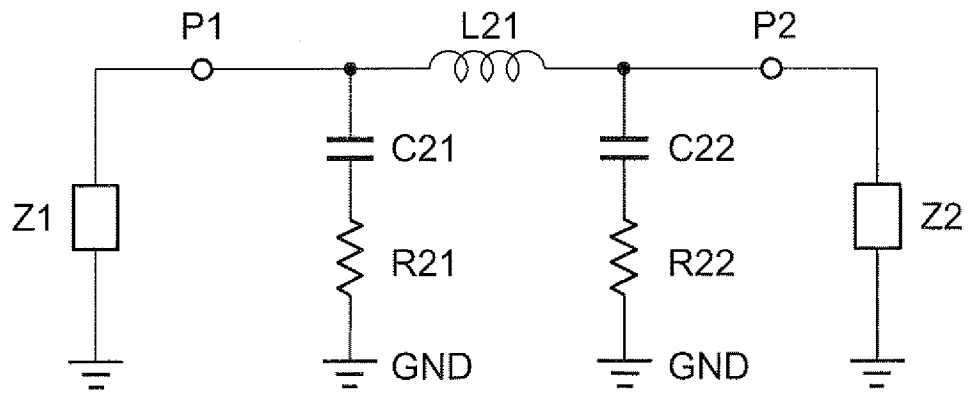
[図9]

図 9



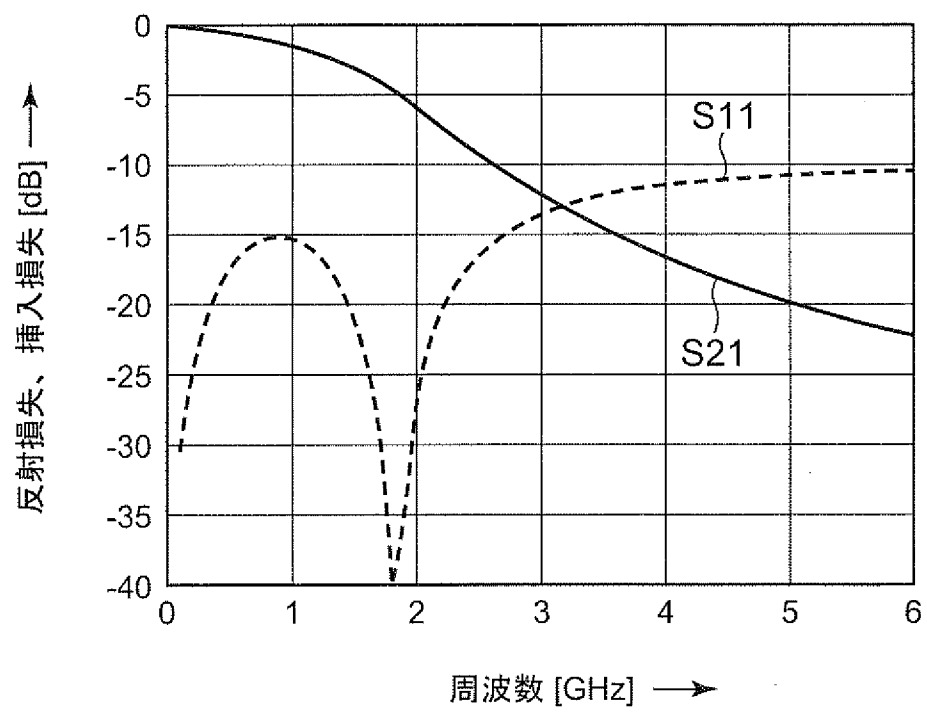
[図10]

図 10



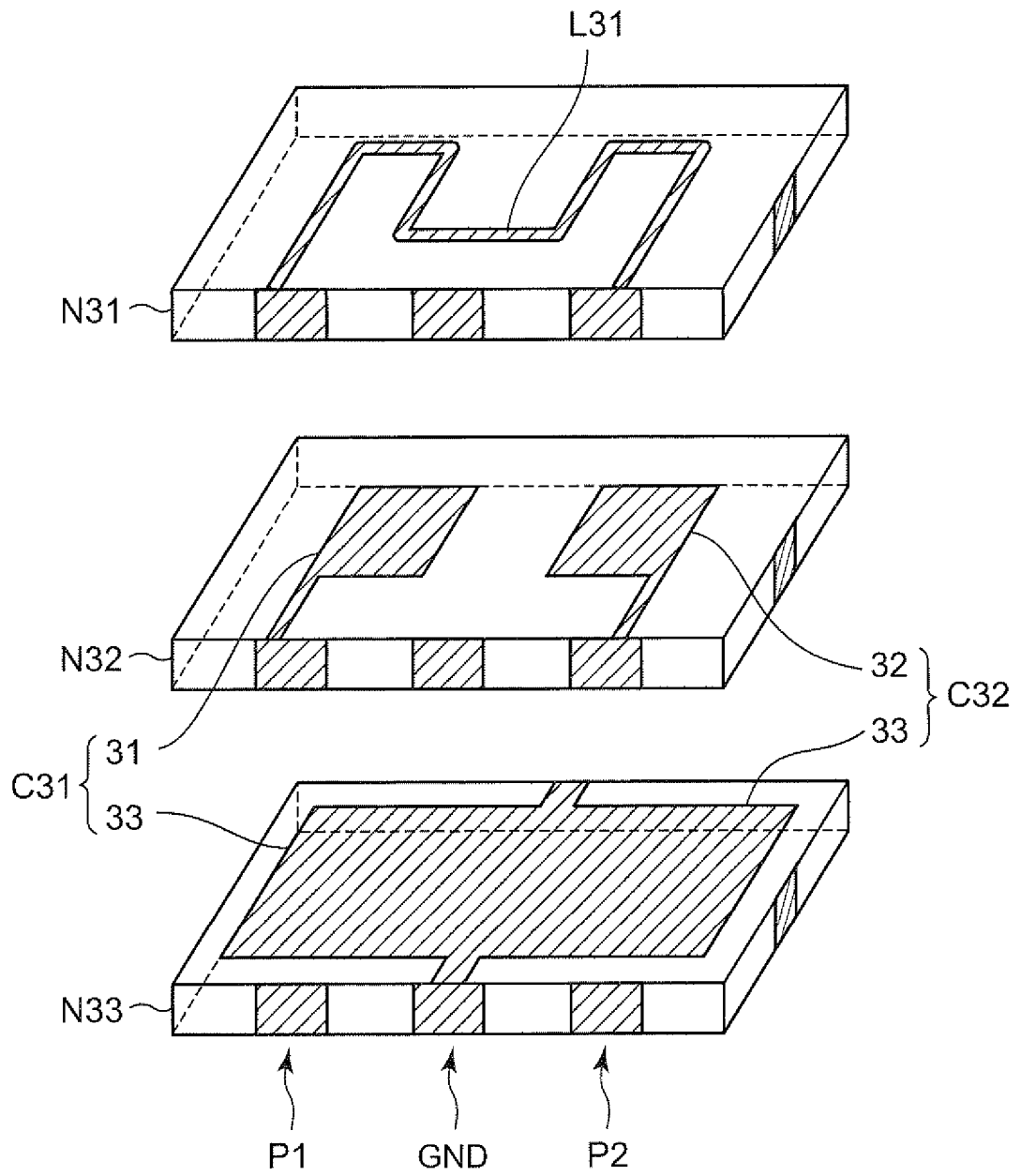
[図11]

図 11



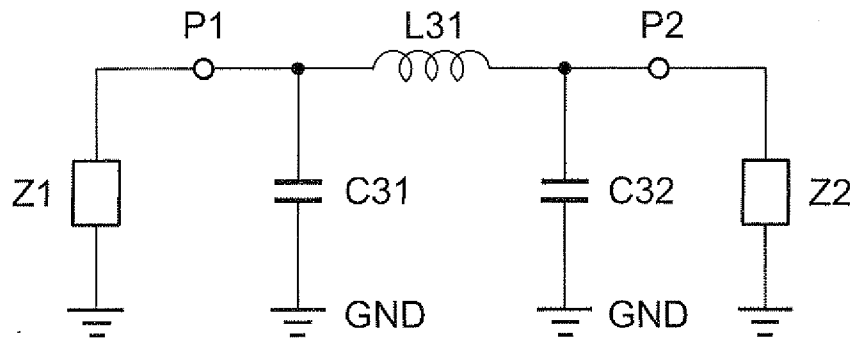
[図12]

図 12



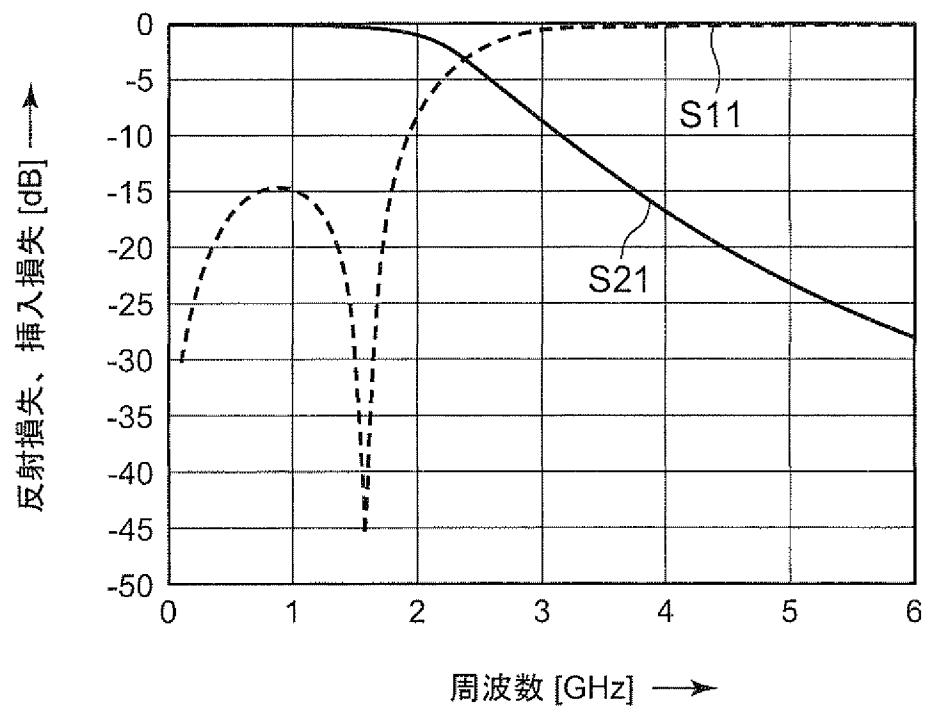
[図13]

図 13



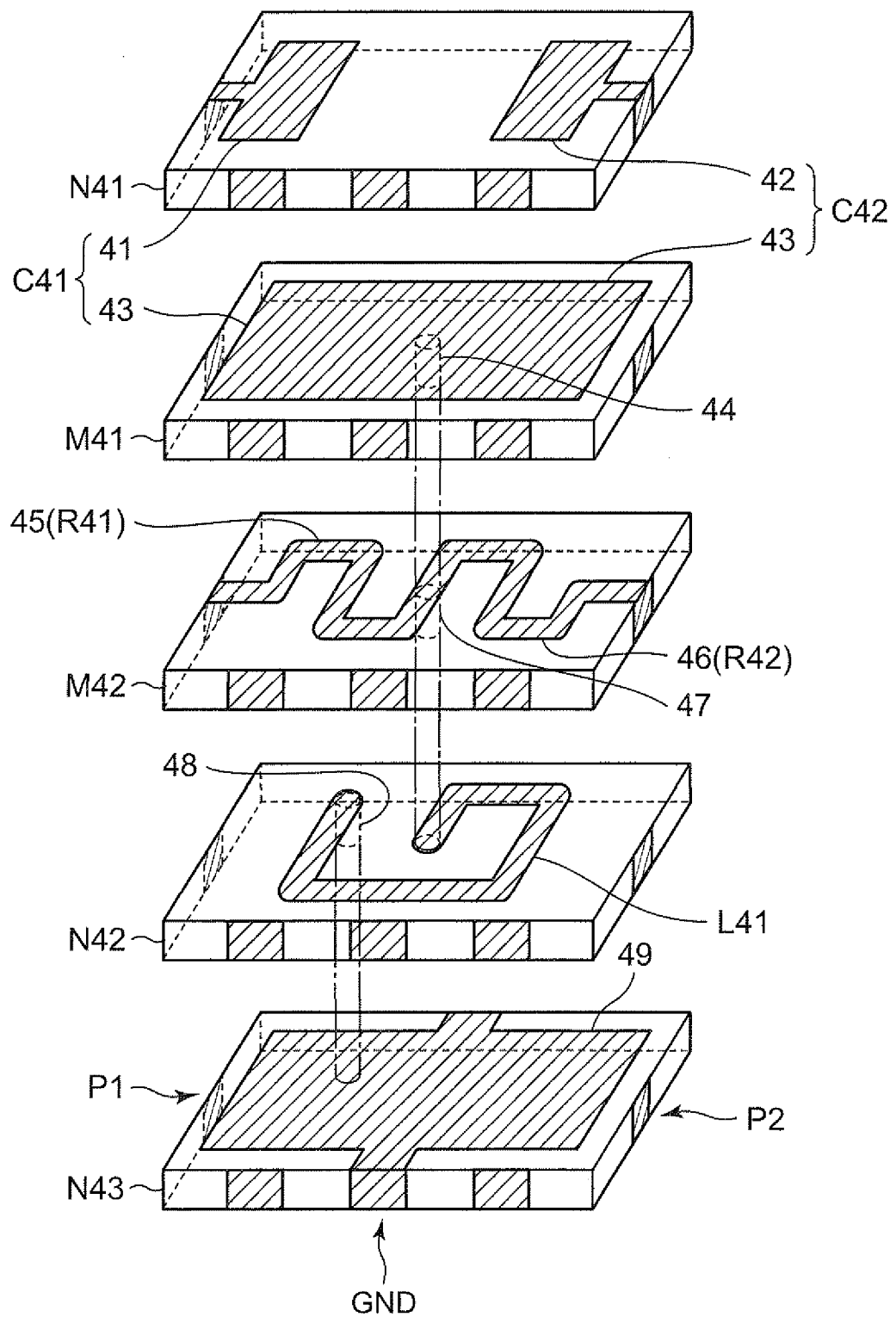
[図14]

図 14



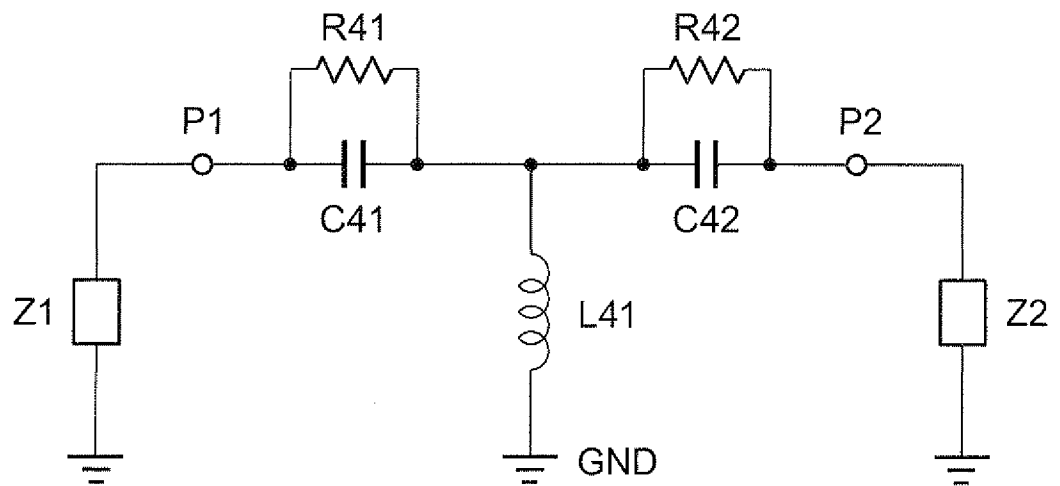
[図15]

図 15



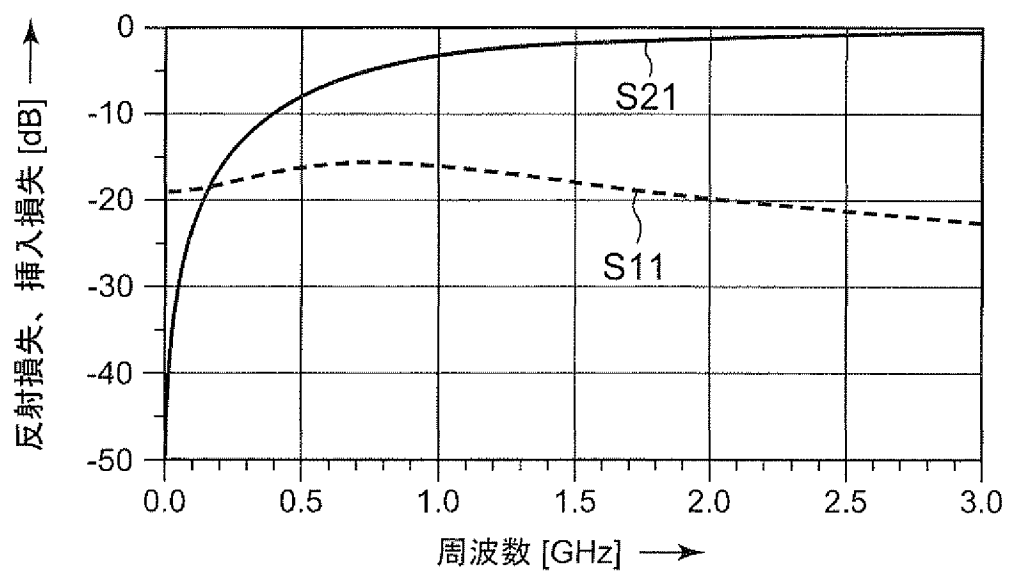
[図16]

図 16



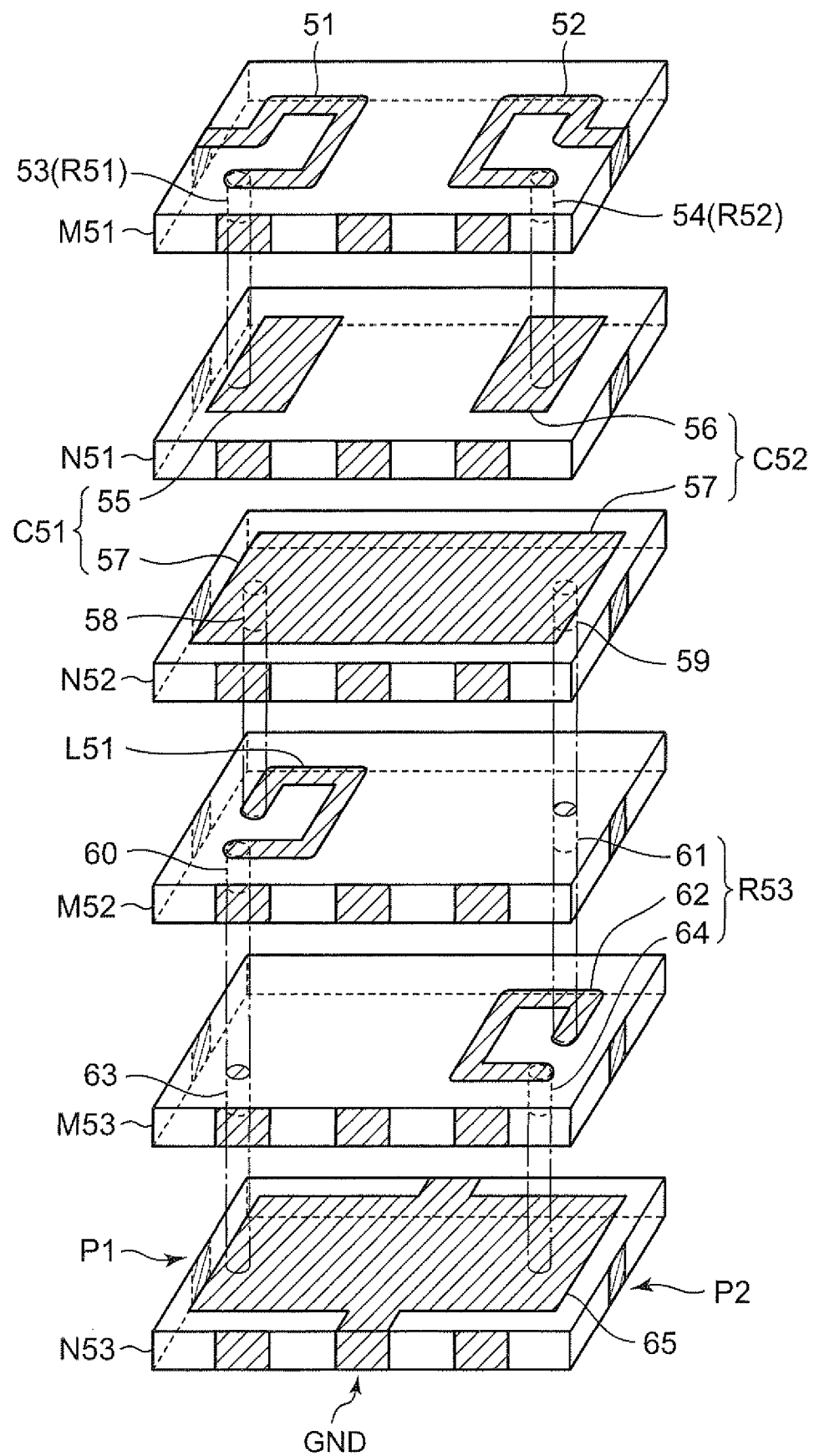
[図17]

図 17



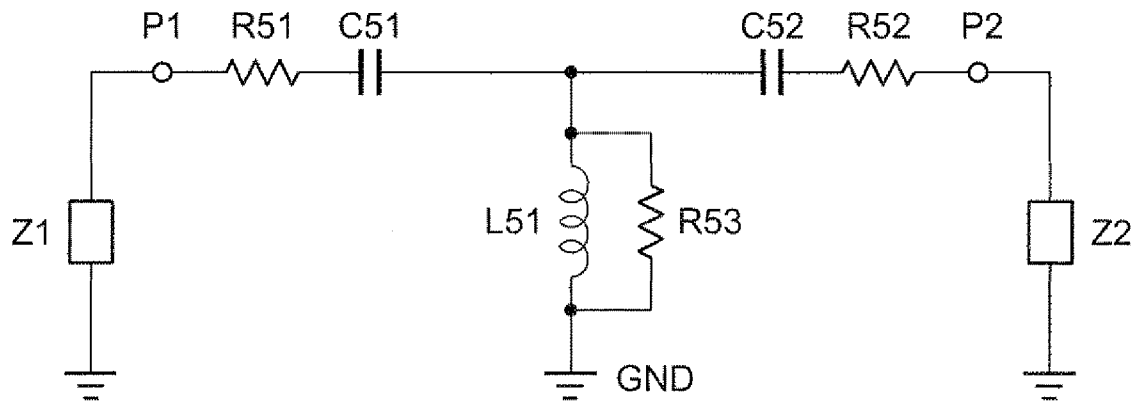
[図18]

図 18



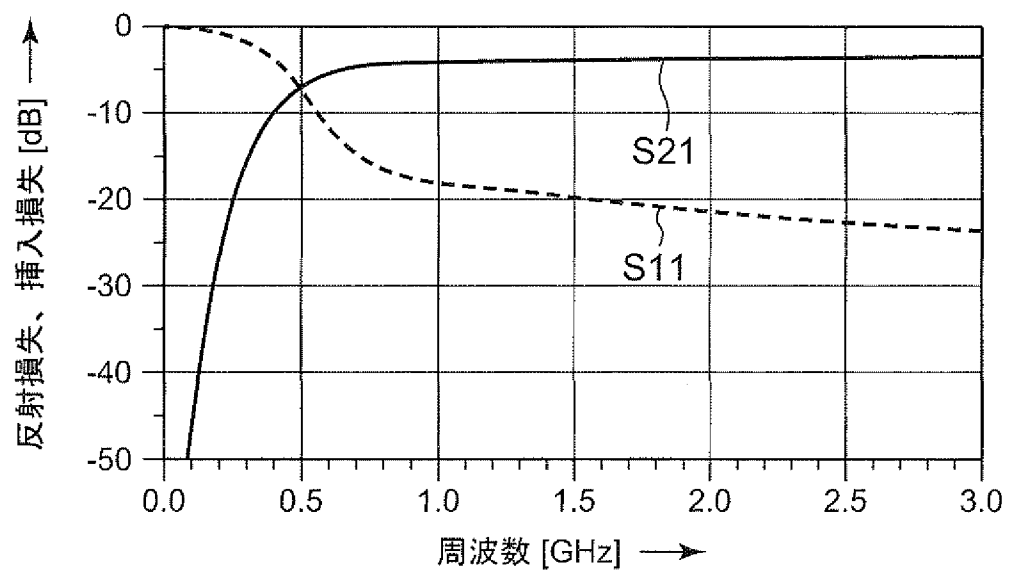
[図19]

図 19



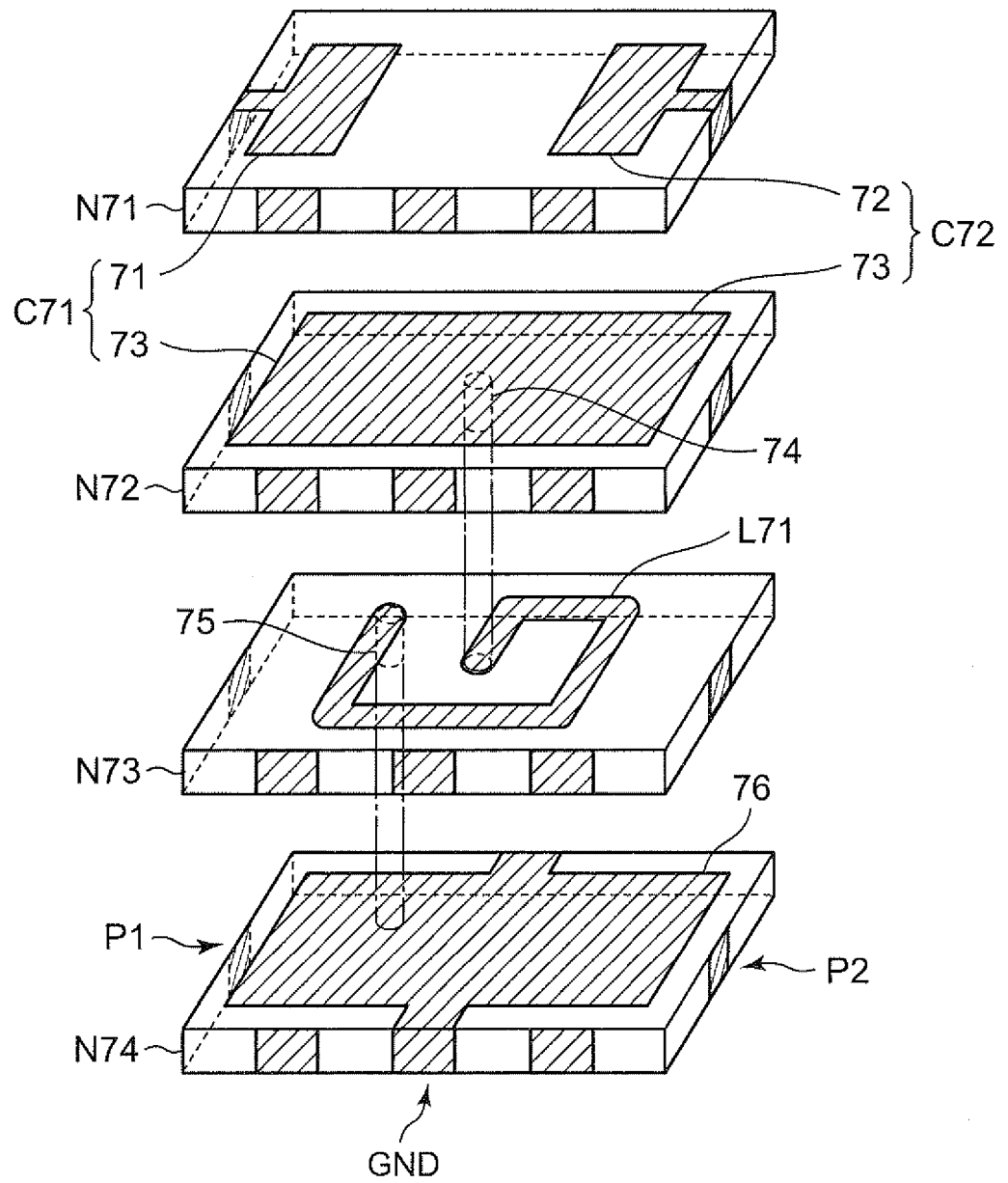
[図20]

図 20



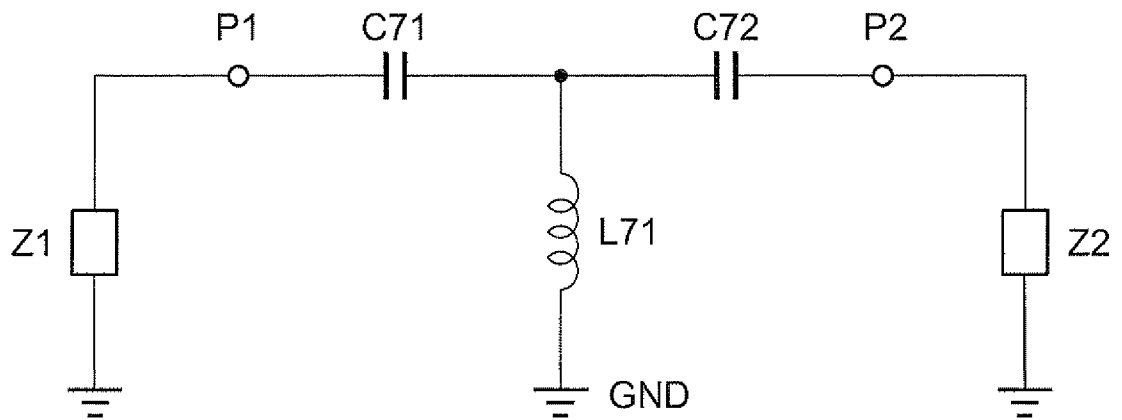
[図21]

図 21



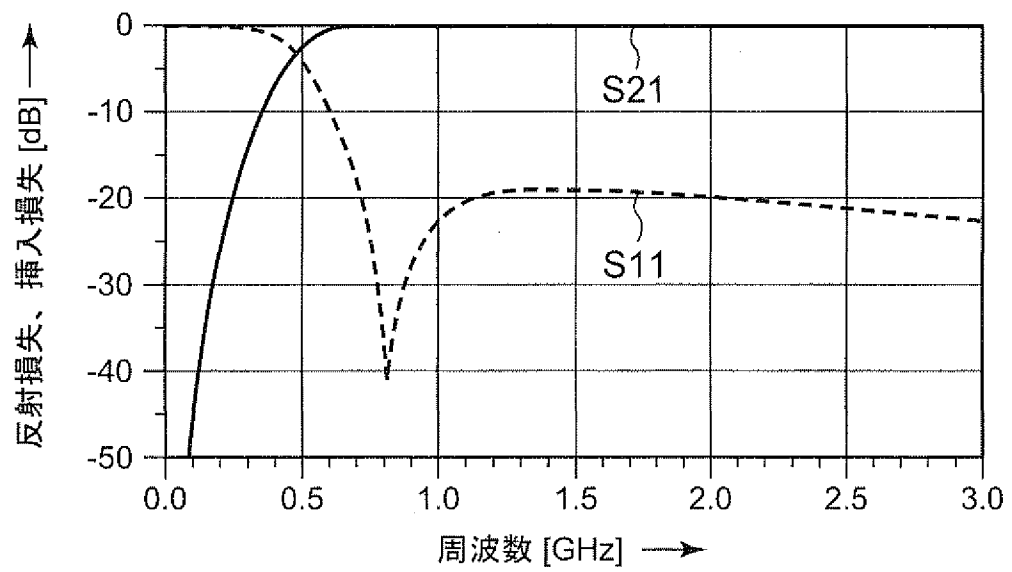
[図22]

図 22



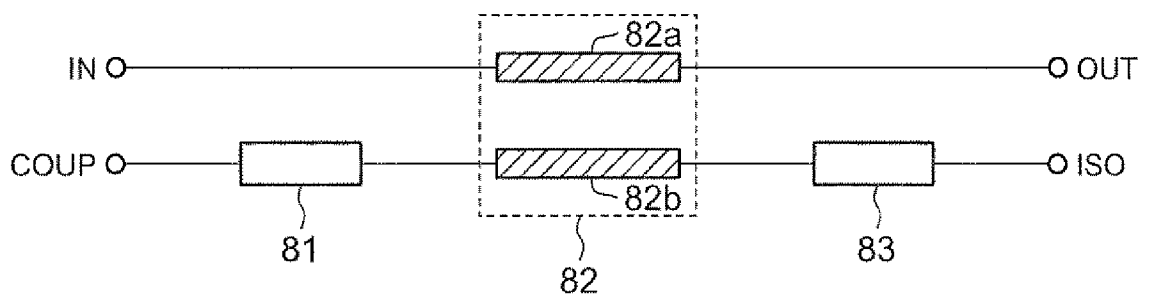
[図23]

図 23



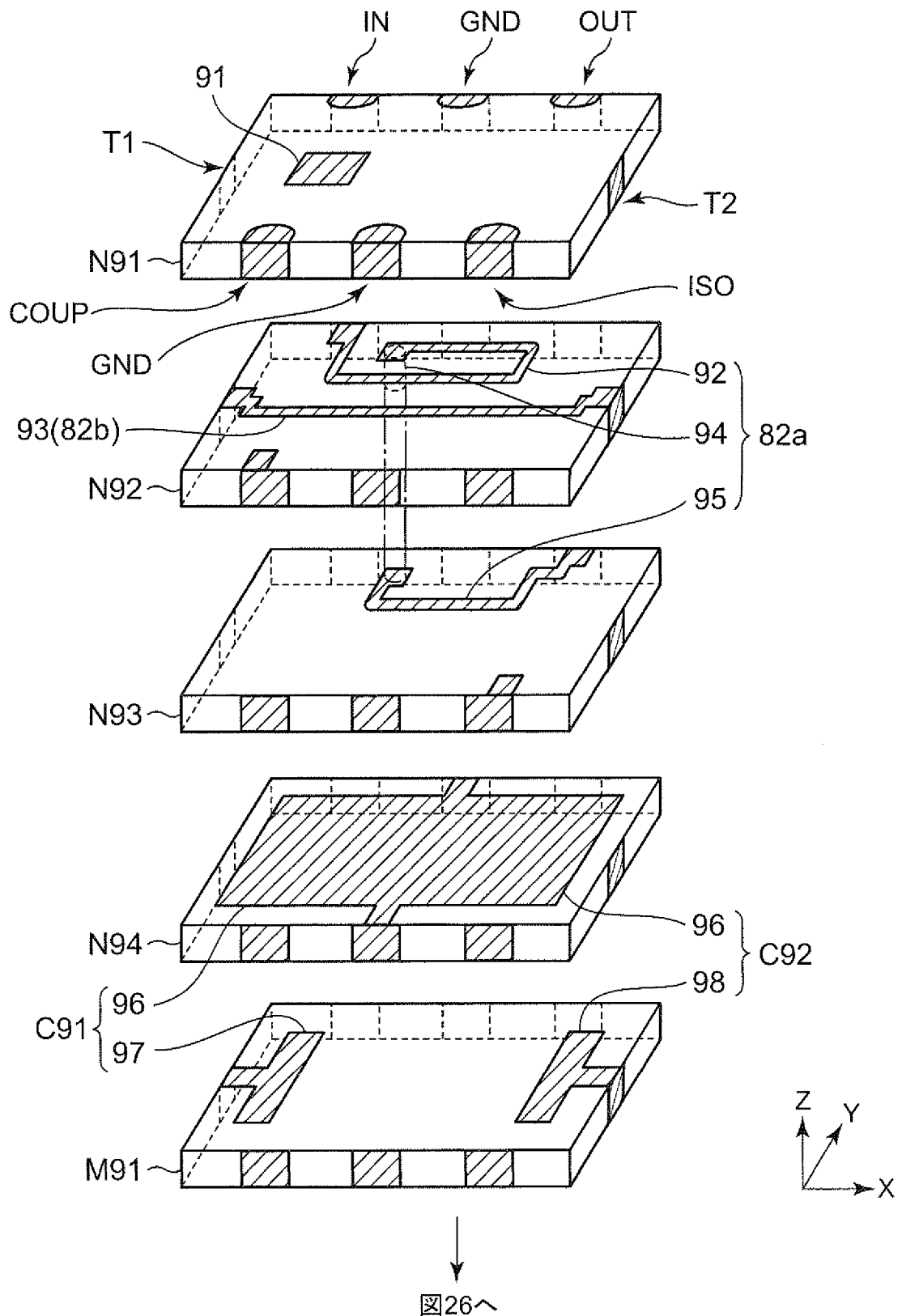
[図24]

図 24



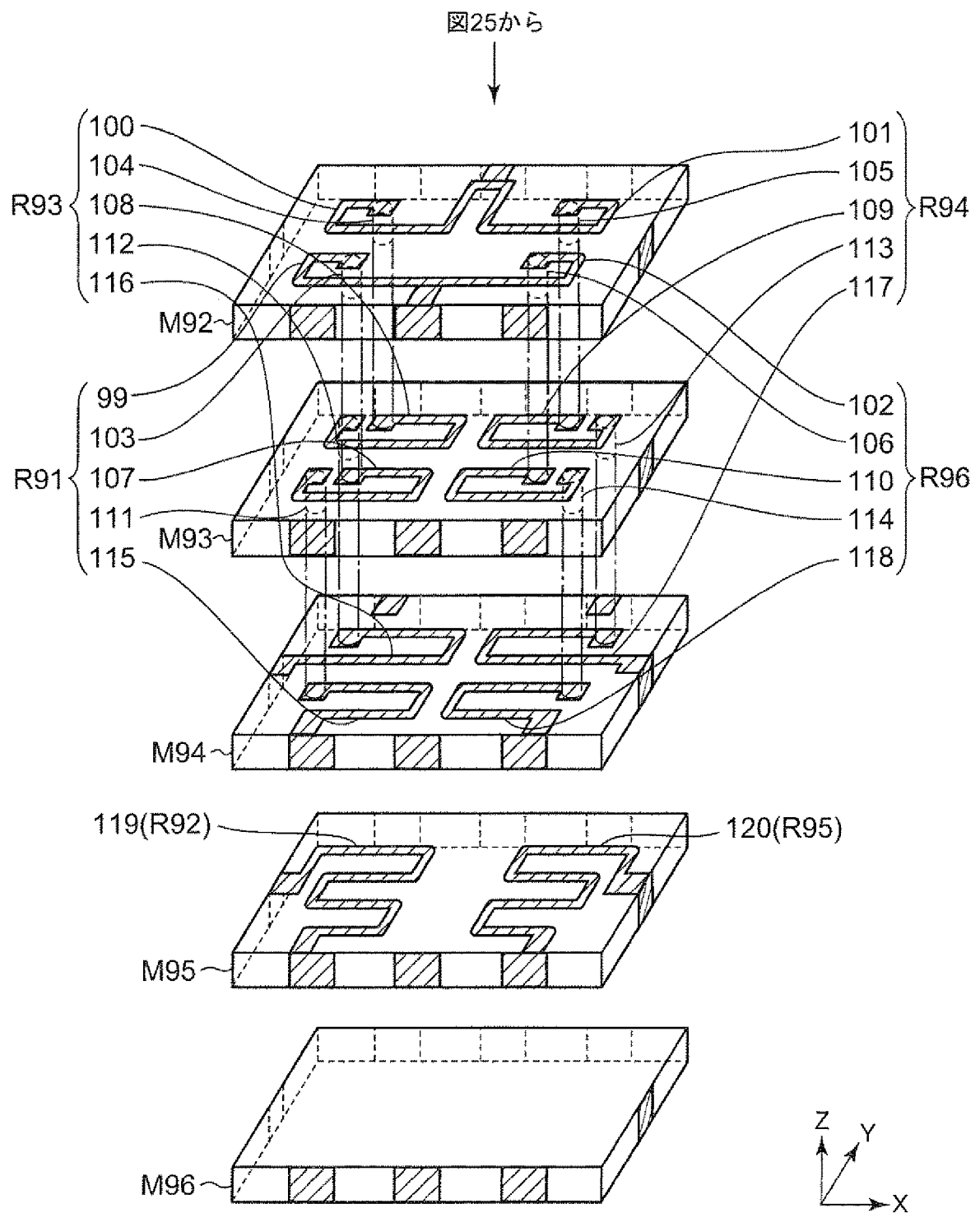
[図25]

図 25



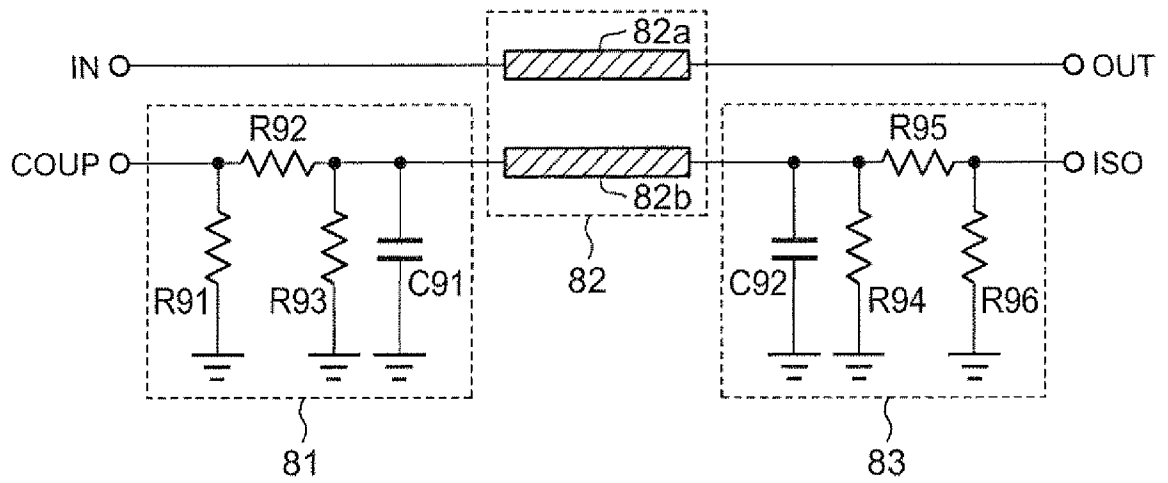
[図26]

図 26



[図27]

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069522

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/24(2006.01)i, H03H7/01(2006.01)i, H01P1/23(2006.01)i, H01P5/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/24-7/27, H03H7/00-7/13, H01P1/22-1/23, H01P5/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 07-192927 A (Taiyo Yuden Co., Ltd.), 28 July 1995 (28.07.1995), paragraphs [0031] to [0080]; fig. 1 to 31 (Family: none)	1-3, 8-9 5, 7, 8-12 4, 6
Y A	JP 52-092401 A (Maspro Denkoh Corp.), 03 August 1977 (03.08.1977), page 1, lower right column, line 7 to page 2, lower right column, line 12; fig. 1 to 6 (Family: none)	5, 7-12 4, 6
Y A	JP 2006-191355 A (Mitsubishi Electric Corp.), 20 July 2006 (20.07.2006), paragraphs [0030] to [0036]; fig. 5 to 6 (Family: none)	5, 8, 10-12 4, 6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 October, 2013 (11.10.13)

Date of mailing of the international search report

22 October, 2013 (22.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/069522

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-044303 A (Panasonic Corp.), 26 February 2009 (26.02.2009), paragraphs [0008] to [0018]; fig. 1 to 5 (Family: none)	5, 7-12 4, 6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03H7/24(2006.01)i, H03H7/01(2006.01)i, H01P1/23(2006.01)i, H01P5/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03H7/24-7/27, H03H7/00-7/13, H01P1/22-1/23, H01P5/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2013年
日本国実用新案登録公報	1996-2013年
日本国登録実用新案公報	1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 07-192927 A (太陽誘電株式会社)	1-3, 8-9
Y	1995. 07. 28, 第0031-0080段落, 図1-31	5, 7, 8-12
A	(ファミリーなし)	4, 6
Y	J P 52-092401 A (マスプロ電工株式会社)	5, 7-12
A	1977. 08. 03 第1頁右下欄第7行-第2頁右下欄第12行, 第1-6図 (ファミリーなし)	4, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11. 10. 2013

国際調査報告の発送日

22. 10. 2013

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

白井 孝治

5W

8843

電話番号 03-3581-1101 内線 3576

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2006-191355 A (三菱電機株式会社) 2006.07.20, 第0030-0036段落, 図5-6 (ファミリーなし)	5, 8, 10-12 4, 6
Y A	JP 2009-044303 A (パナソニック株式会社) 2009.02.26, 第0008-0018段落, 図1-5 (ファミリーなし)	5, 7-12 4, 6