(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 5/335

(45) 공고일자 2001년12월22일
(11) 등록번호 10-0318408
(24) 등록일자 2001년12월10일

(21) 출원번호 10-1999-0028892
(22) 출원일자 1999년07월16일

(65) 공개번호 특2000-0011777
(43) 공개일자 2000년02월25일

(30) 우선권주장 10-204072 1998년07월17일 일본(JP)

(73) 특허권자 샤프 가부시키가이샤
마찌다 가쯔히꼬
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 코야마에이지
일본쿄토소라쿠군키주쪼쿠니미다이6-1-1-2-디-401

(74) 대리인 백덕열
이태희

심사관 : 신재열

(54) 고체촬상장치

요약

본 발명의 고체촬상장치는 리셋 트랜지스터와 동일한 장치 구조를 갖고 그와 동일한 기판상에 형성되는 트랜지스터를 포함하는 전압 발생 회로를 포함하며, 상기 전압 발생 회로를 포함하는 트랜지스터의 게이트는 상기 리셋 트랜지스터의 게이트와 공통으로 접속되며, 상기 전압 발생 회로는 리셋 트랜지스터로 인가되는 전하 배출 전위를 발생시키고, 상기 전압 발생 회로는 그를 구성하는 상기 트랜지스터에서 소스 전위를 게이트 아래의 채널 전위보다 높은 레벨로 유지하기 위한 유지 회로를 포함한다.

대표도
도 1

색인어
고체촬상장치

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 실시예 1의 고체촬상장치의 구조를 나타내는 도면.

도 2a 및 2b는 본 발명에 따른 실시예 1의 고체촬상장치를 구성하는 전압 발생 회로와 그의 등가 회로를 대비시켜 각각 도시한 도면.

도 3은 본 발명에 따른 실시예 1의 고체촬상장치에서 트랜지스터의 게이트 전압과 채널 전위간의 관계를 도시한 그래프.

도 4는 본 발명에 따른 실시예 1의 고체촬상장치에서 외부 공급전압(V_{RD}), 리셋 게이트 클록(ϕ_{RS}), 게이트 인가 펄스(ϕ_{RS}') 및 DC 바이어스 전압(Vs)간의 전압 관계를 도시한 도면.

도 5는 본 발명에 따른 실시예 2의 고체촬상장치의 구조를 도시한 도면.

도 6은 본 발명에 따른 실시예 2의 고체촬상장치에서 외부 공급전압(V_{RD}), 리셋 게이트 클록(ϕ_{RS}), 게이트 인가 펄스(ϕ_{RS}') 및 DC 바이어스 전압(Vs)간의 전압 관계를 도시한 도면.

도 7a는 종래예 1의 고체촬상장치의 CCD 촬상부의 구성을 나타내는 평면도이며, 도 7b는 CCD 촬상부의 전하-전압 변환부와 그 근방의 회로구성을 나타내는 도면.

도 8은 종래예 1의 고체촬상장치의 리셋 동작의 펄스타이밍을 도시한 도면.

도 9a 내지 9c는 시간 $t=t_1$, $t=t_2$ 및 $t=t_3$에서 종래예 1의 고체촬상장치의 리셋 동작동안 전위 변동을 나타내는 도면.

도 10a 내지 10d는 종래예 1의 고체촬상장치에서 전하가 축적되지 않는 상태에서의 플로팅 다이오드(FD)부, 리셋 게이트(RG)부, 및 리셋 드레인(RD)부을 나타내는 도면으로, 도 10a는 이상적인 경우를 나타내고, 도 10b는 외부에서 공급된 리셋 드레인 전압(V_{RD})이 변동되지 않는 경우를 도시하고, 도 10c는 리셋 트랜지스터의 문턱전압(threshold)(Vt)dl 제조 공정에서의 변동으로 인해 변동되는 경우를 나타내며, 도 10d는 DC 바이어스 전압(V_{BS})이 리셋 드레인 전압(V_{RD})의 변동분 및 제조 공정에서의 변동에서 기인하는 리셋 트랜지스터의 문턱전압(Vt)의 변동을 고려하여 설정되는 경우를 도시한 도면.

도 11a 및 11b는 플로팅 다이오드(FD)부에서의 축적가능한 전하량을 나타내는 도면으로, 도 11a는 DC 바이어스 전압(V_{BS})이 이상적인 경우보다 약 1V 이상 높게 설정된 경우의 축적가능한 전하량을 나타내고, 도 11b는 DC 바이어스 전압(V_{BS})이 이상적인 경우보다 약 1V 이상 높게 설정되고 리셋 드레인 전압(V_{RD})이 감소하는 측에 있고 문턱전압(Vt)가 총 변동분이 약 1V이면서 감소되는 경우의 축적가능한 전하량을 나타내는 도면.

도 12는 외부에서 공급된 리셋 게이트 클록(ϕ_{RS})과 상기 리셋 게이트 클록($_{RS}$)에 DC 바이어스 전압을 중첩하여 얻어진 게이트 인가 펄스(ϕ_{RS}') 간에 전압 관계를 나타내는 도면.

도 13a 내지 13c는 종래예 2의 고체촬상장치를 도시한 도면으로, 도 13a는 회로구성도이고, 도 13b 및 13c는 채널 전위의 변동이 제조공정에서의 변동으로 인해 발생하지 않는 경우 및 채널 전위의 변동이 제조공정에서의 변동에 따라 발생하는 경우의 전위 레벨을 각각 도시한 도면.

도 14a 내지 14c는 종래예 3의 고체촬상장치를 도시한 도면으로, 도 14a는 회로구성도이고, 도 14b 및 14c는 채널 전위에서의 변동이 제조공정에서의 변동으로 인해 발생하지 않는 경우 및 채널 전위에서의 변동이 제조공정에서의 변동으로 인해 발생하는 경우의 전위 레벨을 각각 도시한 도면.

도 15는 종래예 5의 구성을 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비디오 카메라, 감시 카메라 등 고체촬상장치에 관한 것이다. 특히, 본 발명은 전하전송기능을 사용한 고체촬상장치에 관한 것이다.

고체촬상장치는 비디오 카메라, 감시 카메라, 방문자를 감시하는 도어 카메라, 자동차용 카메라, TV 전화용 카메라, 멀티미디어용 카메라 등과 같은 카메라 시스템에 적용된다. 최근에 특히 고체촬상장치의 소형화, 경량화, 저전압화 및 가격의 절감이 요청되어 왔다. 이러한 요청을 실현하기 위해, 일반적으로 고체촬상장치는 전하전송소자(charge coupled device:'CCD')를 사용한다. 이러한 CCD는 전송된 전하를 플로팅 다이오드라 불리는 전위 부유 확산층내의 전압으로 변환하고, 전하-전압 변환 처리시에 사용되는 불요전하(waste charges)를 리셋 드레인으로 보내는 동안 전압을 출력 회로로 출력한다. 이러한 불요전하의 제거는 리셋 트랜지스터로 리셋 게이트 클록을 인가함으로써 행해진다.

도 7a 및 7b는 종래의 고체촬상장치(200)를 도시하는데, 도 7a는 고체촬상장치(200)의 CCD 촬상부를 나타내는 평면도이고, 도 7b는 CCD 촬상부에서 전하-전압 변환부 근방의 회로구성을 나타내는 도면이다.

도 7a 및 7b를 참조하면, 종래의 고체촬상장치(200)는 피사체로부터의 빛을 매화소마다 분해하여 광전변환하고 상기 광전변환에 의해 발생된 광전하를 전송하는 기능을 갖는 CCD칩(200a)을 포함한다. 이러한 CCD칩(200a)은 n형 기판(10)상에 매트릭스상으로 배열된 복수의 포토다이오드(1), 수직 CCD(2) 및 수평 CCD(3)를 포함한다. 포토다이오드(1)는 입사광을 광전변환에 의해 전하로 변환하고 광전변환에 의해 발생된 전하를 축적한다. 수직 CCD(2)는 포토다이오드(1)의 각각의 열에 대응하도록 배치되고 수직 방향으로 상기 축적된 전하를 전송한다. 수평 CCD(3)는 상기 수직 CCD(2)로부터 전송된 전하를 수평 방향으로 전송한다. 전하-전압 변환부(5)는 상기 수평 CCD(3)로부터 전송된 전하를 전압으로 변환하기 위해 수평 CCD(3)의 출력측에 배치된다. 출력 회로(6)는 전하-전압 변환부(5)의 출력측에 배치된다. 출력 회로(6)는 복수의 단으로 통상 구성된 소스 폴로워(source follower)를 구비하며 출력 임피던스를 감소시키도록 작용한다.

전송 게이트(4)는 각 포토다이오드(1)와 수직 CCD(2) 사이에 제공되어 상기 포토다이오드(1)내에 축적된 전하를 수직 CCD(2)로 전송한다.

전하-전압 변환부(5)는 기판상에 형성되고, 수평 CCD(3)로부터 전송된 전하를 축적하고 전위적으로 부유 상태인 전하 축적 영역(N1)을 갖는 플로팅 다이오드 (51), 상기 전하 축적 영역(N1)내에 축적된 전하를 배출하기 위한 리셋 트랜지스터 (52)를 포함한다. 전하 축적 영역(N1)에서의 전위값은 축적 전하의 양에 따라 변한다. 출력 회로(6)를 구성하는 증폭기(6a)는 전위값을 증폭하고 촬상 신호를 CCD 촬상부의 신호 출력 단자(50a)로 출력한다.

리셋 트랜지스터(52)의 소스는 전하 축적 영역(N1)에 접속되고, 그 게이트는 리셋 게이트 펄스(ϕ_{RS})가 인가되는 신호 단자(50c)에 접속되며, 그 드레인은 리셋 드레인 전압 V_{RD} (전하 배출용 전압)이 인가되는 신호 단자(50b)에 접속된다. 신호 단자(50c)는 리셋 게이트 펄스(ϕ_{RS})의 공급원(5c)에 접속되고, 신호 단자(50b)는 리셋 드레인 전압(V_{RD})의 공급원(5b)에 접속된다.

분압 저항(R1,R2)은 리셋 드레인 전압(V_{RD})의 공급원(5b)과 접지 사이에 직렬로 접속되어, DC 바이어스 전압(V_{BS})이 이들 저항의 접속점에서 발생된다. 다이오드(54)는 이들 저항의 접속점과 신호 단자(50c) 사이에 접속되어, 접속점으로부터 신호 단자(50c) 측으로 향한 방향이 순방향으로 되어 있다.

리셋 드레인 전압(V_{RD})은 15V 정도의 DC 전압이다. 리셋 트랜지스터(52)의 게이트는 일반적으로 0V 내지 5V에서 구동되는 리셋 게이트 클록(ϕ_{RS})에 DC 바이어스 전압을 중첩시켜 얻어진 게이트 인가 펄스(ϕ_{RS}')를 인가한다.

도 12는 리셋 게이트 클록(ϕ_{RS})과 게이트 인가 펄스(ϕ_{RS}') 사이의 전압 관계를 도시한다. 예를 들면, V_{RD}=15V, R1=10kΩ, R2=20 kΩ, V_{BS}=10V인 조건에서, 리셋 게이트 클록(ϕ_{RS})의 하이 레벨과 로우 레벨이 각각 5V 및 0V라 하면, 다이오드(54)의 순방향 전압은 -0.5V이고, 게이트 인가 펄스(ϕ_{RS}')의 진폭은 9.5V 내지 14.5V이다.

저항(R1,R2)과 다이오드(54)를 칩상에 장착하는 것이 기본적으로 가능하지만 다음과 같은 이유로 외부에 설치된다. 온-칩 구조의 경우에, 저항은 전류 소모를 고려하여 저농도 확산층의 저항을 분할함으로써 내부 전압(V_{BS})이 발생되도록 구성된다. 이러한 경우에, 확산층의 농도가 제조공정시 변동하면, 내부 전압(V_{BS})의 값 도 변동한다. 또한, 다이오드에 대해, 다이오드가 CCD칩상에 형성되도록 하면, 공정은 CCD칩이 기본적으로 MOS 제조공정에 의해 형성되기 때문에(다이오드는 기본적으로 바이폴라 제조공정에 의해 형성된다), 복잡하게 된다. 다이오드 대신에 트랜지스터를 형성하는 것이 가능하나, 이 경우에 내부 전압(V_{BS})의 값은 제조 공정의 변동에 의해 변동된다.

도 8 및 도 9a 내지 9c를 참조하여, 전하-전압 변환후에 전하축적영역으로부터 불요전하를 제거하는 동작을 설명한다. 도 8은 수평 CCD(3)에 대한 게이트 클록 펄스(ϕ_{H1})의 타이밍과 불요 전하의 제거동작시 사용된 리셋 트랜지스터에 대한 게이트 인가 펄스(ϕ_{RS}')의 타이밍을 도시한다. 도 9a 내지 9c는 도 8에서 나타난 바와 같이 $t=t_1$, $t=t_2$, $t=t_3$인 때에 수평 CCD(3)의 후단부에서 리셋 트랜지스터(52) 부분까지 전위 상태를 나타낸다.

도 9a 내지 9c에서, 게이트 클록 펄스(ϕ_{H1})는 두개의 인접한 수평 전송 게이트(3a, 3b)로 인가된다. 통상, 수평 CCD의 두개의 인접한 수평 전송 게이트는 전위 경사를 제공하도록 이온 주입에 의해 서로 차별화된 서로 다른 반도체 영역에 위치한다. 이러한 경우에, 붕소가 수평 전송 게이트(3a) 하부의 반도체 영역에 주입된다. 출력 게이트(7)는 수평 전송 게이트(3b) 근방에 위치한다. 일정한 DC 전압(V_{OG})이 출력 게이트(7)로 인가된다. 플로팅 다이오드의 전하 축적 영역(51a)은 리셋 트랜지스터(52)의 출력 게이트(7)와 게이트(52a) 사이에 위치한다.

$t=t_1$에서 수평 CCD(3)에 축적된 전하(Ch)는 약 1V 내지 2V의 DC 전압(V_{OG})이 인가되는 출력 게이트(7)를 거쳐 $t=t_2$에서 전위적으로 부유 상태에 있는 플로팅 다이오드로 불리우는 확산층(전하 축적 영역:51a)으로 전송된다. 플로팅 다이오드의 전위는 전송 전하의 양에 따라 변동하고, 전위의 변동은 출력 회로(6)로 출력된다. 그 후에, $t=t_3$에서 불요전하는 리셋 드레인까지 쓸려나간다. 이 때, 부유 확산층 (51a)의 전위는 리셋 드레인 전압(V_{RD})으로 고정된다.

리셋 게이트 클록(ϕ_{RS})에 중첩되고 게이트 인가 펄스(ϕ_{RS}')의 로우 레벨을 구성하는 DC 바이어스 전압(V_{BS})은 리셋 트랜지스터(52)가 리셋시, 즉, 리셋 게이트 클록(ϕ_{RS})이 하이 레벨로 될 때 리셋 트랜지스터(52)가 턴 온되도록 설정된다.

예를 들면, 리셋 드레인 전압(V_{RD})이 15V 라면, 리셋 트랜지스터(52)를 턴 온 하기 위한 게이트 인가 펄스(ϕ_{RS}')의 전압 레벨이 Vt이고, DC 바이어스 전압(V_{BS})으로서 요구되는 레벨은 리셋 게이트 클록(ϕ_{RS})의 진폭이 0V 내지 5.0V일 때 (Vt-5.0)V이다. DC 바이어스 전압(V_{BS})은 리셋 드레인 전압(V_{RD})의 레벨과 트랜지스터의 문턱전압 및 트랜지스터에 대한 기판 효과와 같은 리셋 트랜지스터(52)의 특성에 따라 결정된다.

그러나, 실제로 공급 전압과 트랜지스터(52)의 특성은 변동한다. 따라서, 그러한 변동을 포함한 값은 보통 DC 바이어스 전압(V_{BS})으로서 선택되어 중첩되고, 그로 인해 리셋 동작이 이루어지도록 한다. 구체적으로, 중첩되는 DC 바이어스 전압은 상기 전압 (Vt-5.0)V보다 약 1V 정도 높은 값으로 종종 설정된다.

도 10a 내지 10d는 전하가 축적되지 않는 상태에서의 플로팅 다이오드('FD')부, 리셋 게이트('RG')부 및 리셋 드레인('RD')부에서의 전위 레벨을 나타낸다. 'FD'부는 플로팅 다이오드(51)를 구성하는 전하 축적 영역에 대응하며, RG부는 리셋 트랜지스터(52)의 게이트 하부의 영역, 즉, 채널 영역에 대응하며, RD부는 리셋 트랜지스터(52)의 드레인 영역에 대응한다. 도 10a 내지 10d에서, P(ϕ_{RS}'L)은 게이트 인가 펄스(ϕ_{RS}')가 로우 레벨에 있을 때의 전위 레벨을 나타내고, P(ϕ_{RS}'H)는 게이트 인가 펄스(ϕ_{RS}')가 하이 레벨에 있을 때의 전위 레벨을 나타내며, P(V_{RD})는 리셋 드레인 전압(V_{RD})이 인가되는 RD부에서의 전위 레벨을 나타낸다.

도 10a는 이상적인 경우를 도시하는데, 게이트 인가 펄스(ϕ_{RS}')의 하이레벨은, 이 전압이 리셋 트랜지스터(52)의 게이트에 인가될 때, 리셋 게이트(RG)부의 전위 레벨을, 리셋 드레인 전압(V_{RD})이 인가되는 리셋 드레인(RD)부의 전위 레벨과 일치시킬 수 있는 전압 레벨이면 된다.

외부에서 공급된 리셋 드레인 전압(V_{RD})이 도 10b에 도시된 바와 같이 ΔV_1만큼 높게 변동하면, 플로팅 다이오드(FD)부와 리셋 드레인(RD)부의 전위 레벨이 높아지기 때문에, 리셋 트랜지스터(52)의 게이트(52a)에 인가되는 게이트 인가 펄스 (ϕ_{RS}')의 하이 레벨이 변동되지 않더라도, 불요 전하를 완전히 제거할 수 없다.

또한, 리셋 트랜지스터(52)의 문턱전압(Vt)은 도 10c에 도시된 바와 같이 제조 공정에서의 변동으로 인해 증가할 때, 리셋 트랜지스터(52)의 게이트에서 인가되는 전압이 변동되지 않더라도 채널 전위가 이상적인 상태에 비해 ΔV_2만큼 감소한다. 이로 인해, 불요 전하를 완전히 제거할 수 없어 리셋 불량이 생기고, 결국 화질저하를 유발하게 된다.

화질 저하를 피하기 위해서는, 리셋 드레인 전압(V_{RD})의 변동분 및 제조 공정에서의 변동으로 인한 트랜지스터(52)의 문턱전압(Vt)에서의 변동이 리셋 게이트 펄스(ϕ_{RS})에 중첩하는 DC 바이어스 전압(V_{BS})을 설정할 때에 고려되어야 한다. 즉, DC 바이어스 전압(V_{BS})은 $\Delta V_1 + \Delta V_2$를 보상하도록 전위가 이상적인 경우보다 약 1V 정도 높게 설정된다. 도 10d는 상술한 설명이 수행될 때 관찰되는 FD 섹션, RG부, RD부에서의 전위 레벨을 나타낸다. 상술한 바와 같이 설정된 DC 바이어스 전압(V_{BS})은 제조 공정에 따라 다르지만, 이상적인 경우보다 실질적으로 약 1V 높다.

그러나, 리셋 드레인 전압(V_{RD})이 감소하는 측에 있고 리셋 트랜지스터(52)의 문턱전압(Vt)이 상술한 조건하의 제조 공정에서 변동에 의해 감소하면, 플로팅 다이오드(FD)부의 축적 전하량은 감소한다.

도 11a 및 11b는 플로팅 다이오드(FD)부에서 축적 전하량을 나타내는 도면이다. 도 11a는 DC 바이어스 전압(V_{BS})이 이상적인 경우보다 약 1V 정도 높게 설정된 경우에 축적가능한 전하량을 나타낸다. 도 11b는 문턱전압(Vt)가 약 1V의 총 변동분을 제공하면서 감소할 동안, DC 바이어스 전압(V_{BS})이 이상적인 경우보다 약 1V 이상 높게 설정되고 나아가 리셋 드레인 전압(V_{RD})이 감소하는 변동을 할 경우의 축적가능한 전하량을 나타낸다.

일반적으로, 리셋이 제대로 이루어지도록 DC 바이어스 전압(V_{BS})이 증가함에 따라, 축적가능한 전하량이 게이트 인가 펄스(ϕ_{RS}')의 로우 레벨에 의해 제한되기 때문에 FD부에서 축적 가능한 전하량도 감소한다.

FD부에서 공급 전압에서의 변동 및 제조 공정에서의 변동와 함께 상술한 축적가능한 전하량이 고려되면, 최대 약 2V의 전압진폭의 손실이 발생한다. 이것은 이상적인 경우에서 게이트 인가 펄스(ϕ_{RS}')에서와 같이 3V의 진폭을 갖는 펄스를 인가하는 것과 동일하다.

따라서, 상술한 종래의 고체촬상장치는 다음과 같은 문제점을 갖는다. 리셋 트랜지스터에 인가된 게이트 인가 펄스의 진폭이 5V이지만, 실제 게이트 인가 펄스의 유효진폭은 리셋 트랜지스터의 드레인에 접속된 공급 전압에서의 변동 및 리셋 트랜지스터에 대한 제조 공정에서의 변동에 의해 약 3V로 감소한다. 이는 역으로 볼 때, 이상적인 경우에서 리셋 동작은 게이트 인가 펄스가 약 3V 진폭을 가질 필요가 있다는 것을 의미한다. 그러나, 이러한 이상적인 상태가 안정되게 실현될 수 없으므로, 5V의 진폭이 게이트 인가 펄스로서 설정될 것이 요구된다.

일본 특허공개공보 제4-360544호는 리셋 트랜지스터의 채널 영역이 제조 공정에서의 변동으로 인해 변동할 지라도 외부로터의 2진펄스를 연속적으로 공급하는 것만으로 정상적으로 동작될 수 있는 전하 검출 장치를 개시한다(종래예 2).

도 13a는 상기 종래예 2에서 전하 검출 장치(210)의 회로 구성을 도시하고 있다. 도 13b 및 13c는 리셋 드레인(RD)부에서의 전위와 게이트 인가 펄스(ϕ_{RS}') 인가시의 채널 전위를 나타낸다. 도 13b는 채널 전위가 제조 공정동안 변동에 의해 변동하지 않는 경우를 나타내며, 도 13c는 채널 전위가 제조 공정의 변동으로 인해 변동하는 경우를 도시한다.

전압 발생 회로(201)는 드레인 인가전압의 입력 단자(50b)에 접속된 단자와 DC 전압(V_{REF})이 인가되는 게이트를 갖는 전압발생용 트랜지스터(201a), 입력이 트랜지스터(201a)의 또 다른 단자에 접속된 반전 증폭기(201b)의 출력과 상기 반전 증폭기(201b)와 리셋 게이트 클록에 대한 입력 단자(50c) 사이에 접속된 다이오드 (201c)를 포함한다. 전압발생용 트랜지스터(201a)는 리셋 트랜지스터(52)와 동일한 공정으로 제조되며 리셋 트랜지스터(52)와 동일한 구성을 갖는다.

상술한 구성을 갖는 장치(210)에서, DC 전압(V_{REF})은 게이트 인가 펄스(ϕ_{RS}')가 하이 레벨일 때, DC 바이어스 전압(V_{BS}, V_{BS}')이 반전 증폭기(201b)의 입력측과 출력측에 대해 각각 발생한다. DC 바이어스 전압(V_{BS}, V_{BS}')은 전압(V_{RD})이 인가되어 턴 온되는 드레인을 갖는 트랜지스터(201a)에 대해 충분히 높아야 한다. 이러한 상태에서, 도 13b에서 도시된 바와 같이, 게이트 인가 펄스(ϕ_{RS}')가 하이 레벨에 있을 때 얻어진 채널 전위 P(ϕ_{RS}'H)는 리셋 트랜지스터(52)의 드레인 영역에서의 전위 P(V_{RD})와 일치하고 있다.

종래의 경우에, 리셋 트랜지스터(52)의 채널 전위가 제조공정으로 인해 ΔP만큼 증가할 때, 전압발생용 트랜지스터(201a)에서의 채널 전위 또한 ΔP 만큼 증가하며, 따라서 반전 증폭기(201b)의 입력측에 대한 DC 바이어스 전압(V_{BS})은 전위 증가 ΔP에 대응하는 ΔV_{BS} 만큼 증가한다.

상술한 경우에, 반전 증폭기(201b)의 출력 전압(V_{BS}')은 ΔV_{BS}에 대응하는 값만큼 감소하며, 따라서 게이트 인가 펄스(ϕ_{RS}')의 전압 레벨은 감소하여, 결국 채널 전위의 변동 ΔP를 상쇄하게 된다.

상술한 종래예 2는 다음과 같은 문제점을 갖는다. 제조 공정에서의 변동으로 인해 리셋 트랜지스터(52)와 같이 전압발생용 트랜지스터(201a)의 채널 전위에서 변동이 발생하여, 전압발생용 트랜지스터(201a)의 출력 전압(V_{BS})에서의 변동을 야기한다. 그러나, 출력 전압(V_{BS})에서 변동의 방향이 리셋 트랜지스터(52)에서 채널 전위에서의 변동을 보상하기 위해 리셋 트랜지스터(52)의 게이트에 인가된 전압의 변동 방향과 반대이다. 따라서, 반전 증폭기는 출력 전압(V_{BS})을 반전하는데 필요하다. 반전된 증폭기를 가지면, 반전 증폭기의 특성에서의 변동을 부가적으로 고려할 필요가 있다.

일본 특허공개공보 제6-133227호는 CCD칩에 결합된 전압 발생 회로를 갖는 전하 전송 장치를 개시한다(종래예 3).

도 14a는 종래예 3의 전하전송장치(220)의 회로 구성을 도시한다. 도 14b 및 14c는 리셋 드레인(RD)부에서의 전위와 게이트 인가 펄스(ϕ_{RS}')의 인가 동안의 채널 전위를 나타낸다. 도 14b는 채널 전위가 제조 공정에서의 변동으로 인해 변동하지 않는 경우를 도시하며, 도 14c는 제조 공정에서의 변동으로 인해 채널 전위가 변동하는 경우를 도시한다.

도 7a 및 7b에서 도시된 종래예 1과 종래예 3의 구성에서의 차이는 다음과 같다. 전압발생용 트랜지스터(202a)는 리셋 트랜지스터(52)와 드레인 인가 전압용 입력 단자(50b) 사이에 접속되어, CCD칩(220a)에서 리셋 트랜지스터(52)에 대한 드레인 전압을 발생시키는 전압 발생 회로(202)를 내장한다. 전압발생용 트랜지스터 (202a)는 리셋 트랜지스터(52)와 동일한 공정으로 제조되며 리셋 트랜지스터(52)와 동일한 구성을 갖는다.

상술한 구성에서, 전압 발생 회로(202)의 출력 전압(V_{RD}')은 외부에서 공급된 리셋 드레인 전압(V_{RD}) 보다 트랜지스터(202a)의 문턱전압[Vt(V_{RD})]만큼 낮다.

DC 바이어스 전압(V_{BS})이 리셋 게이트 클록(ϕ_{RS})에 중첩되는 레벨은 상술한 상태에서 설정된다. 종래예 3을 개시한 상기 공보가 DC 바이어스 전압에 대한 발생 회로를 언급하고 있지 않지만, DC 바이어스 전압(V_{BS})에 대한 발생 회로가 필요하다는 것은 상기 공보의 기술적 측면으로부터 명백하다.

리셋 트랜지스터(52)의 채널 전위가 공정 변동으로 인해 ΔP만큼 증가할때, 리셋 트랜지스터(52)의 드레인 영역에서 전위 P(V_{RD}')는 또한 ΔP만큼 증가한다.

종래예 3에서, 리셋 트랜지스터(52)의 채널 전위가 공정 변경에 따라 변동할 지라도, 리셋 트랜지스터(52)의 드레인 영역의 전위와 하이 레벨 및 로우 레벨의 게이트 인가 펄스(ϕ_{RS}')의 인가 동안에 리셋 트랜지스터(52)의 채널 전위간의 차이는 고정될 수 있다.

종래예 3의 한 문제점은 V_{BS} 발생 회로가 부가적으로 요구된다는 것이다. 또 다른 문제점은 다음과 같다. 종래예 3은 전압발생용 트랜지스터(202a)의 소스 영역에서 전위가 트랜지스터(202a)의 게이트 아래의 채널 전위와 같다는 것을 기재하고 있다. 그러나, 소스 영역을 구성하는 확산층이 전위적으로 부유 상태에 있기 때문에, 전위가 열전자방출 과정에서 외부 소스에 의해 고정되는 드레인 영역을 구성하는 확산 영역의 전위와 같은 전위로 떨어진다. 이를 방지하기 위해, 채널 전위와 동일한 전위를 소스 영역에서 유지하는 등의 몇몇 조치가 취해져야만 한다.

여러 조치 중 하나로서, 일본 특허공개공보 제6-153086호는 외부 소스로부터 주기적으로 공급되는, 즉, 드레인 영역에서 소스 영역을 통해, CCD로부터의 출력이 불필요한 기간동안에도(예를 들면, 수평귀선주기) 공급되어, 소스 영역에서의 전위가 채널 영역과 동일하게 되는 방법을 개시하고 있다(종래예 4).

일본 특허공개공보 제9-130681호는 종래의 상술한 실시예 1 내지 4에서 발생하는 문제를 종합적으로 해결한 고체촬상장치를 개시하고 있다(종래예 5). 도 15에 도시된 바와 같이, 종래예 5의 고체촬상장치는 전압 발생 회로(203)가 DC 바이어스 전압(V_{BS})을 발생시키는 다이오드(54)와 종래예 1의 고체촬상장치(200)에서의 저항 (R_1,R_2) 대신에 CCD칩(230a)에 결합된다. 전압 발생 회로(203)는 리셋 게이트 클록(Φ_{RS})을 수신하고 게이트 인가 펄스(Φ_{RS}')를 발생시킨다. 고체촬상장치(230)의 다른 구성은 종래예 1의 고체촬상장치(200)의 구성과 동일하다.

전압 발생 회로(203)는 드레인(D1)이 리셋 트랜지스터(52)의 드레인(D2)에 접속되고 소스(S1) 및 게이트(G1)가 리셋 트랜지스터(52)의 게이트(G2)에 접속된 전압발생용 트랜지스터(203a)와, 리셋 트랜지스터(52)의 드레인(D2)과 게이트(G2) 사이에 접속된 저항(203b)을 포함한다.

상술한 구성은 종래예 1의 도 10a에 도시된 이상적인 경우와 같이, 즉, 종래에 얻어진 리셋 클록 펄스의 펄스 진폭 5V가 약 3V로 감소되어, 저전압과 저전력소비를 실현하게 한다. 또한, 이러한 구성에서, 종래에 CCD칩 외부에 배치되도록 요구되는 리셋 펄스에 중첩되는 DC 바이어스 전압(V_{BS})에 대한 발생 회로는 불필요하게 되어, 주변 부품의 감소로 인한 장치의 소형화, 경량화 및 저비용화를 가능하게 한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래예 5는 다음과 같은 문제점을 갖는다. CCD칩에 결합된 전압 발생 회로(203)에서 트랜지스터는 게이트와 소스가 단락되는 구조를 갖는다. 따라서, 드레인과 소스간의 단락을 방지하기 위해, 트랜지스터는 게이트 아래의 채널 전위가 게이트 전압보다 낮아지는 n 채널형일 필요가 있다. 따라서, 종래예 5는 트랜지스터의 채널 전위가 게이트 전압보다 높은 경우에는 적용이 불가능하다.

발명의 구성 및 작용

본 발명의 고체촬상장치는, 1차원적 또는 2차원적으로 기판상에 배열된 광전 변환 기능을 갖는 포토다이오드; 상기 각 포토다이오드에서 광전 변환에 의해 발생된 전하를 전송하기 위한 전하 전송부; 상기 전하 전송부로부터 전송된 전하를 축적하기 위한 전위적으로 부유 상태의 전하 축적부; 상기 전하 축적부에 일단이 접속되고 타단에는 전하 배출 전위가 인가되며, 상기 전송된 전하를 출력하기 위한 리셋 트랜지스터; 및 상기 리셋 트랜지스터와 동일한 장치 구조를 갖는 트랜지스터를 포함하고 상기 리셋 트랜지스터와 동일한 기판상에 형성되는 전압 발생 회로로서, 이 전압 발생 회로를 구성하는 상기 트랜지스터의 게이트가 상기 리셋 트랜지스터의 게이트와 공통으로 접속되고, 상기 리셋 트랜지스터에 인가되는 전하 배출용 전위를 발생하는 전압 발생 회로;를 포함하며, 상기 전압 발생 회로는 그를 구성하는 상기 트랜지스터에서 소스 전위를 게이트 아래의 채널 전위보다 높은 레벨로 유지하기 위한 전압원 또는 전압 강하 회로를 포함한다.

본 발명의 1 실시예에서, 상기 전압원은 상기 전압 발생 회로를 구성하는 트랜지스터의 게이트와 소스 사이에 배치되어 있다. 본 발명의 다른 실시예에서, 상기 전압 강하 회로는 각각이 서로 단락된 게이트와 소스를 가지며, 상기 전압 발생 회로를 구성하는 트랜지스터의 게이트와 소스 사이에 배치되어 있는 복수의 트랜지스터를 포함한다.

따라서, 본 발명에 따르면, 리셋 트랜지스터로 인가되는 전하 배출 전위를 발생시키기 위한 전압발생회로는 리셋 트랜지스터와 동일한 구조를 가지며 리셋 트랜지스터와 동일한 기판상에 형성되는 트랜지스터를 포함한다. 따라서, 2개의 트랜지스터는 실질적으로 동일한 특성을 가지며, 장치 특성에 기인하는 소자의 변동성분의 영향이 감소될 수 있다.

전압 발생 회로를 구성하는 트랜지스터의 게이트는 리셋 트랜지스터의 게이트와 공통적으로 접속될 수 있다. 따라서, 리셋 트랜지스터의 채널 부분이 제조공정에서의 변동에 의해 변동할 때, 전압 발생 회로를 구성하는 트랜지스터의 채널 전위는 동일하게 변동한다. 따라서, 리셋 트랜지스터에 인가된 게이트 인가 전압은 리셋 트랜지스터에서 채널 전위의 변동을 보상하도록 변동한다. 또한, 리셋 트랜지스터의 드레인에 접속된 외부 전원이 변동할 때, 외부 전원에서 전위의 변동에 대응하는 값에 의해 상승된 펄스는 리셋 트랜지스터의 게이트에 인가될 수 있다. 이로 인해 외부 전원의 전위 변동의 영향을 제거할 수 있다.

따라서, 리셋 트랜지스터에 대한 게이트 인가전압의 불필요한 마진을 제거함으로써, 게이트 인가 전압의 진폭의 저전압화를 도모할 수 있다.

또한, 전압원 또는 전압 강하 회로는 트랜지스터의 게이트 이하의 채널 전위보다 높은 레벨로 전압 발생 회로를 구성하는 트랜지스터에서 소스 전위를 유지한다. 따라서, 이러한 트랜지스터에서 채널 전위가 게이트 전위보다 높을 지라도, 트랜지스터의 드레인과 소스사이의 단락이 방지될 수 있다. 이로 인해, 전압 발생 회로를 구성하는 트랜지스터를 특정한 것으로 한정할 필요가 없게된다.

따라서, 본 발명은 공급전압에서의 변동 및 리셋 트랜지스터를 제조하는 공정에서의 변동으로 인한 문턱전압의 변동에 의해 영향을 적게 받는 고체촬상장치를 제공하는 이점을 제공하여, 저전압 인가를 달성하기 위해 리셋 트랜지스터의 게이트 인가 전압의 진폭을 감소시키고, 채널 전위가 게이트 전압보다 높은 트랜지스터를 포함하는 리셋 게이트 클록 발생회로를 갖는다.

본 발명의 이러한 이점은 이하 첨부도면과 상세한 설명을 통해 당업자에게 명백하게 이해될 것이다.

이하, 본 발명의 실시예를 첨부도면을 참조하여 설명한다.

(실시예 1)

도 1은 본 발명에 따른 실시예 1의 고체촬상장치의 구성을 도시한다. 도 1을 참조하면, 본 실시예의 고체촬상장치(110)는 도 7b에 도시된 종래예 1의 고체촬상장치의 CCD 촬상부(200)의 DC 바이어스 전압(V_{BS})을 발생시키기 위한 다이오드(54)와 저항(R_1,R_2) 대신, CCD칩(110a)에 결합된 전압발생회로(101)를 포함한다. 전압발생회로(101)는 리셋 게이트 클록(ϕ_{RS})을 수신하고 게이트 인가 펄스(ϕ_{RS}')를 발생시킨다. 본 실시예의 고체촬상장치의 다른 구성은 종래예 1의 고체촬상장치(200)와 동일하다.

전압발생회로(101)는 전압발생용 트랜지스터(101a), 저항(101b) 및 DC 바이어스 전압(Vs)를 공급하기 위한 전압원(101c)를 포함한다. 전압발생용 트랜지스터 (101a)의 드레인(D1)은 리셋 트랜지스터(52)의 드레인(D2)에 접속된다. 전압발생용 트랜지스터(101a)의 소스(S1) 및 게이트(G1)는 전압원(101c)의 각 단자에 접속된다. 게이트(G1)는 리셋 트랜지스터(52)의 게이트(G2)에 접속된다. 저항(101b)은 리셋 트랜지스터(52)의 드레인(D2)과 게이트(G2) 사이에 접속된다.

저항(101b)은 전압발생용 트랜지스터(101a)를 턴 온시키도록 배치된다. 초기 상태에서, 다이오드에 접속된 전압발생용 트랜지스터(101a)는 역방향 바이어스이며, 커패시터(53)가 충전되도록 한다. 커패시터(53)의 충전된 양이 문턱전압를 초과할 때, 전압발생용 트랜지스터(101a)는 턴 온된다.

트랜지스터(101a)는 리셋 트랜지스터(52)가 형성된 기판상에 형성되며, 리셋 트랜지스터(52)와 동일한 장치특성을 갖는다. 전계효과트랜지스터에서, 통상 소스 전압과 드레인 전압이 0V일 때 얻어진 문턱전압가 Vt일 때, 소스 및 드레인 전압이 기판 효과로서 증가함에 따라 상기 문턱전압(Vt)도 증가한다. 따라서, 엄밀하게 소스 전압이 Vs일 때 얻어진 문턱전압(Vt)는 소스 전압(Vs)에 따라 Vt(Vs)로 표현된다.

도 1에 도시된 전압발생용 트랜지스터(101a)의 문턱전압(Vt)는 $Vt(V_{RD}) \geq 0$인 조건을 가져야만 하나, $Vt(0) \geq 0$의 조건이 반드시 요구되는 것은 아니다. 즉, 전압발생용 트랜지스터(101a)는 전압이 소스(S1)에 인가되는 동작 상태에서 정의 전압의 문턱전압(Vt)를 가질 것만이 요구된다. 그러나, $Vt(0) \geq 0$의 조건을 만족하는 인핸스먼트 타입(enhancement type)일 것이 반드시 요구되는 것은 아니다.

전압발생용 트랜지스터(101a)에서, 소스(S1) 및 게이트(G1)는 드레인(D1)과 소스(S1) 간의 단락을 피하기 위해 DC 바이어스 전압(Vs)을 공급하기 위한 전압원 (101c)의 각 단자에 접속된다. 전압발생회로(101)의 등가회로를 나타내는 도 2a 및 2b에 도시된 바와 같이, 도 2a에 도시된 전압발생용 트랜지스터(101a)는 도 2b에 도시된 다이오드(D)와 등가이며, 단자(T1)는 애노드로서 기능하고, 드레인 단자는 캐소드로서 기능한다.

소스(S1)에 부가된 전압원(101c)에 의해 공급된 DC 바이어스 전압(Vs)은 소스(S1)의 전위가 게이트(G1)이하의 채널 전위보다 높도록 선택된다. 도 3은 게이트(G1)의 게이트 전압(VG)과 게이트(G1) 이하의 채널 전위(ϕ) 간의 관계를 도시한다. 직선(L2)은 채널 전위(ϕ)가 게이트 전압(VG)보다 높은 트랜지스터의 경우에서 이러한 관계를 나타낸다. 이 경우, 드레인 리셋 전압(V_{RD})은 게이트 인가 펄스 (ϕ_{RS}')가 하이 레벨일 때 하이 레벨로 되기 때문에, 게이트 인가 펄스(ϕ_{RS}')의 하이 레벨은 $\phi = V_{RD}$ 에 대응하는 게이트 전압(V_G)의 값으로 고정된다. 예를 들면, 드레인 리셋 전압(V_{RD})이 15V일 때, 게이트 인가 펄스(ϕ_{RS}')의 하이 레벨은 10V로 설정되고 로우 레벨은 7V로 설정된다. 이 경우, 트랜지스터는 통상의 다이오드와 강하 전압이 다른, 강하 전압이 5V인 다이오드와 등가이다. 따라서, 부가될 DC 바이어스 전압(Vs)은 단순히 $V_{RD} - \phi_{RS}'$(하이 레벨)=5V 이상이면 된다.

도 4는 부가될 DC 바이어스 전압(Vs)이 6V인 경우의 타이밍도를 도시한다. 도 4로부터 알 수 있듯이, 게이트 인가 펄스(ϕ_{RS}')의 전압 레벨은 전압이 하이 레벨에 있을 때 리셋 트랜지스터의 드레인을 향해 흐르는 ON 전류가 전압이 로우 레벨에 있을 때 드레인으로부터 흐르는 누출 전류와 균형을 이루는 상태에서 결정된다. 예를 들면, 외부 공급 전압(V_{RD})이 15V이고 리셋 게이트 클록(ϕ_{RS})의 진폭이 0V 에서 3V일 때, 게이트 인가 펄스(ϕ_{RS}')의 진폭은 7V 내지 10V로 되며, DC 바이어스 전압(Vs)은 13V 내지 16V로 된다.

이하, 실시예 1의 동작 및 효과를 상술한다.

도 4는 외부 공급 전압(V_{RD}), 리셋 게이트 클록(ϕ_{RS}), 게이트 인가 펄스 (ϕ_{RS}') 및 DC 바이어스 전압(Vs)간의 전압관계를 도시한다.

초기 상태에서 $\phi_{RS}' = \phi_{RS}$ 이며, 이는 게이트 인가 펄스(ϕ_{RS}')가 리셋 게이트 클록(ϕ_{RS})과 동일한 진폭을 갖는 펄스라는 것을 의미한다. 소정 시간 경과후에, 커패시터(53)는 저항(101b)을 통해 충전되어, 드레인 리셋 전압(V_{RD}:DC 전압 성분)이 게이트 인가 펄스(ϕ_{RS}')에 부가되도록 한다.

트랜지스터(101a)는 게이트 인가 펄스(ϕ_{RS}')가 인가되는 신호 단자(50c)와 드레인 리셋 전압(V_{RD})이 인가되는 신호 단자(50b) 사이에 접속된다. 따라서, 게이트 인가 펄스(ϕ_{RS}')가 하이 레벨일 때, 신호 단자(50c)에서의 전위는 리셋 드레인 전압(V_{RD})이 캐소드에 인가되는 동안 다이오드(트랜지스터:101a)를 턴 온 하는 전압으로 된다. 이러한 상태에서, 저항(101b)의 저항값이 외부 커패시터(53)의 저항 성분보다 충분히 크다면, 게이트 인가 펄스(ϕ_{RS}')는 리셋 게이트 클록(ϕ_{RS})과 동일한 진폭을 갖는다.

구체적으로, 게이트 인가 펄스(ϕ_{RS}')는 리셋 게이트 클록(ϕ_{RS})의 펄스 진폭 (W)을 외부 커패시터(53)의 저항 성분과 저항(R)의 합에 대한 저항(101b)의 저항(R)비를 곱함으로써 다음과 같이 얻어질 수 있다.

ϕ_{RS}'의 펄스 진폭 $= W \times R/[R+1/(2\pi fC)]$

여기에서 C는 커패시터(53)의 용량을 나타낸다.

상술한 바로부터, R 1/(2πfC)일 때, 게이트 인가 펄스(Φ_{RS}')의 펄스 진폭은 리셋 게이트 클록(Φ_{RS}')의 펄스 진폭(W)과 실질적으로 같다. 예를 들면, 리셋 게이트 클록(Φ_{RS})의 펄스 진폭(W)이 3V 일 때, 외부 커패시터(53)의 용량(C)은 약 50 pF이며, 리셋 주파수(f)는 약 10 MHz, R300Ω이 성립된다.

저항(101b)은 비교적 높은 저항값을 가지므로, 기판상에 형성된 얇은 확산층으로 형성될 수 있다. 저항(101b)은 CCD칩외부의 외부 회로로서 배치될 수 있다.

전압발생용 트랜지스터(101a)의 드레인(D1)과 리셋 트랜지스터(52)의 드레인(D2)은 서로 공통적이며, 전압발생용 트랜지스터(101a)의 장치구조는 리셋 트랜지스터(52)와 동일하다. 따라서, 전압발생용 트랜지스터(101a)의 채널 전위는 리셋 트랜지스터(52)에서와 같이 게이트 인가 펄스(Φ_{RS}')가 하이 레벨로 있는 동안 리셋 드레인 전압 이상이다.

게이트 인가 펄스(Φ_{RS}')의 로우 레벨 동안, 전압 발생 회로(101a) 및 리셋 트랜지스터(52)에서의 전위는 게이트 인가 펄스(Φ_{RS}')의 진폭에 대응하는 값만큼 게이트 인가 펄스(Φ_{RS}')의 하이 레벨시의 전위에 의해 작게 된다.

전압발생용 트랜지스터(101a)가 리셋 트랜지스터(52)와 동일한 공정에 의해 제조되고, 리셋 트랜지스터(52)와 동일한 구성을 갖기 때문에, 전압발생용 트랜지스터 (101a)에서의 채널 전위와 리셋 트랜지스터(52)의 채널 전위가 제조 공정에서의 변동에 의한 게이트 인가 전압에 대해 변동한다면, 이들 2개의 트랜지스터에서의 채널 전위의 변동은 동일하다. 따라서, 트랜지스터(101a, 52)의 채널 전위는 제조 공정에서의 변동에 무관하게 서로 동일하게 유지된다.

트랜지스터(101a)의 드레인(D1)과 트랜지스터(52)의 드레인(D2)에는 리셋 드레인 전압(V_{RD})이 외부에서 공급된다. 즉, 양 트랜지스터의 드레인전압이 공통화되어 있기 때문에, 리셋 드레인 전압(V_{RD})이 변동하면, 양 트랜지스터의 채널 전위는 동일한 값만큼 변동한다. 따라서, 전압발생용 트랜지스터 (101a) 및 리셋 트랜지스터(52)는 어떤 상태에서도 동일한 값의 채널 전위를 갖는다. 트랜지스터가 항상 동일한 채널 전위를 갖는다는 것은, 리셋 트랜지스터(52)의 채널 전위가 변동하면, 리셋 트랜지스터(52)에 대한 게이트 인가 전압으로서, 전압발생용 트랜지스터(101a)에 의해, 그 채널 전위의 변동분을 흡수하도록 한 전압이 발생하여, 항시 정상적인 리셋 동작이 행해지는 것을 의미한다.

결과적으로, 도 10a에 도시된 이상적인 상태가 실현된다. 리셋 게이트 클록의 펄스 진폭은 종래에 5V일 것이 요구되었으나 3V로 감소될 수 있어, 저전압 및 전력소모의 절감을 실현할 수 있다. 게다가, 리셋 펄스와 중첩되는 DC 바이어스 전압(V_{BS})을 발생하는 회로는 종래에는 CCD칩 외부에 배치되도록 요구되었으나, 본 발명에서는 필요하지 않다. 이에 따라 주변 부품의 수를 감소시킬 수 있고, 소형화, 경량화 및 저비용화를 도모할 수 있다.

또한, 상술한 종래예 5와는 달리, 여기서 사용되는 트랜지스터는 채널 전위가 게이트 전압보다 낮은 것에 한정되지 않고, 보다 일반적인 트랜지스터가 사용가능하여 광범위한 응용이 가능하다.

(실시예 2)

도 5는 본 발명에 따른 실시예 2의 고체촬상장치의 구성을 나타낸다. 도 5를 참조하면,본 실시예의 고체촬상장치는 CCD칩(120a)에 결합된 전압발생회로(102)를 도 1에 도시된 실시예 1에서의 전압 발생 회로 (101) 대신 포함한다. 고체촬상장치 (120)의 다른 구성은 실시예 1의 고체촬상장치 (110)와 동일하다.

전압 발생 회로(102)는 전압발생용 트랜지스터(102a), 저항(102b) 및 전압 강하 회로(102c:voltage drop circuit)를 포함한다. 전압발생용 트랜지스터(102a)의 드레인(D1)은 리셋 트랜지스터(52)의 드레인(D2)에 접속된다. 전압발생용 트랜지스터(102a)의 소스(S1) 및 게이트(G1)는 전압 강하 회로(102c)의 각 단자에 접속된다. 게이트(G1)는 리셋 트랜지스터(52)의 게이트(G2)에 접속된다. 저항(102b)은 리셋 트랜지스터(42)의 드레인(D2)과 게이트(G2) 사이에 접속된다. 트랜지스터 (52, 102a)의 특성은 구체적으로 제한되지 않는다. 전압발생용 트랜지스터(102a)는 리셋 트랜지스터(52)와 동일한 공정으로 제조되며, 리셋 트랜지스터 (52)와 동일한 소자구조를 갖는다.

전압 강하 회로(102c)는 전압 강하 트랜지스터(112c, 112d)를 갖는다. 전압 강하 트랜지스터(112c)의 게이트(G3) 및 소스(S3)는 게이트(G3) 및 소스(S3)가 단락되어 있는 상태에서 신호 단자(50c)에 접속된다. 전압 강하 트랜지스터(112c)의 드레인(D3)은 전압 강하 트랜지스터(112d)의 소스(S4)에 접속되는 반면, 소스(S4)는 전압 강하 트랜지스터(112d)의 게이트(G4)와 단락된다. 전압 강하 트랜지스터(112d)는 신호 단자(50d)에 접속된다.

전압 강하 회로(102c)는 상술한 구성에 제한되지 않는다. 또한, 3개 이상의 전압 강하 트랜지스터를 갖는 것과 같은 다른 구성이 DC 바이어스 전압에 대응하는 전위 강하가 제공될 수 있는 한 적용가능하다.

전압 강하 트랜지스터(102a)의 드레인(D1), 리셋 트랜지스터(52)의 드레인(D2) 및 저항(102b)의 한 단자는 신호 단자(50b)에 접속된다. 전압발생용 트랜지스터(102a)의 소스(S1)와 저항(102b)의 다른 단자는 신호 단자(50c)에 접속된다. 전압발생용 트랜지스터(102a)의 게이트(G1) 및 리셋 트랜지스터(52)의 게이트 (G2)는 신호 단자(50d)에 접속된다.

리셋 게이트 클록(ϕ_{RS})은 신호 단자(50c)로 커패시터(53)를 거쳐 공급되며, 신호 단자(50d)에는 커패시터(54)를 통해 공급된다. 리셋 드레인 전압(V_{RD})은 신호 단자(5b)로부터 신호 단자(50b)에 인가된다.

실시예 2에서, 15V의 리셋 드레인 전압(V_{RD})이 예를 들어, 신호 단자(5b)에 인가되고, 커패시터(55)가 7V(=13V-전압 강하분 6V)의 전위로 충전되는 동안 13V의 전위로 충전된다. 그 결과는 도 6에 도시된 바와 같다. 즉, 초기 상태(S1)에서, 리셋 게이트 클록(ϕ_{RS})의 진폭, 게이트 인가 펄스(ϕ_{RS}')의 진폭 및 DC 바이어스 전압(Vs)의 진폭은 0 V 내지 3V이다. 중간 단계(S2)후의 최종 단계(S3)에서, 리셋 게이크 클록(ϕ_{RS})은 0 내지 3V이고, 게이트 인가 펄스(ϕ_{RS}')는 7 내지 10V이며, DC 바이어스 전압(Vs)은 13 내지 16 V로 된다.

본 발명에 따른 고체촬상장치는 상술한 실시예 1 및 2에 한정되지 않는다. 또한, 전압발생회로는 게이트 아래의 채널 전위보다 더 높은 레벨에서 소스 전위를 유지할 수 있는 다른 전압원 또는 전압강하회로를 포함할 수 있다.

발명의 효과

따라서, 본 발명에 따른 고체촬상장치에서, 리셋 트랜지스터에 인가되는 전하 배출 전위를 발생시키기 위한 전압 발생 회로는 리셋 트랜지스터와 동일한 구성을 갖고 리셋 트랜지스터와 동일한 기판상에 제조되는 트랜지스터를 포함한다. 결과적으로, 두개의 트랜지스터는 실질적으로 동일한 특성을 가져, 장치특성에 의해 유발되는 변동 성분의 영향을 제거할 수 있다.

전압 발생 회로를 구성하는 트랜지스터의 게이트는 리셋 트랜지스터의 게이트와 공통적으로 접속된다. 따라서, 장치는 제조 공정 및 리셋 트랜지스터의 드레인에 접속된 외부 전원에서의 변동으로 인한 채널 전위의 변동의 영향으로부터 보호될 수 있다.

따라서, 리셋 트랜지스터에 대한 게이트 인가 전압의 불필요한 마진을 제거함으로써, 게이트 인가 전압의 진폭은 저전압 인가를 실현할 수 있도록 감소될 수 있다.

게다가, 유지 회로를 전압 발생 회로에 제공함으로써, 트랜지스터에서 소스 전위가 트랜지스터의 게이트 아래의 채널 전위보다 높게 유지된다. 따라서, 트랜지스터에서 채널 전위가 게이트 전위보다 높을 지라도, 트랜지스터의 드레인 및 소스간의 단락은 방지될 수 있다. 이로 인해 전압 발생 회로를 구성하는 트랜지스터를 특정의 것으로 한정할 필요가 없고, 보다 일반적인 트랜지스터가 사용될 수 있어, 더 넓은 범위의 응용이 가능하다.

또한, 외부 DC 전압 발생 회로 및 반전 증폭기와 같은 소자가 불필요하여, 장치의 크기, 무게 및 비용의 절감이 실현될 수 있다.

본 발명의 범위에서 벗어나지 않고 다양한 변형이 가능하다는 것은 당업자에게 명백할 것이다. 따라서, 본 발명은 이상의 상세한 설명에 한정되지 않으며, 이하의 특허청구의 범위에 의거 넓게 해석되어야 한다.

(57) 청구의 범위

청구항 1.

1차원적 또는 2차원적으로 기판상에 배열된 광전 변환 기능을 갖는 포토다이오드;

상기 각 포토다이오드에서 광전 변환에 의해 발생된 전하를 전송하기 위한 전하 전송부;

상기 전하 전송부로부터 전송된 전하를 축적하기 위한 전위적으로 부유 상태의 전하 축적부;

상기 전하 축적부에 일단이 접속되고 타단에는 전하 배출 전위가 인가되며, 상기 전송된 전하를 출력하기 위한 리셋 트랜지스터; 및,

상기 리셋 트랜지스터와 동일한 장치 구조를 갖는 트랜지스터를 포함하고 상기 리셋 트랜지스터와 동일한 기판상에 형성되는 전압 발생 회로로서, 이 전압 발생 회로를 구성하는 상기 트랜지스터의 게이트가 상기 리셋 트랜지스터의 게이트와 공통으로 접속되고, 상기 리셋 트랜지스터에 인가되는 전하 배출용 전위를 발생하는 전압 발생 회로;를 포함하며,

상기 전압 발생 회로는 그를 구성하는 상기 트랜지스터에서 소스 전위를 게이트 아래의 채널 전위보다 높은 레벨로 유지하기 위한 전압원 또는 전압 강하 회로를 포함하는 고체촬상장치.

청구항 2.

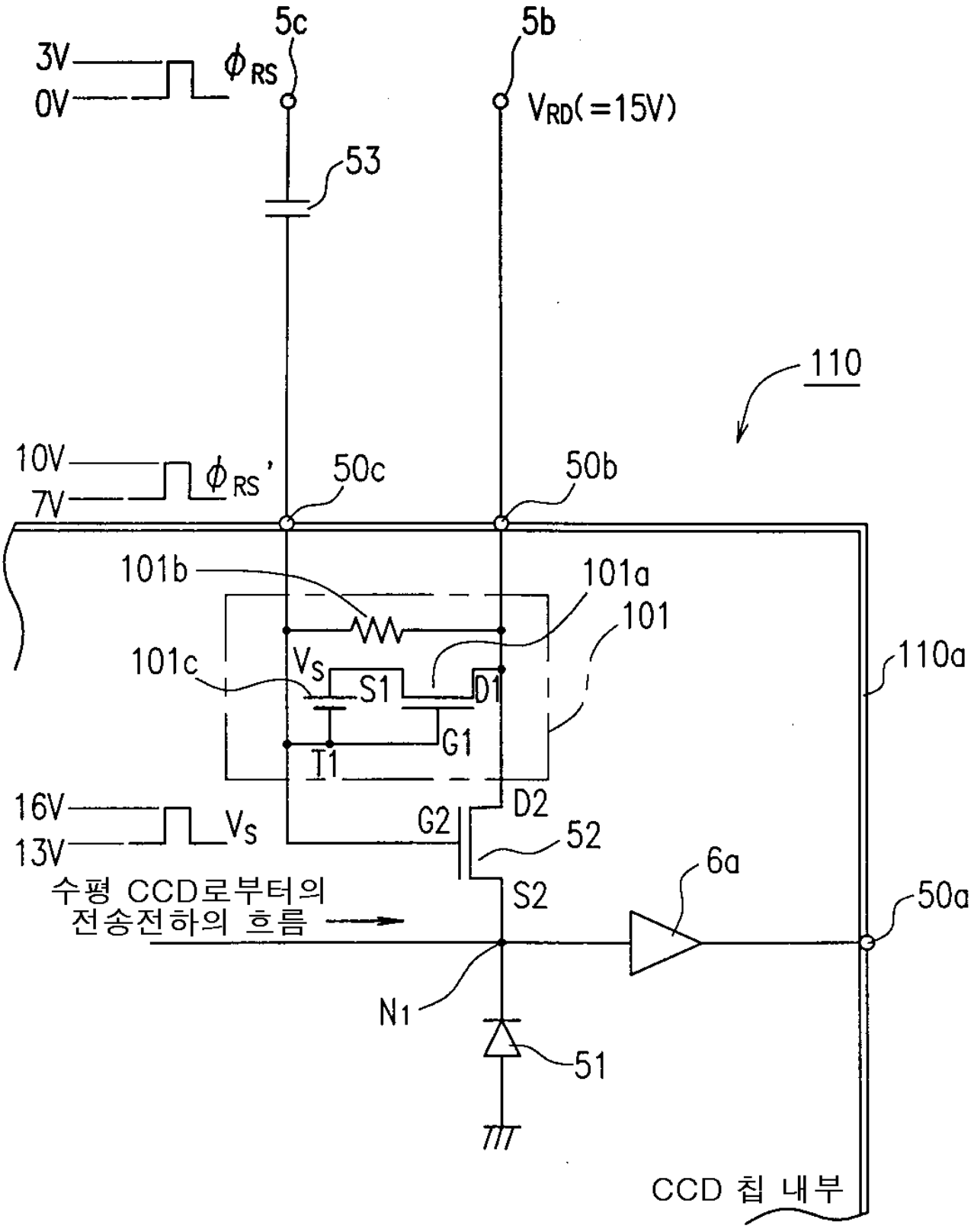
제1항에 있어서, 상기 전압원은 상기 전압 발생 회로를 구성하는 트랜지스터의 게이트와 소스 사이에 배치되어 있는 고체촬상장치.

청구항 3.

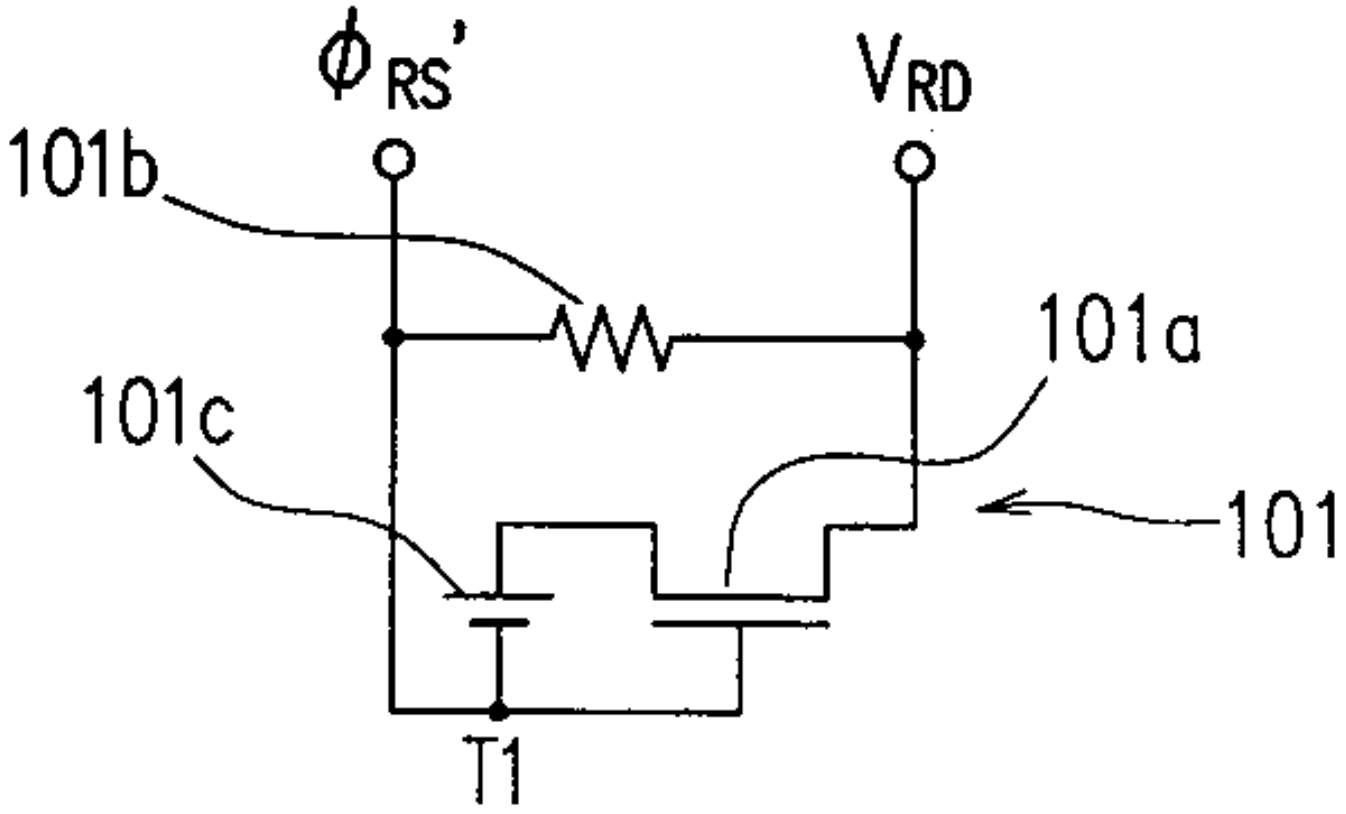
제1항에 있어서, 상기 전압 강하 회로는 각각이 서로 단락된 게이트와 소스를 가지며, 상기 전압 발생 회로를 구성하는 트랜지스터의 게이트와 소스 사이에 배치되어 있는 복수의 트랜지스터를 포함하는 고체촬상장치.

도면

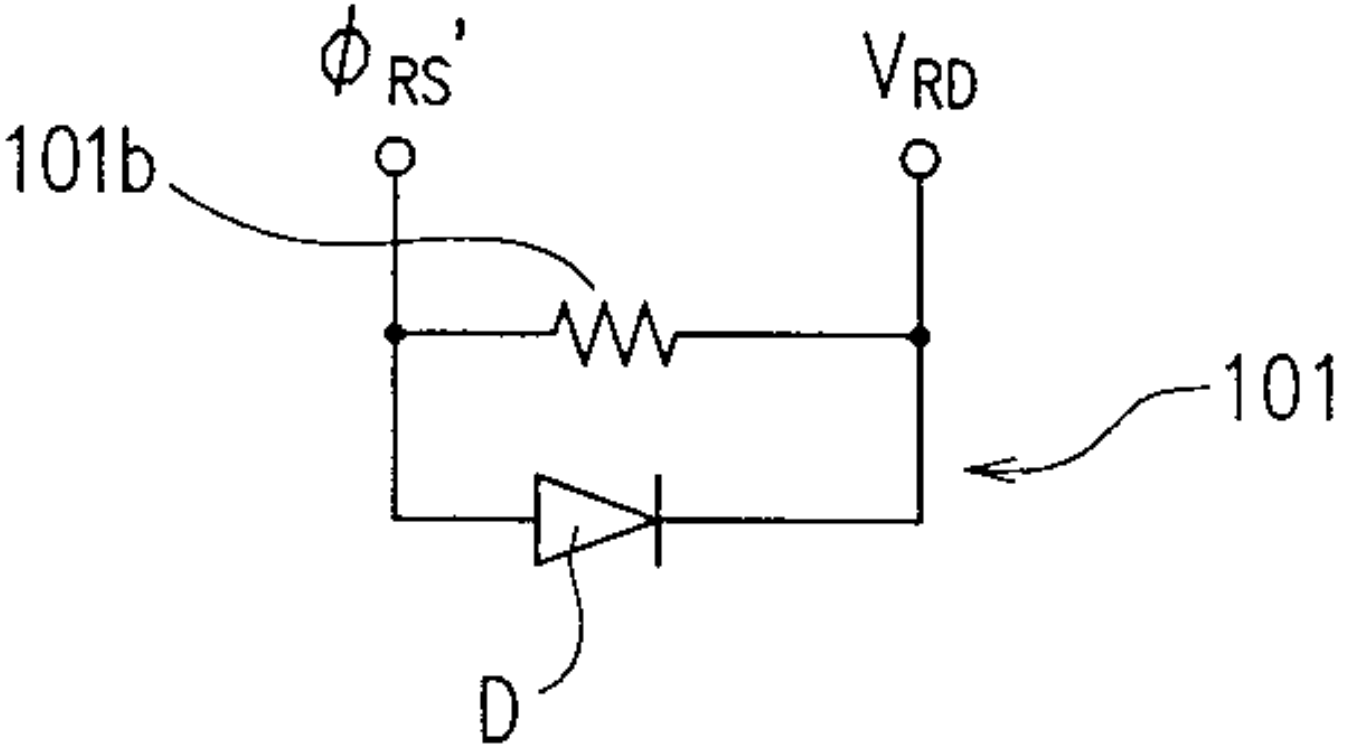
도면 1


5c
5b
3V
0V
ϕ_{RS}
V_{RD}(=15V)
53
110
10V
7V
ϕ_{RS}'
50c
50b
101b
101a
101
101c
V_S
S1
D1
G1
I1
110a
16V
13V
V_S
G2
D2
52
6a
수평 CCD로부터의
전송전하의 흐름
S2
50a
N_1
51
CCD 칩 내부

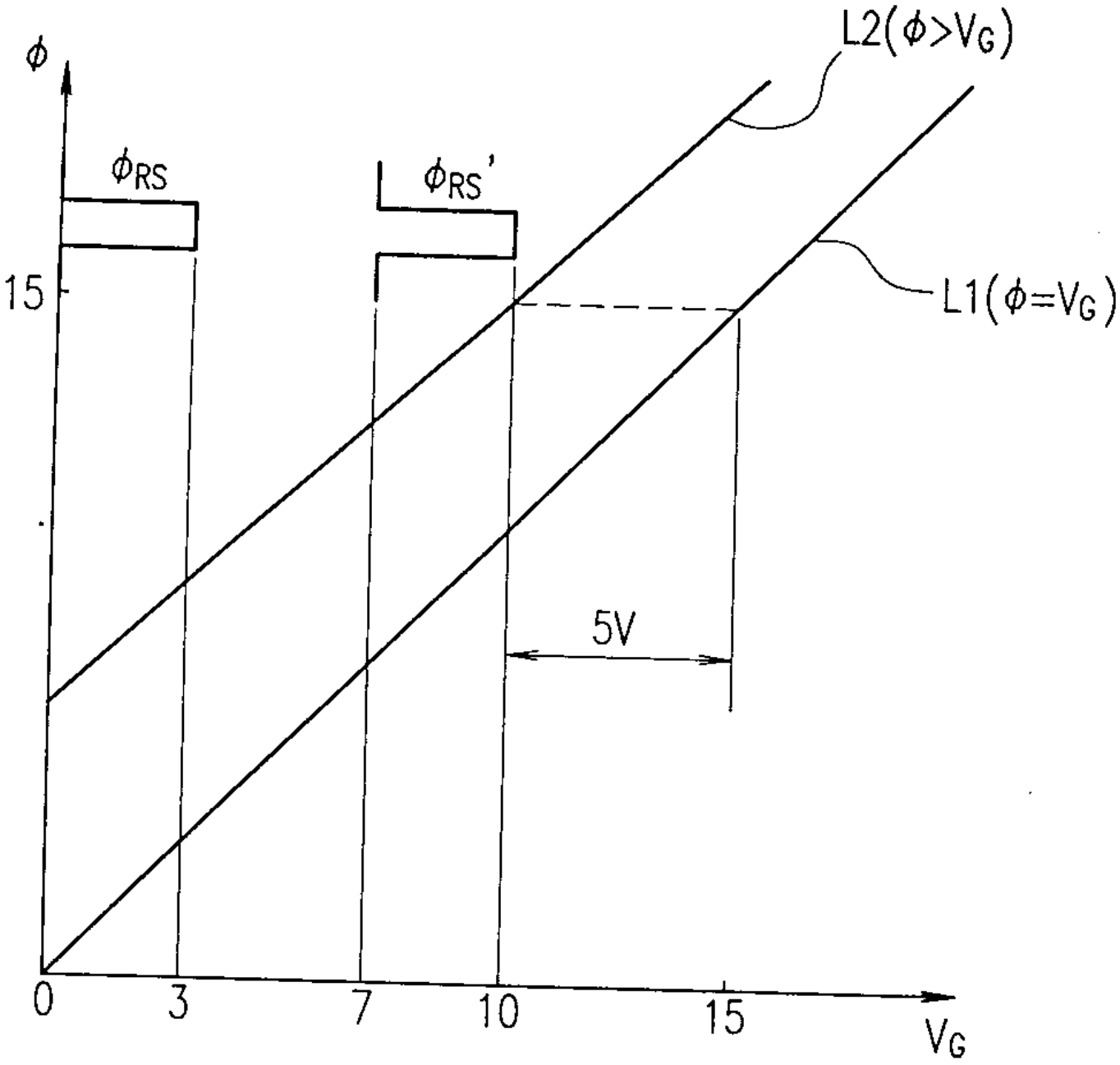
도면 2a



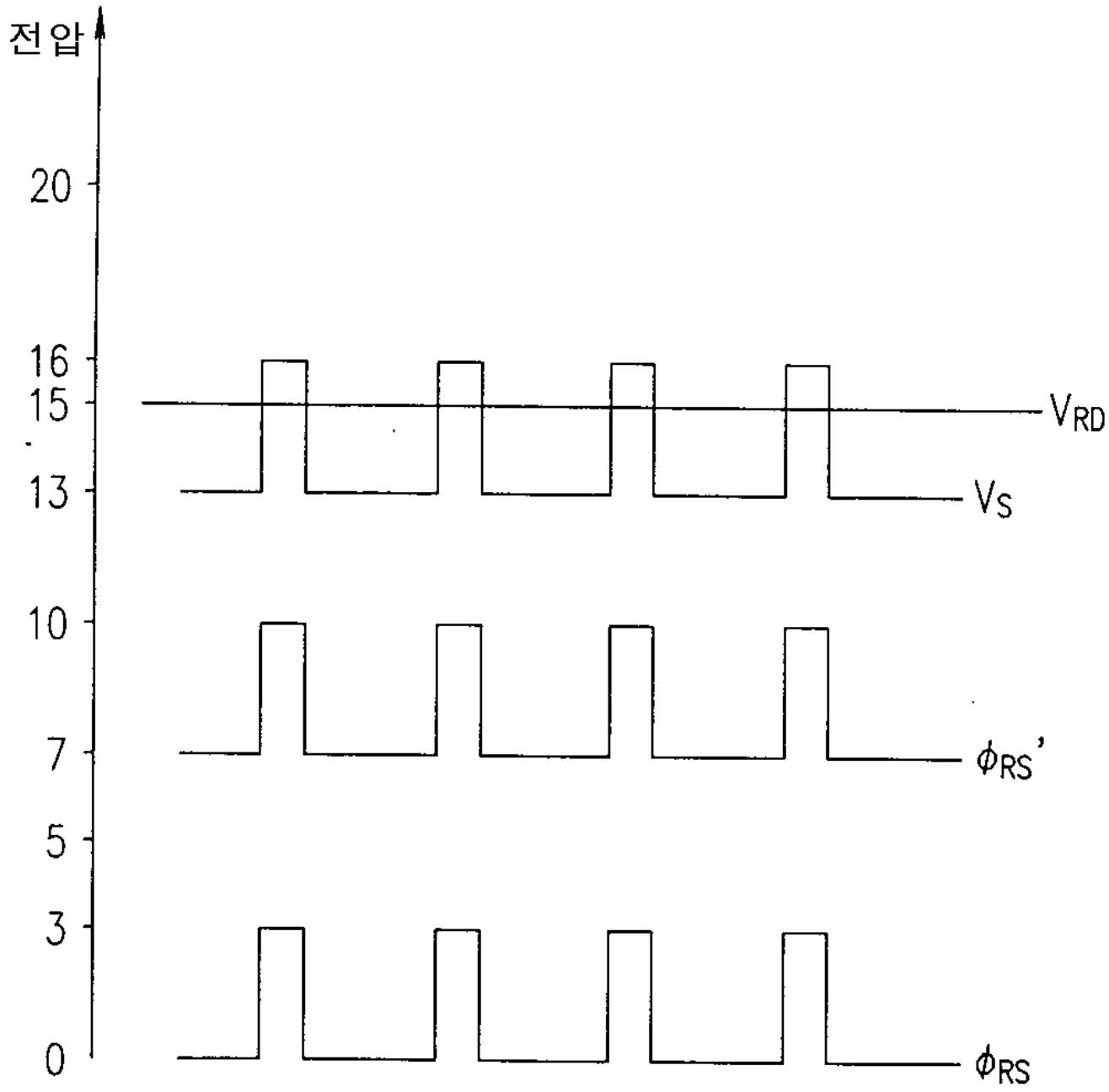
도면 2b



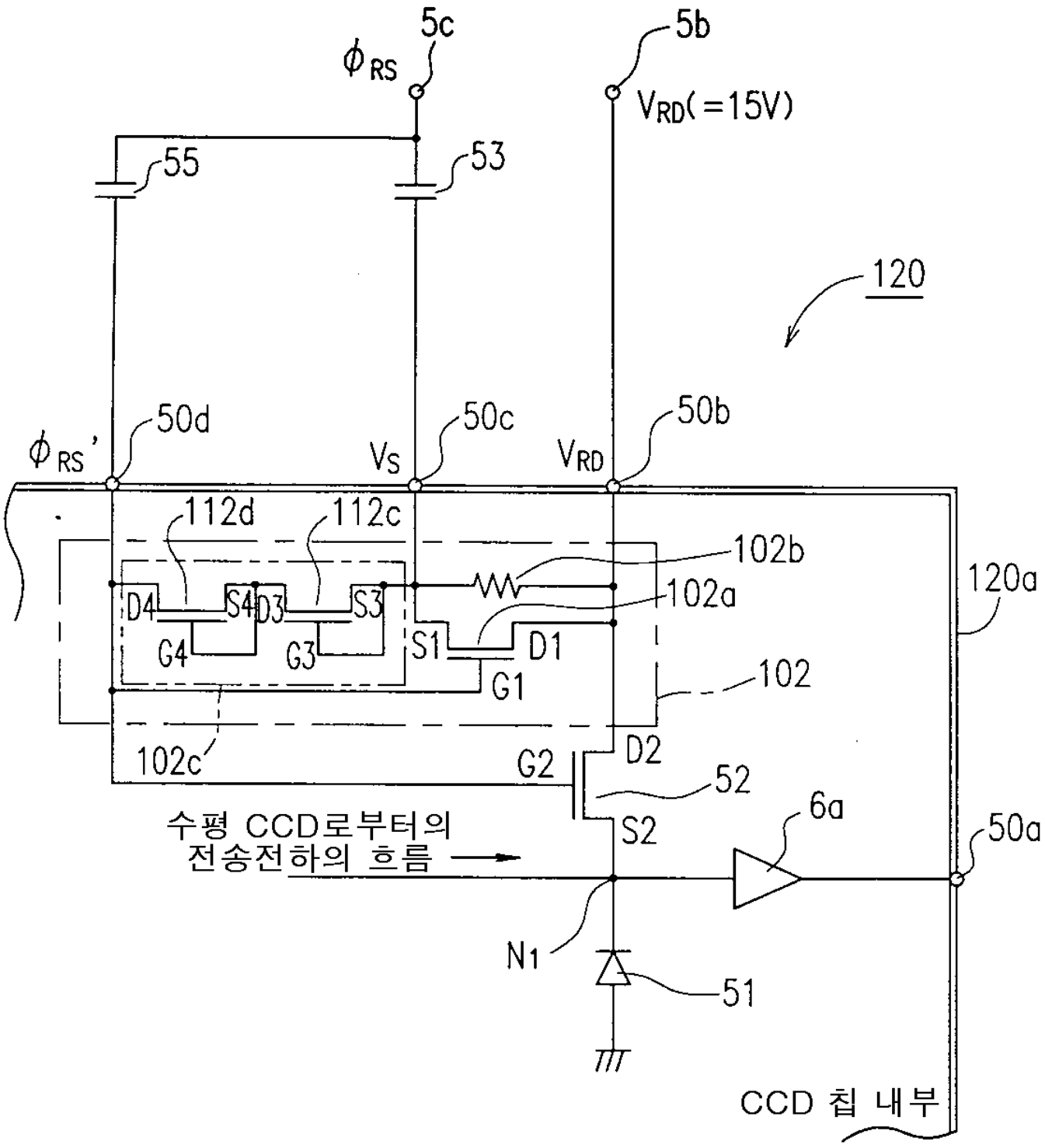
도면 3



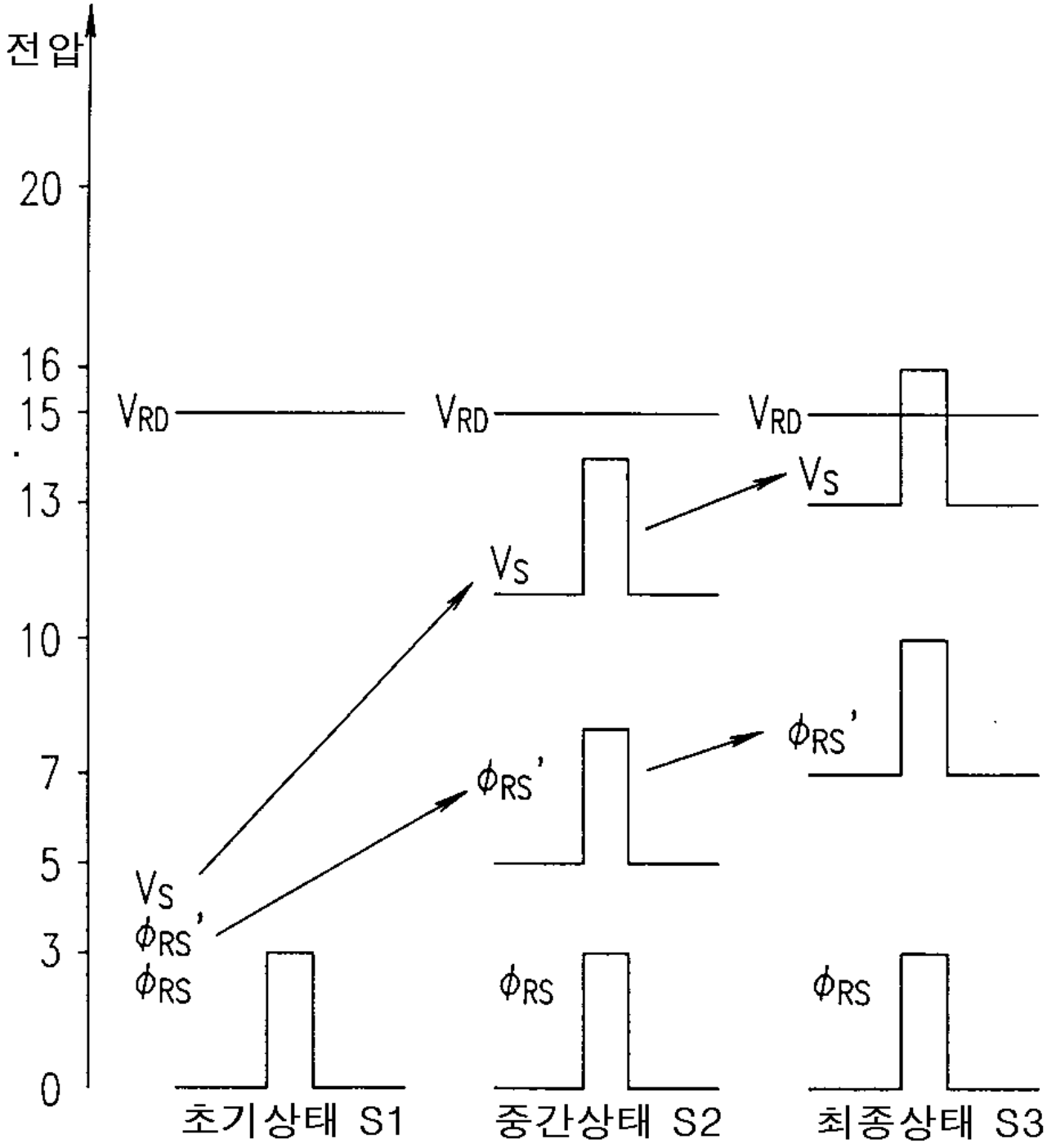
도면 4



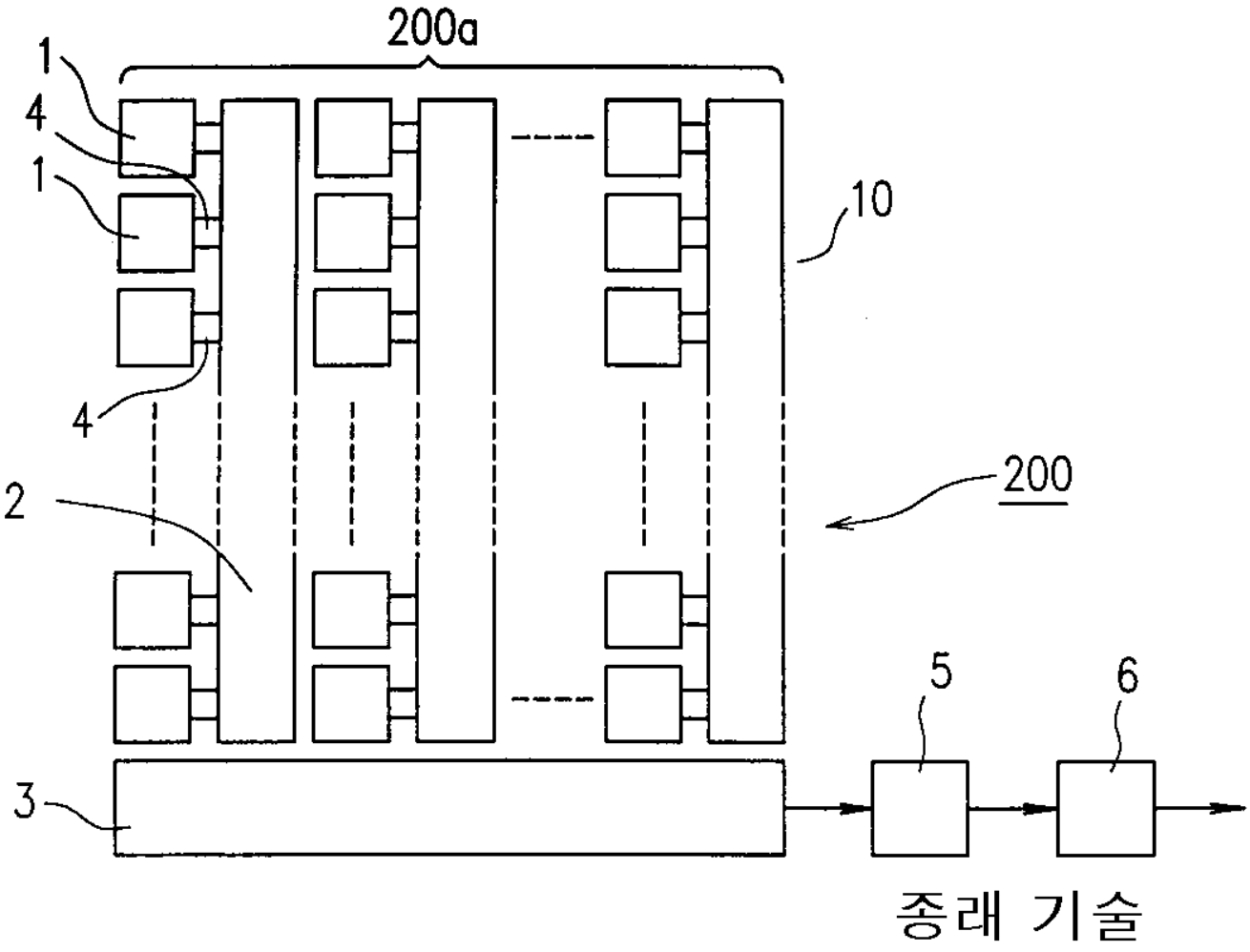
도면 5


5c
ϕ_{RS}
5b
V_{RD}(=15V)
55
53
120
ϕ_{RS}'
50d
V_S
50c
V_{RD}
50b
112d
112c
102b
120a
D4
S4
D3
S3
102a
G4
G3
S1
D1
G1
102
102c
G2
D2
52
수평 CCD로부터의
전송전하의 흐름
S2
6a
50a
N1
51
CCD 칩 내부

도면 6

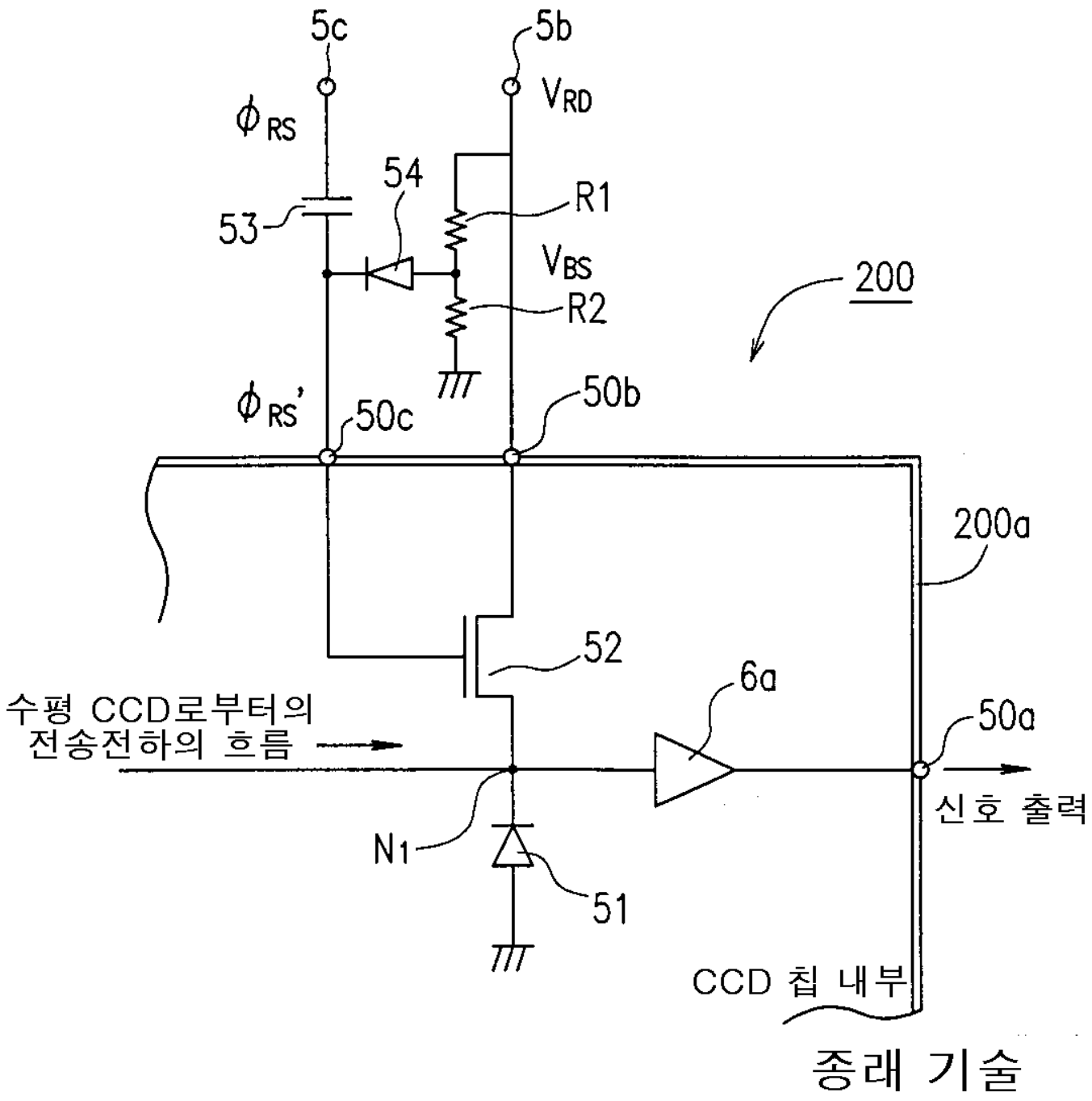

전압
20
16
15
13
10
7
5
3
0
VRD
VRD
VRD
VS
VS
VS
φRS'
φRS'
φRS'
φRS
φRS
φRS
초기상태 S1
중간상태 S2
최종상태 S3

도면 7a



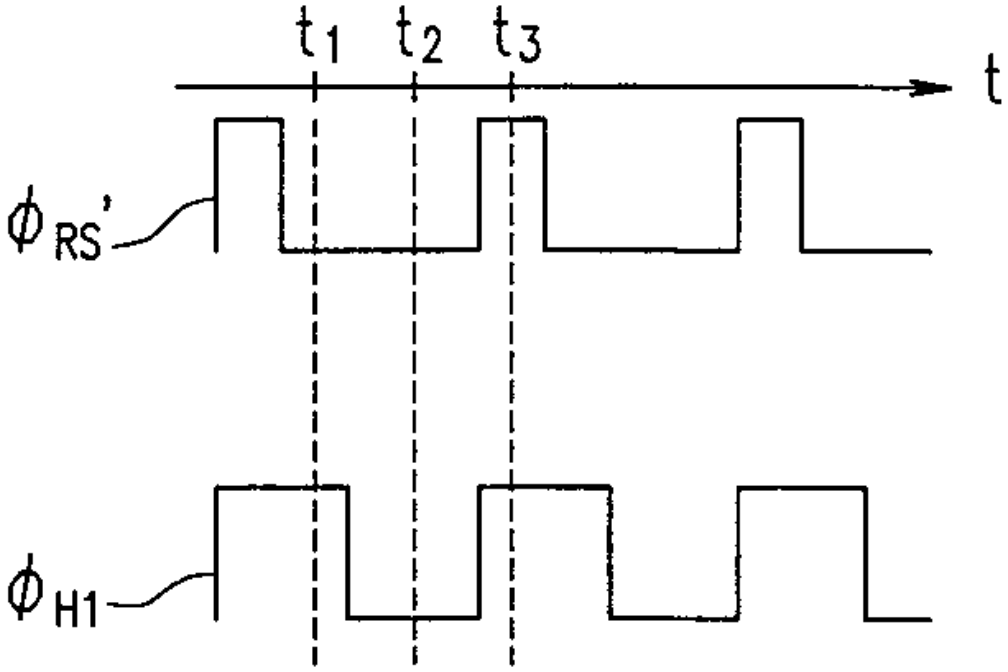
종래 기술

도면 7b


5c
5b
ϕ_{RS}
V_{RD}
54
R1
53
V_{BS}
200
R2
$\phi_{RS'}$
50c
50b
200a
52
6a
수평 CCD로부터의
전송전하의 흐름
50a
신호 출력
N1
51
CCD 칩 내부

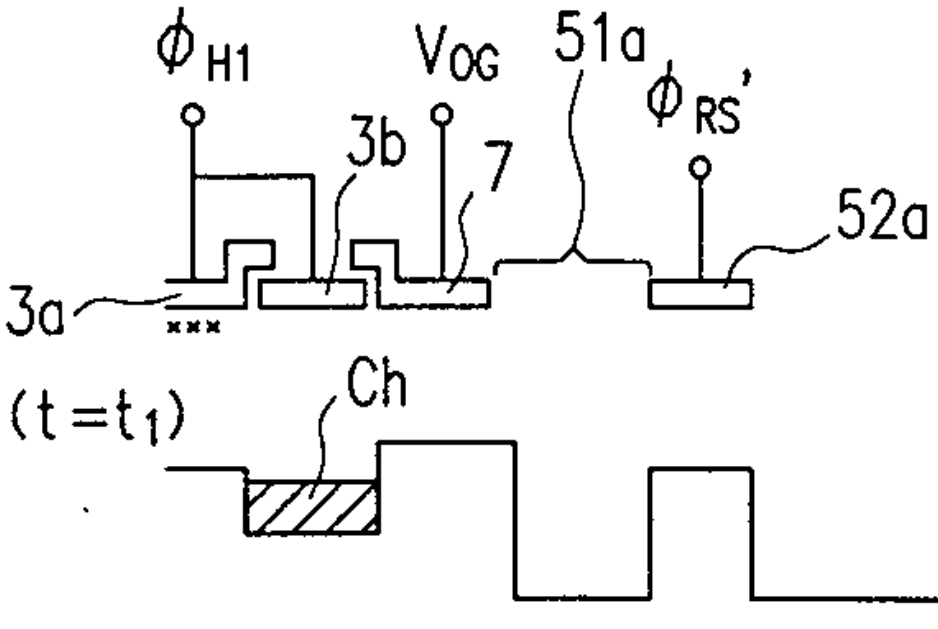
종래 기술

도면 8



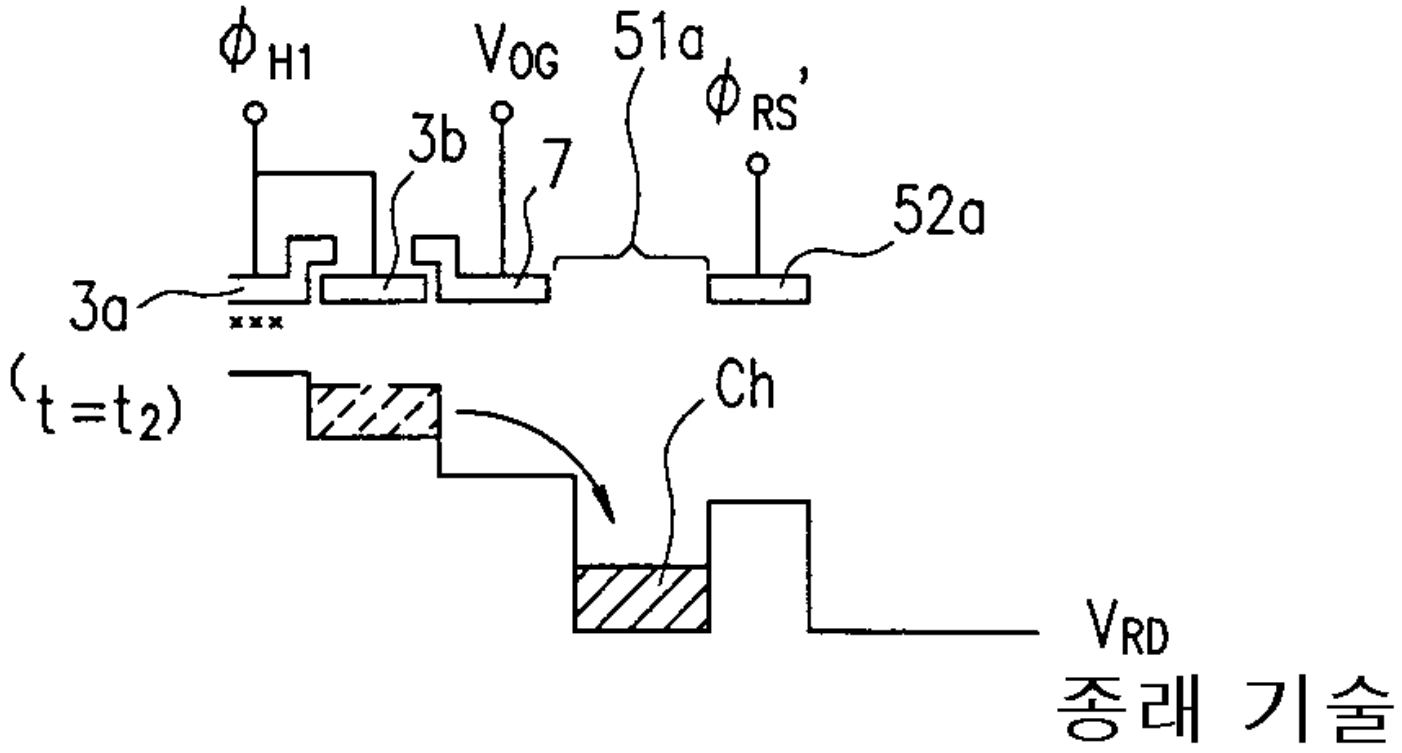
종래 기술

도면 9a



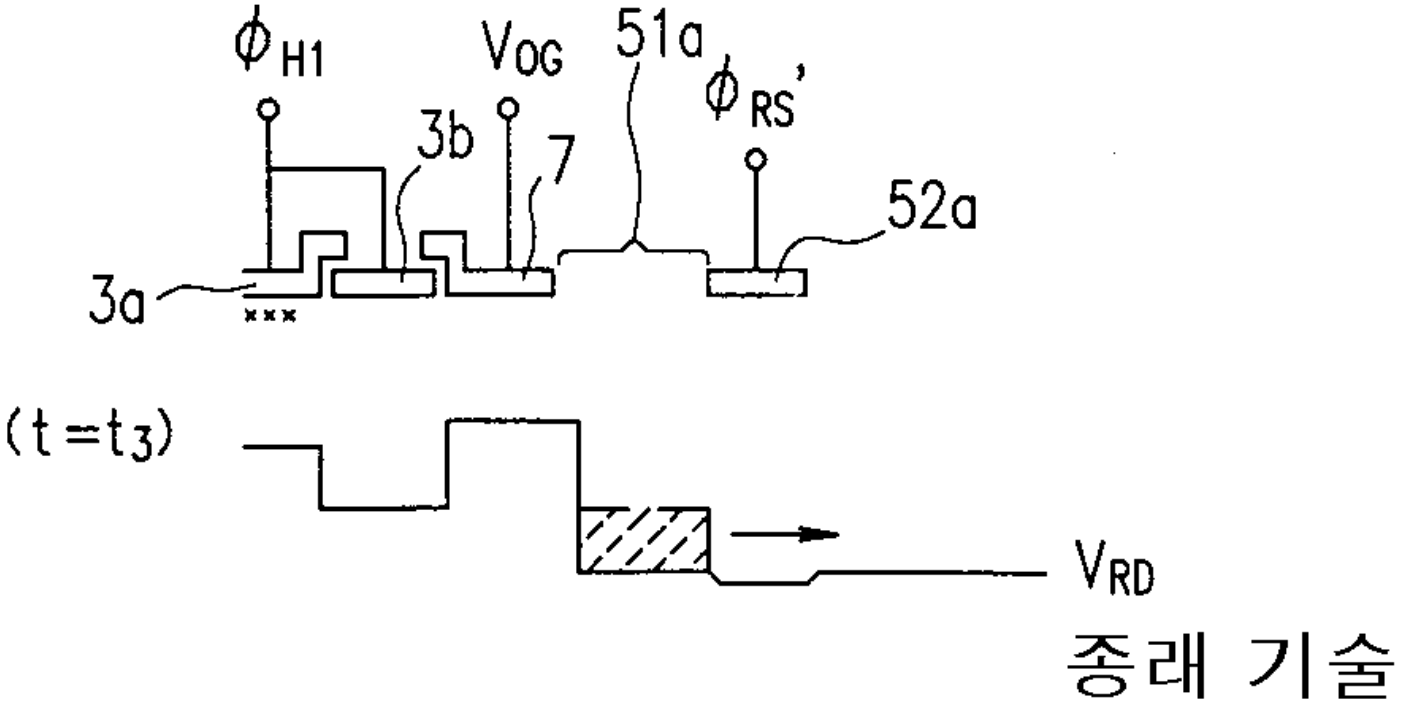
종래 기술

도면 9b



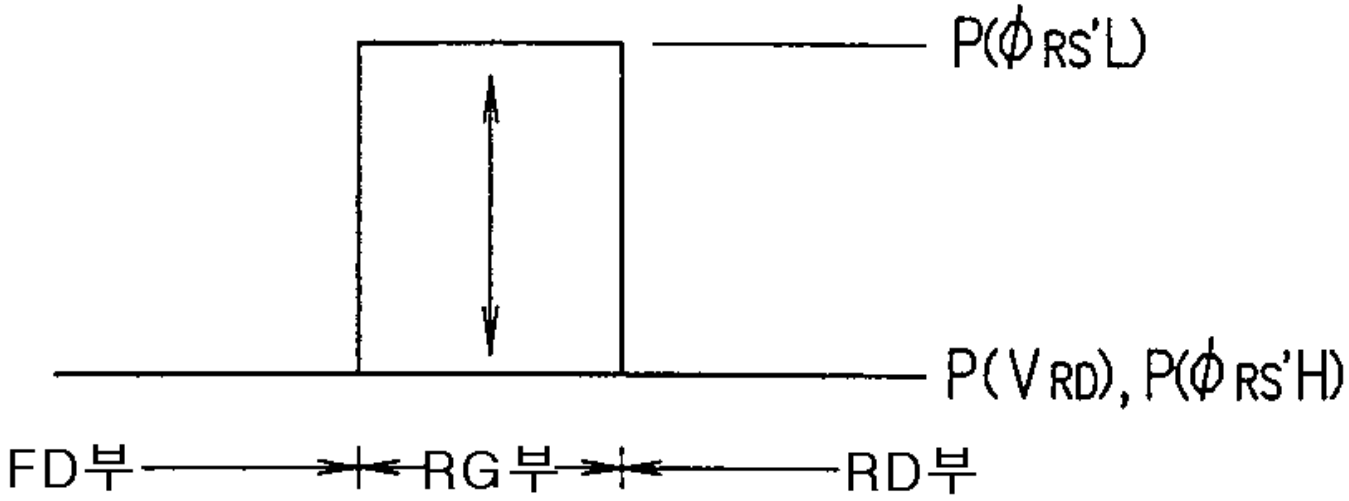
종래 기술

도면 9c

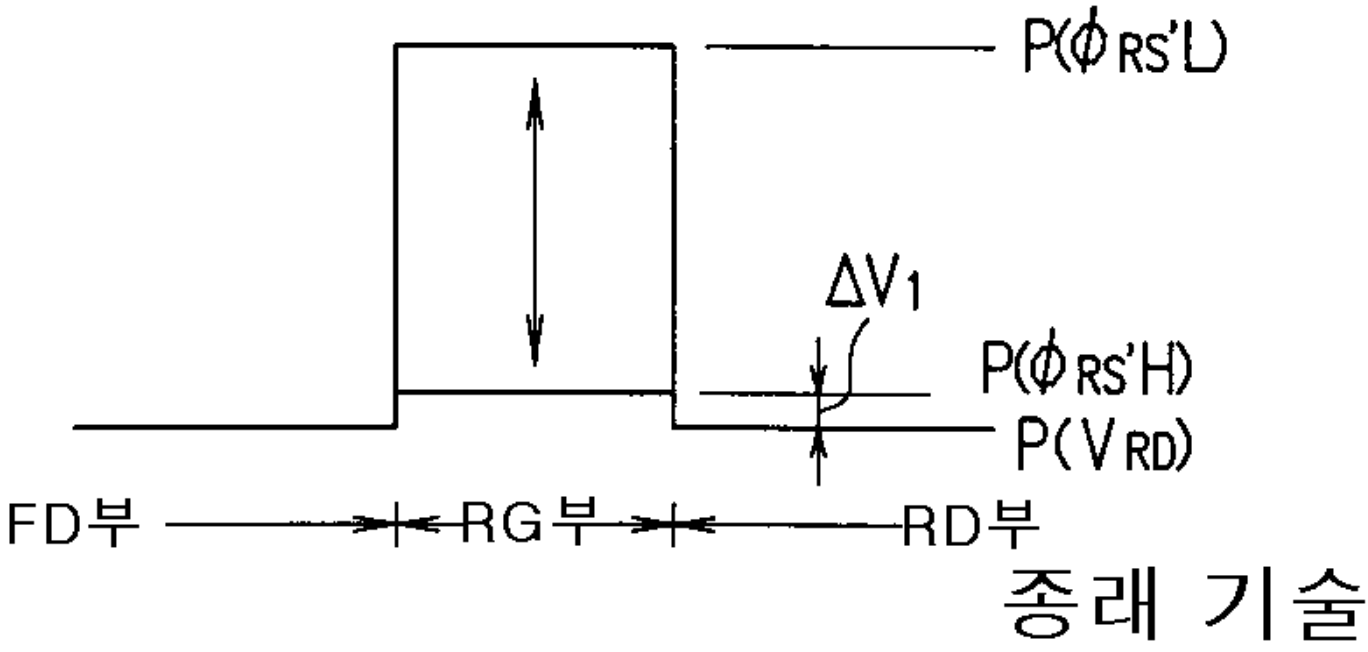


종래 기술

도면 10a

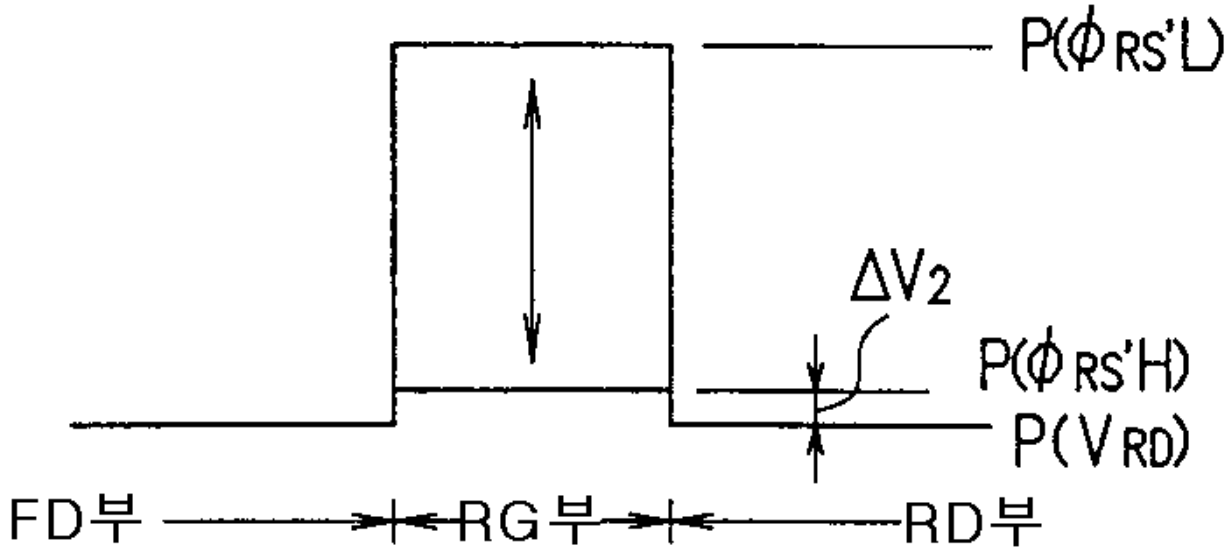


도면 10b



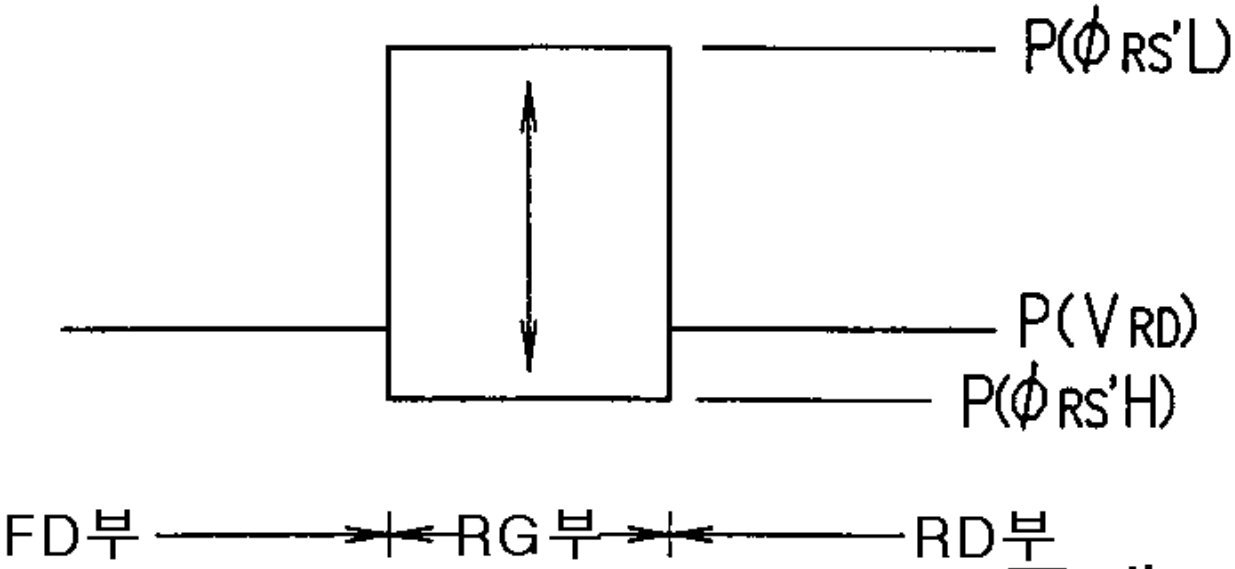
종래 기술

도면 10c



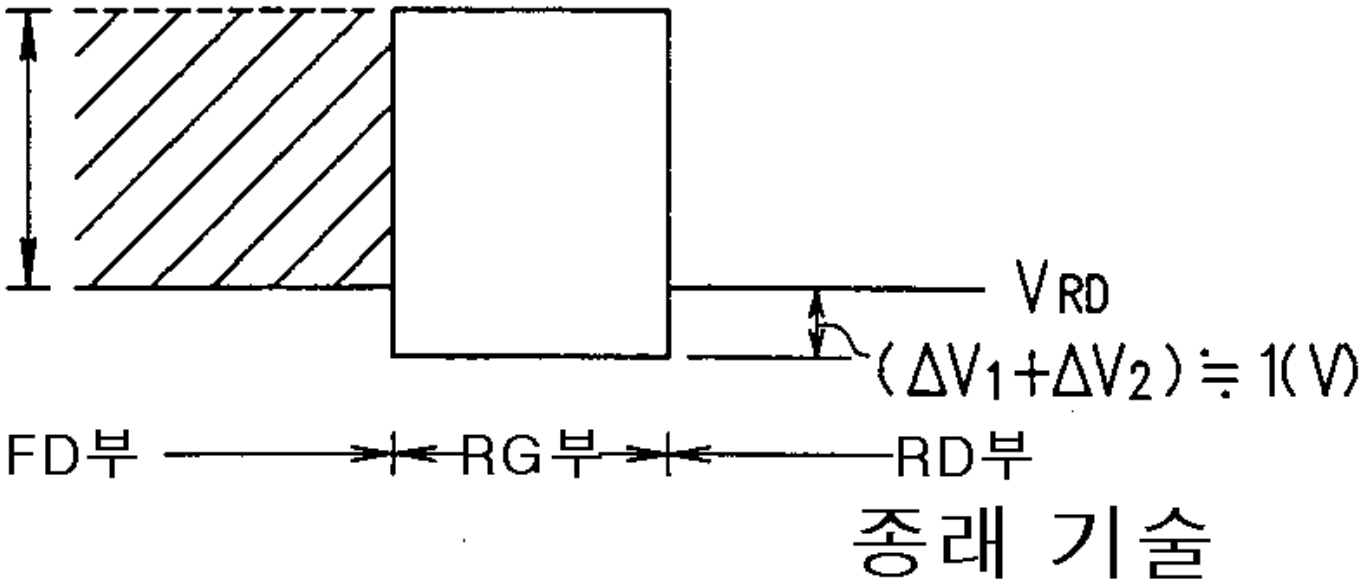
종래 기술

도면 10d



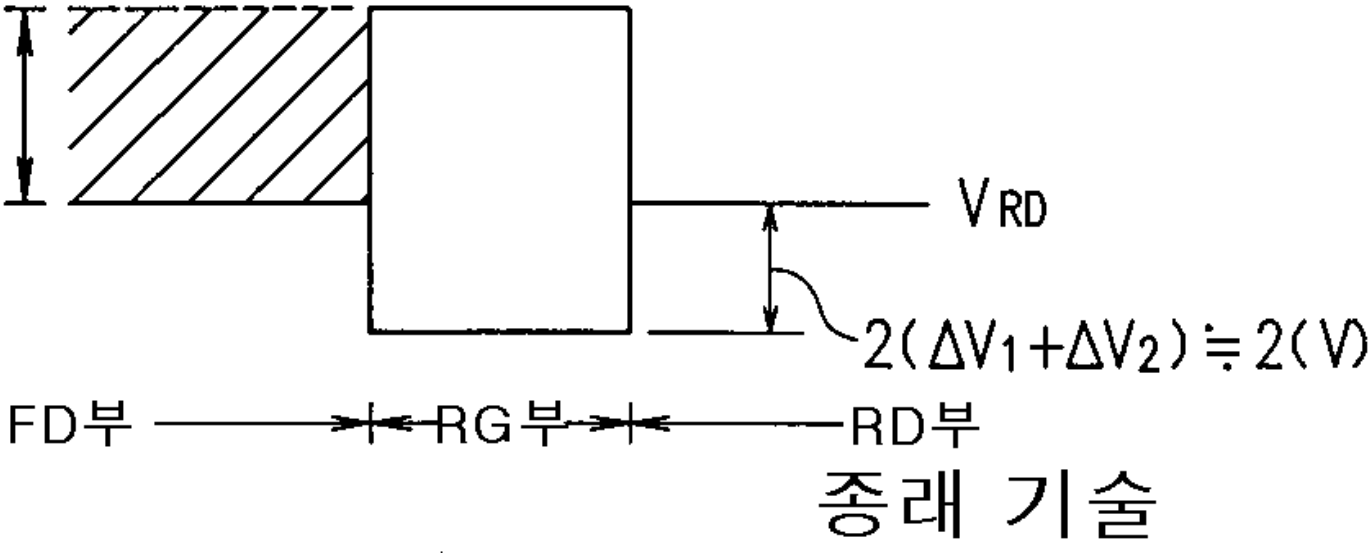
종래 기술

도면 11a



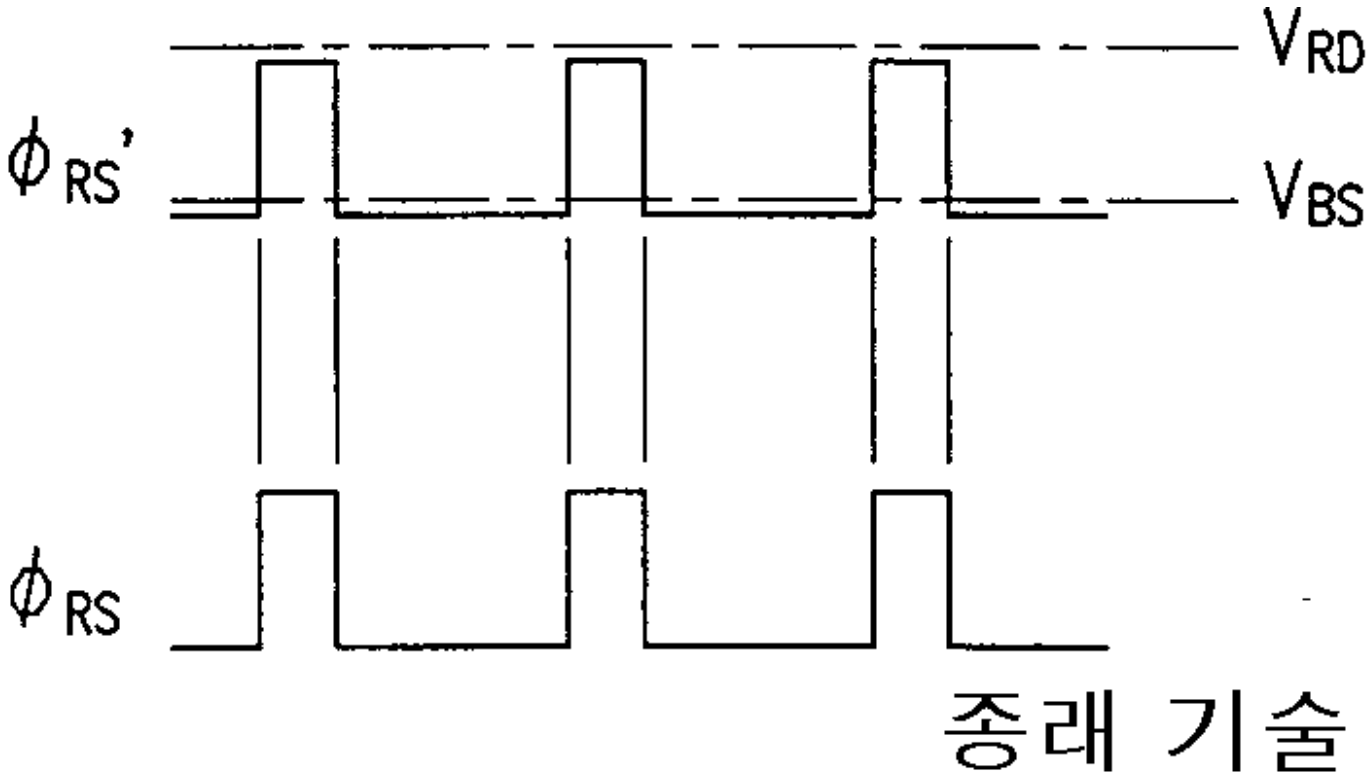
종래 기술

도면 11b



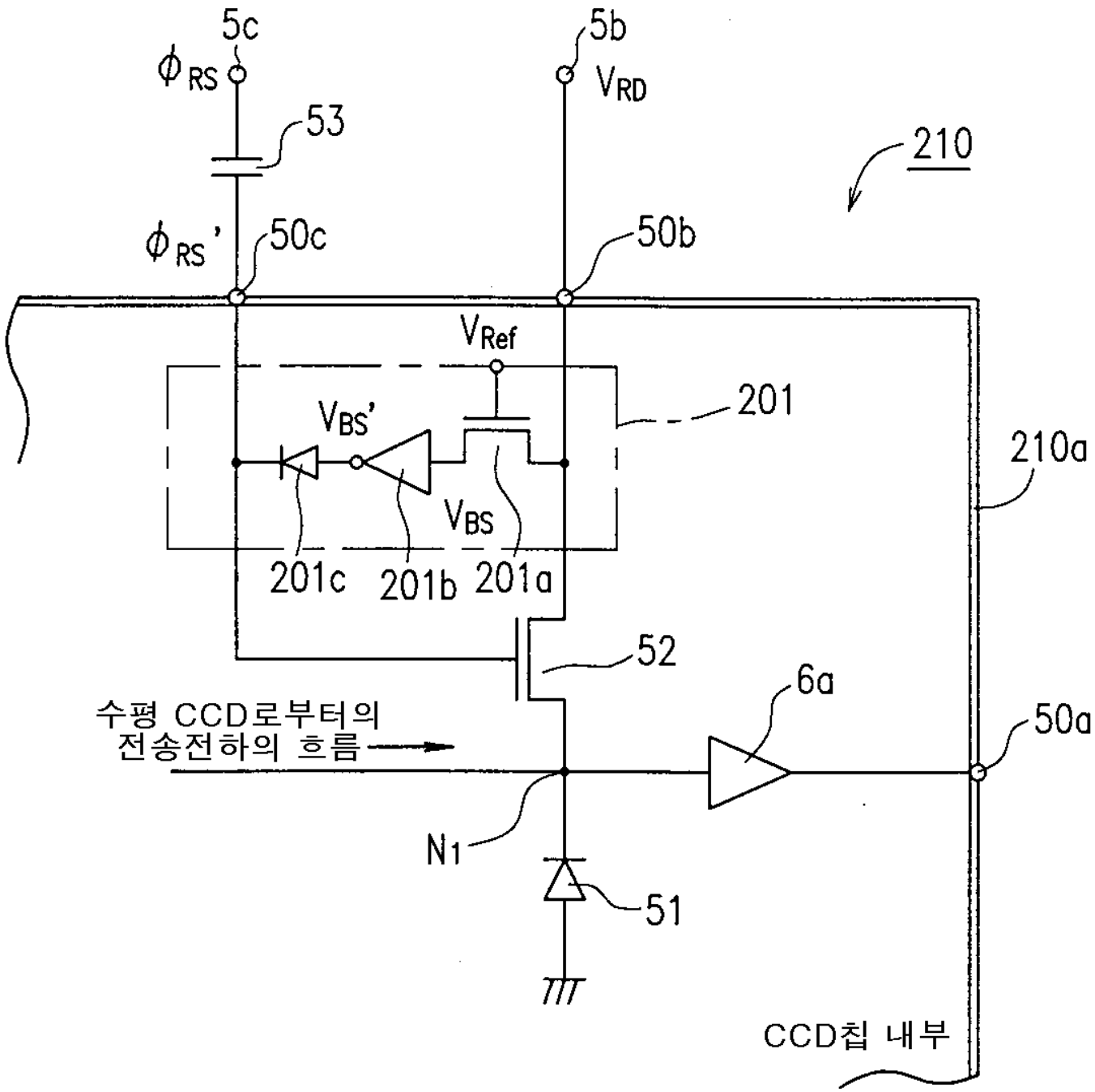
종래 기술

도면 12



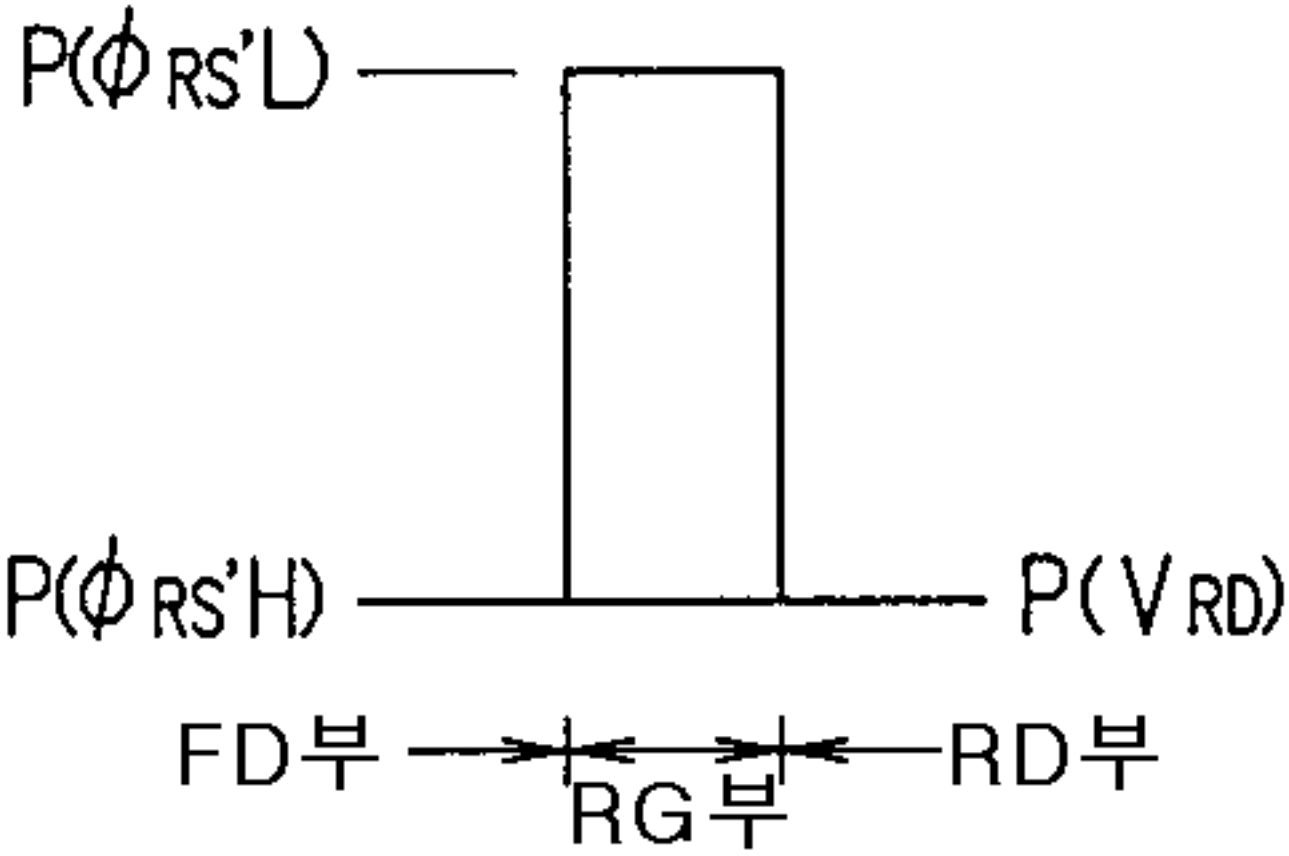
종래 기술

도면 13a


5c
ϕ_{RS}
53
ϕ_{RS}'
50c
5b
V_{RD}
210
50b
V_{Ref}
201
V_{BS}'
V_{BS}
201c
201b
201a
210a
52
6a
수평 CCD로부터의
전송전하의 흐름
50a
N1
51
CCD칩 내부

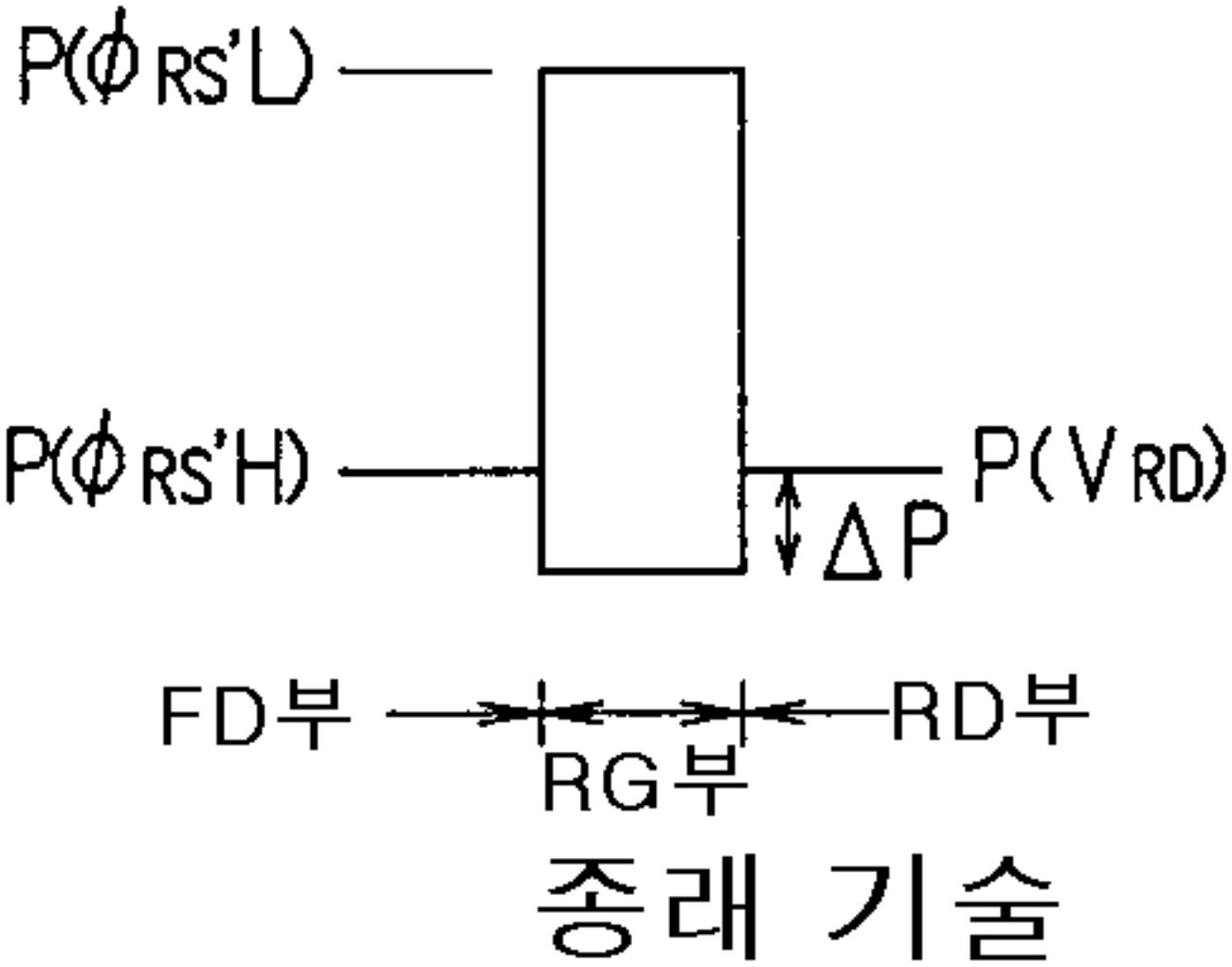
종래 기술

도면 13b



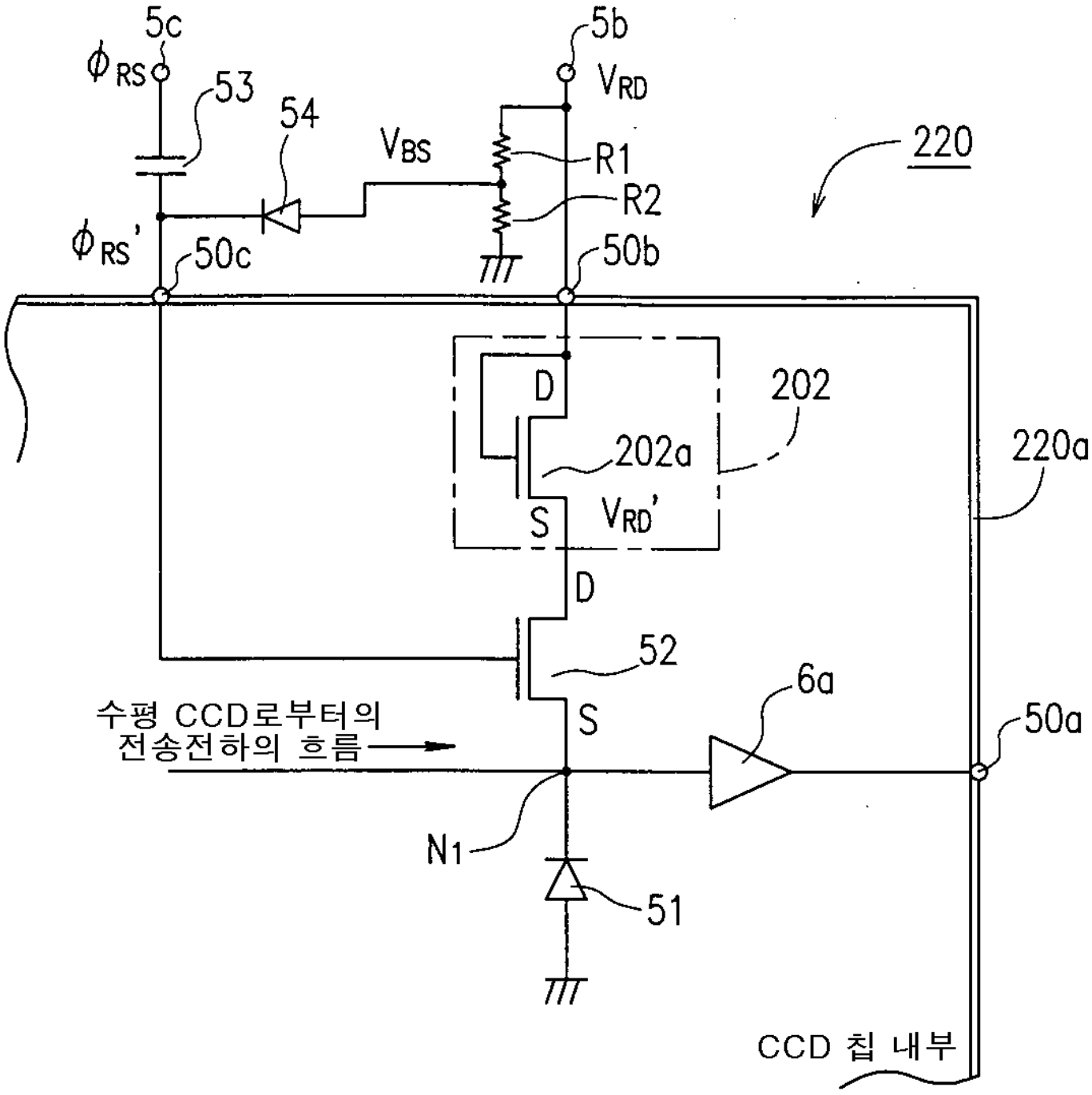
종래 기술

도면 13c



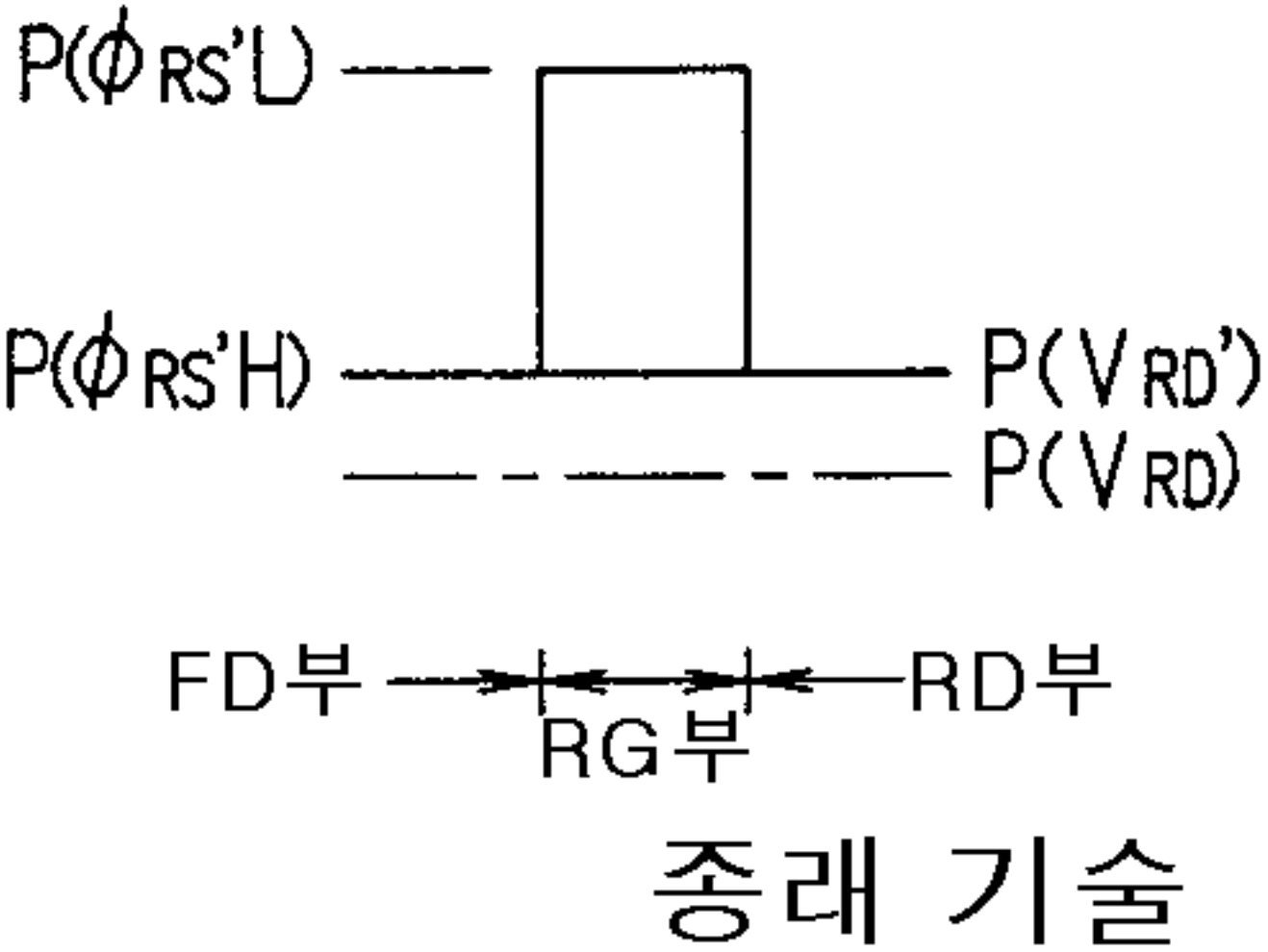
종래 기술

도면 14a


5c
ϕ_{RS}
53
54
V_{BS}
5b
V_{RD}
R1
R2
220
ϕ_{RS}'
50c
50b
D
202
202a
220a
S
V_{RD}'
D
52
6a
수평 CCD로부터의
전송전하의 흐름
S
50a
N1
51
CCD 칩 내부

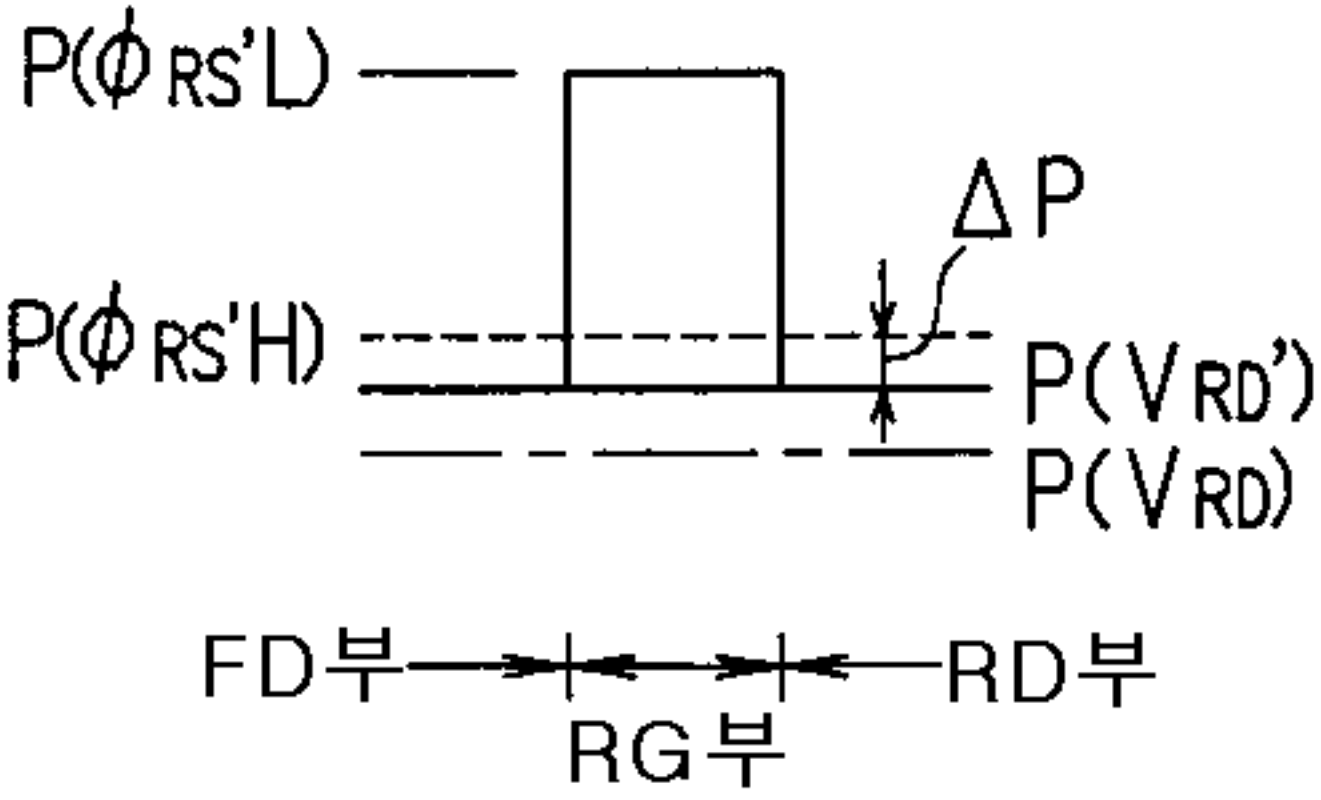
종래 기술

도면 14b



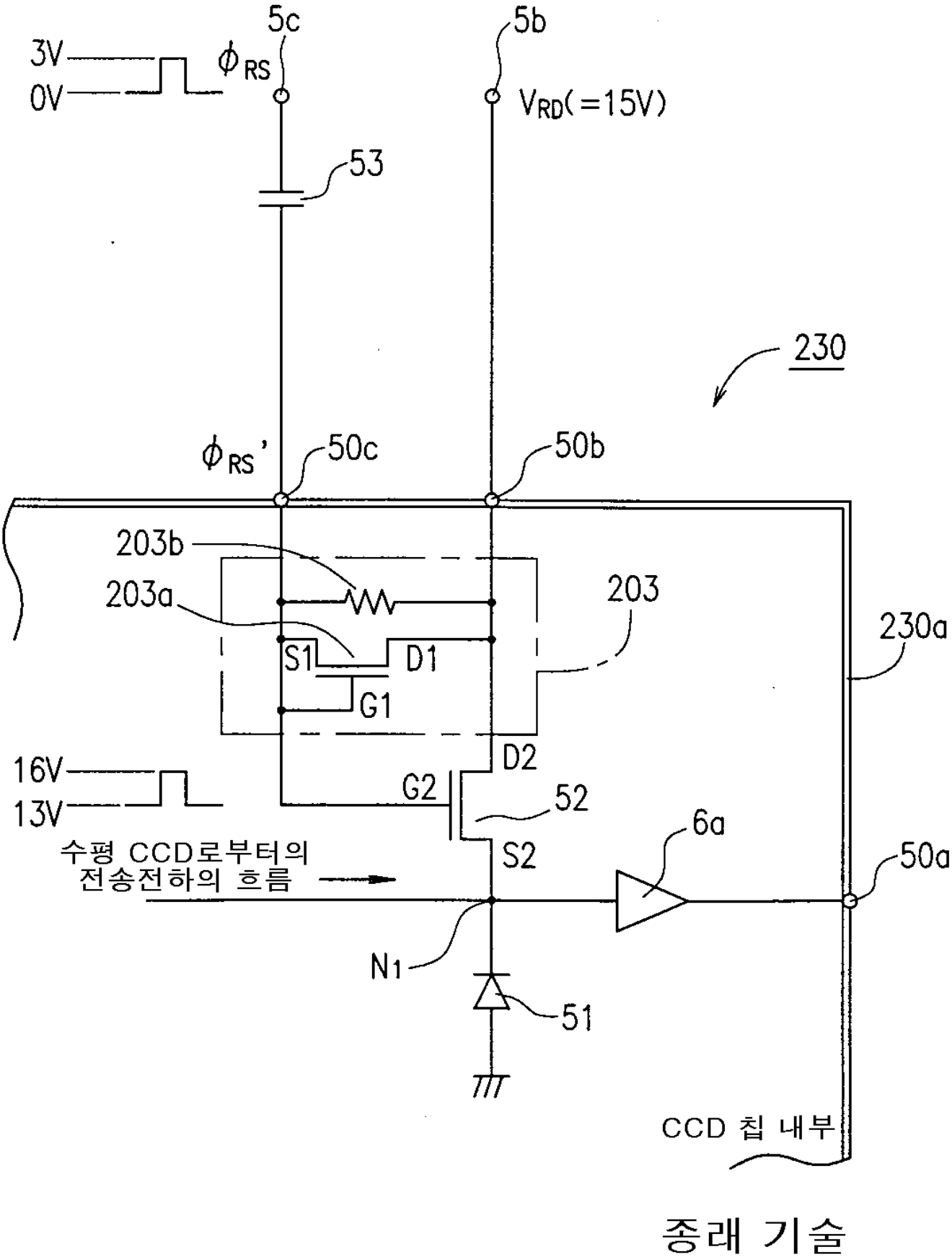
종래 기술

도면 14c



종래 기술

도면 15


5c
5b
3V
0V
ϕ_{RS}
V_{RD}(=15V)
53
230
ϕ_{RS}'
50c
50b
203b
203a
203
230a
S1
D1
G1
D2
16V
13V
G2
52
6a
50a
수평 CCD로부터의
전송전하의 흐름
S2
N1
51
CCD 칩 내부

종래 기술