

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3992449号
(P3992449)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl.

F I

G 1 1 C 11/404 (2006.01)

G 1 1 C 11/34 3 5 2 D

G 1 1 C 11/4074 (2006.01)

G 1 1 C 11/34 3 5 4 F

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 2 1 Z

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 9 1

G 1 1 C 11/401 (2006.01)

G 1 1 C 11/34 3 6 2 H

請求項の数 9 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2001-96380 (P2001-96380)
 (22) 出願日 平成13年3月29日 (2001.3.29)
 (65) 公開番号 特開2002-298576 (P2002-298576A)
 (43) 公開日 平成14年10月11日 (2002.10.11)
 審査請求日 平成16年3月18日 (2004.3.18)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100098431
 弁理士 山中 郁生
 (74) 代理人 100097009
 弁理士 富澤 孝
 (72) 発明者 加藤 好治
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 (72) 発明者 川本 悟
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置において、

前記基準端子に接続され、前記各容量素子の第2端子への電荷の注入・放出の際に前記各容量素子により容量結合されて注入される電荷に伴う前記基準電圧の電位変動を抑制する電位変動抑制容量素子と、

前記基準端子と前記電位変動抑制容量素子とを接続する容量接続スイッチ素子と、

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路による検知に基づき生成される、所定パルス幅のパルス信号により計時される所定期間、前記容量接続スイッチ素子を導通して、前記基準端子と前記電位変動抑制容量素子とを電氣的に接続することを特徴とする半導体記憶装置。

【請求項2】

前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線に基準電圧を供給する第1配線と、

前記基準端子に基準電圧を供給する第2配線と、

前記第1配線と前記第2配線とを接続する配線接続スイッチ素子と、

10

20

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路からの信号に基づき、前記配線接続スイッチ素子を接続制御することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記基準端子に供給すべき基準電圧値信号を生成する基準電圧発生部と、

複数の前記記憶セルのうち所定数の前記記憶セル毎に配置され、前記基準電圧値信号を受けて、基準電圧を所定数の前記記憶セルにおける前記基準端子の対応部分に供給する複数の基準電圧駆動部とを備えることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】

容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、

電源電圧の投入を検知する電源検知回路を備え、

前記電源検知回路からの信号に基づき、電荷が注入される前記容量素子の第 2 端子を有する前記記憶セルと、電荷が放出される前記容量素子の第 2 端子を有する前記記憶セルとが同数であることを特徴とする半導体記憶装置。

【請求項 5】

前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線を 2 本で 1 対のデータ線対として接続して前記データ線対の電位差を差動増幅する複数のセンスアンプ回路と、

前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線とを備え、

前記電源検知回路からの信号に基づき、選択される所定数の前記選択線により、所定数の前記データ線対を構成する前記各データ線に、同数の前記容量素子の第 2 端子を電氣的に接続することを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線と、

前記各容量素子の第 2 端子から蓄積電荷が前記各データ線に放出された際、前記各データ線に電荷を追加補充する複数のダミー選択線と、

前記各ダミー選択線の論理レベルを選択的に反転する反転選択回路とを備え、

前記電源検知回路からの信号に基づき、選択される所定数の前記選択線及び前記ダミー選択線により、所定数の前記容量素子の第 2 端子に電荷を注入・放出する際、前記各ダミー選択線のうちの半分を前記反転選択回路により論理反転することを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 7】

前記複数の記憶セルのうち所定数の記憶セルを一単位として纏めたセルブロックを複数備え、

前記電源検知回路からの信号に基づく前記動作は、前記各セルブロック単位で行なわれることを特徴とする請求項 4 乃至 6 の少なくとも何れか 1 項に記載の半導体記憶装置。

【請求項 8】

容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、

前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

10

20

30

40

50

前記各データ線に基準電圧を供給する第 1 配線と、
 前記基準端子に基準電圧を供給する第 2 配線と、
 前記第 1 配線あるいは前記第 2 配線と所定電圧との間に設けられたクランプスイッチ素子と、
 前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線と、
 電源電圧の投入を検知する電源検知回路とを備え、
 前記電源検知回路からの信号に基づき、
 前記クランプスイッチ素子を制御して前記第 1 配線あるいは前記第 2 配線を前記所定電圧に固定し、
 所定数の前記選択線を選択して、前記各容量素子の第 2 端子を設定電圧にし、
 更に所定数の前記選択線を非選択とした後、前記クランプスイッチ素子を制御して前記第 1 配線あるいは前記第 2 配線から前記所定電位を切り離し、前記基準電圧を供給することを特徴とする半導体記憶装置。

10

【請求項 9】

前記所定電圧は、前記容量素子の第 2 端子におけるハイレベル電圧あるいはローレベル電圧であり、
 前記基準電圧は、前記ハイレベル電圧と前記ローレベル電圧との相加平均電圧であり、
 前記第 1 配線が前記所定電圧に固定される場合、前記設定電圧は前記所定電圧であり、
 所定数の前記選択線を非選択とした後も前記各容量素子の第 2 端子は前記設定電圧を保持し、

20

前記第 2 配線が前記所定電圧のうち前記ハイレベル電圧あるいは前記ローレベル電圧の一方の電圧に固定される場合、前記設定電圧は前記基準電圧となり、所定数の前記選択線を非選択とした後、前記第 2 配線が前記基準電圧となる際、前記基準端子からの容量結合により、前記各容量素子の第 2 端子は前記所定電圧のうち前記ハイレベル電圧あるいは前記ローレベル電圧の他方の電圧となることを特徴とする請求項 8 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置のメモリセルにおけるデータ記憶に関するものであり、特に、メモリセルに電荷蓄積用のセルキャパシタを備え、電荷の蓄積よりデータ記憶を行なう半導体記憶装置における電荷保持に関するものである。

30

【0002】

【従来の技術】

従来より、メモリセルに電荷蓄積用のセルキャパシタを備える半導体記憶装置の代表例としてランダムアクセスメモリ（以下、DRAM）が使用されている。図 15 は従来技術の半導体記憶装置として DRAM 1000 を例にした回路ブロック図である。DRAM 1000 等の半導体記憶装置では、マトリクス状に配置されたメモリセル C00 乃至 Cnm を複数のセルブロック B1 乃至 Bk に分割して構成されている。各セルブロック B1 乃至 Bk は、同様の構成を有している。以下の説明ではセルブロック B1 を代表させて説明する。マトリクス状に配置されたメモリセル C00 乃至 Cnm は、行アドレス毎にメモリセル C00 乃至 Cnm を選択するワード線 WL0、WL1 乃至 WLn-1、WLn が接続されている。選択されたメモリセル C00 乃至 Cnm からの蓄積電荷は、データ転送路であるビット線 BL0、/BL0 乃至 BLm、/BLm に読み出される。ビット線 BL0、/BL0 乃至 BLm、/BLm は、センスアンプ群 102 に備えられるセンスアンプ回路（不図示）に接続されており、読み出された蓄積電荷は 1 対のビット線対で差動増幅される。近年の大容量 DRAM 1000 においては、センスアンプ回路は、接地電位 GND と内部降圧電源により降圧された電源 V_{ii}c との間で構成されることが一般的である。

40

【0003】

ビット線対 BL0 と /BL0 乃至 BLm と /BLm に対応するメモリセル C00 乃至 C

50

n m は、対となりメモリセルユニット U を構成する(図17、参照)。各ビット線対 $B L 0$ と $/ B L 0$ 乃至 $B L m$ と $/ B L m$ 毎にはセンスアンプ回路が備えられる。ワード線 $W L 0$ 乃至 $W L n$ を駆動するドライバーは、ワードドライバ群101として行アドレス毎に構成される。

【0004】

また、ビット線 $B L 0$ 乃至 $/ B L m$ には、ワード線 $W L 0$ 乃至 $W L n$ で選択されたメモリセル $C 0 0$ 乃至 $C n m$ の保持する蓄積電荷が読み出され、センスアンプ回路により差動増幅されてデータとして読み出され、あるいはメモリセル $C 0 0$ 乃至 $C n m$ への蓄積電荷のリフレッシュを行なう。従って、アクセスサイクル毎に、ビット線対 $B L 0$ と $/ B L 0$ 乃至 $B L m$ と $/ B L m$ のリセット(以下、イコライズと記す。)を行ない、次のアクセスに備える必要がある。そこで1つのアクセス終了時(以下、プリチャージ時と記す。)にビット線イコライズ群106により、イコライズを行なう。

10

【0005】

イコライズ時には、セルブロック $B 1$ に属する全てのビット線 $B L 0$ 乃至 $/ B L m$ は、ビット線イコライズ群106内に備えられている図示しないトランジスタにより、互いにショートされる。そして基準電圧発生回路104により基準電圧 $V P R$ にイコライズされる。内部降圧電圧 $V i i c$ により差動増幅されたビット線対をイコライズするのでこの時のビット線の電圧は $1 / 2 \cdot V i i c$ となり、基準電圧 $V P R$ も $1 / 2 \cdot V i i c$ に設定される。ここでセルブロック $B 1$ には、多数のビット線 $B L 0$ 乃至 $/ B L m$ が存在するためイコライズ時に各ビット線が有する寄生容量の総和は、有意な値の容量値を有することとなる。このビット線寄生容量の総和をビット線イコライズ容量 $C P R$ として図15に示す。

20

【0006】

一方、後述するようにメモリセル $C 0 0$ 乃至 $C n m$ における電荷蓄積用のセルキャパシタ(図17における $C 0$ 、 $C 1$)のセルプレート $C P 1$ も、基準電圧発生回路104により基準電圧 $V C P$ にバイアスされる。ここでも差動増幅電圧が $V i i c$ であることからセルキャパシタ $C 0$ 、 $C 1$ にかかる電界を最小にするため、基準電圧 $V C P$ を $1 / 2 \cdot V i i c$ とすることが一般的である。即ち、基準電圧発生回路104が出力する基準電圧は $1 / 2 \cdot V i i c$ である。ここでセルプレート $C P 1$ は、セルブロック $B 1$ に属する全てのメモリセル $C 0 0$ 乃至 $C n m$ に対して共通であるため、寄生容量は有意な値の容量値を有することとなる。この寄生容量の総和をセルプレート寄生容量 $C C P$ として図15に示す。

30

【0007】

基準電圧 $V P R$ 、 $V C P$ は、 $N M O S$ トランジスタ $M P R$ 、 $M C P$ を介して $V P R$ 線、 $V C P$ 線により各セルブロック $B 1$ 乃至 $B k$ に供給される。大容量 $D R A M 1 0 0 0$ においては、セルブロック $B 1$ 乃至 $B k$ の配置領域は広大であるため各供給線($V P R$ 線、 $V C P$ 線)の総配線長は長大となり配線経路上に寄生抵抗 $R P R 0$ 乃至 $R P R k$ 、 $R C P 0$ 乃至 $R C P k$ が存在する。

【0008】

$V P R$ 線、 $V C P$ 線は、 $N M O S$ トランジスタ $M P R$ 、 $M C P$ へのコントロール信号 $P R$ 、 $C P$ により基準電圧発生回路104から切り離され、試験用パッド $P C P$ 、 $P P R$ よりバイアスを外部印加できる。

40

【0009】

また、近年の大容量 $D R A M 1 0 0 0$ 等においては、ダミーワード線 $D W L 0$ 、 $D W L 1$ とビット線 $B L 0$ 乃至 $/ B L m$ との間にダミーキャパシタ $D C 0 0$ 乃至 $D C 1 m$ を挿入する構成がとられる場合もある。アクセス時に、ダミーワードドライバ群103により、各ダミーワード線 $D W L 0$ 、 $D W L 1$ を同時に駆動して、ダミーキャパシタ $D C 0 0$ 乃至 $D C 1 m$ による容量結合効果を利用してビット線 $B L 0$ 乃至 $/ B L m$ に補助的に電荷供給を行なうことにより、メモリセル $C 0 0$ 乃至 $C n m$ から読み出された蓄積電荷のマージンを向上させるためである。情報“1”の読み出し特性を向上させる動作をアシスト1とい

50

い、情報“0”の読み出し特性を向上させる動作をアシスト0と称する。

【0010】

図16に基準電圧発生回路104の具体例を示す。基準電圧発生部104Bと基準電圧駆動部104Dとで構成される。基準電圧発生部104Bは、PMOSトランジスタM6を介して電源電圧VDDに接続されたダイオード接続のNMOSトランジスタM7と、NMOSトランジスタM9を介して接地電位GNDに接続されたダイオード接続のPMOSトランジスタM8とのソース端子同士が接続される。この構成によりトランジスタM7、M8のドレイン端子電圧は電源電圧VDDによらず一定のバイアス電圧を出力する。このバイアス電圧は、基準電圧駆動部104Dを構成するNMOSトランジスタM10及びPMOSトランジスタM11のゲート端子に入力される。トランジスタM10とM11のソ

10

【0011】

図17は、メモリセルユニットU(図15、参照)を示す。1対のメモリセルC00とC10で構成されており、各々のメモリセルC00、C10は、セルキャパシタC0、C1がワード線WL0、WL1で制御されるNMOSトランジスタM0、M1を介してビット線BL0、/BL0に接続される。一般的にNMOSトランジスタM0、M1をトランスファゲートと称する。トランスファゲートを介して、セルキャパシタC0、C1の一方の端子である電荷蓄積ノードST0、ST1とビット線BL0、/BL0との蓄積電荷の授受を行うことによりデータを記憶する。セルキャパシタC0、C1の他方の端子は、共通に接続されセルプレートCP1として基準電圧発生回路104により基準電圧VCPにバイアスされる。セルプレートCP1は、セルキャパシタC0、C1への電荷蓄積のための基準電圧となっているので、セルブロックB1内で共通電位となっており、有意な値の寄生容量としてCCP0が付加される。この寄生容量の全セルブロックB1乃至Bkについての総和が図15に示すセルプレート寄生容量CCPである。

20

【0012】

図18にメモリセルC00の断面図を示す。断面構造は全てのメモリセルで同一であるが、図18ではメモリセルC00に代表して付番する。ワード線WL0で制御されるNMOSトランジスタM0のドレイン端子が蓄積電荷ST0である。蓄積電荷ST0はセルキャ

30

【0013】

アクセス動作は、データ読み出し・書き込み、及びリフレッシュの各々について、センスアンプ回路による差動増幅動作までは同様に行われる。即ち、行アドレスに対応するワ

40

【0014】

ここで、セルキャパシタC0、C1の蓄積ノードST0、ST1における急峻な電位変動が2回発生する。1回目は、蓄積ノードST0、ST1がビット線BL0乃至/BLmに接続される際である。セルキャパシタ容量に対してビット線容量が大きいいため、接続時に蓄積電荷の再分配が行われ、蓄積ノードST0、ST1の電位は、略接地電位GNDあ

50

るいは内部降圧電圧 V_{iic} から、ビット線のイコライズ電圧である V_{PR} (略 $1/2 \cdot V_{iic}$) 付近まで変化する。この変化はセルキャパシタ C_0 、 C_1 を介してセルプレート CP_1 に容量結合されて伝えられ、セルプレート CP_1 における寄生容量と合わせ電荷の分配が行われてセルプレート電位 V_{CP} を変動させる。しかしセンスアンプ回路が起動し差動増幅が行われると、ビット線電位は、 $1/2 \cdot V_{iic}$ から GND あるいは V_{iic} 電位にリストアされる。この電位変動も同様にセルプレート CP_1 に容量結合されてセルプレート電位 V_{CP} を変動させる。これらの容量結合による電位変動は互いに逆方向であり両者は対となって印加されるので、結果的にセルプレート電位 V_{CP} に変動はない。

【0015】

【発明が解決しようとする課題】

10

しかしながら、電源投入時には、蓄積電荷はなく全てのセルキャパシタの蓄積ノードには蓄積電荷は存在しないかあっても微小である。この時のアクセス動作により以下に詳述する問題が発生する虞がある。

【0016】

図19に示すとおり電源投入と共に電源電圧 V_{DD} が上昇する。電源電圧 V_{DD} の上昇に従い基準電圧発生回路104が動作を開始してビット線電位 V_{PR} 及びセルプレート電位 V_{CP} が $1/2 \cdot V_{iic}$ まで上昇する。この時セルプレート電位 V_{CP} からセルキャパシタ C_0 、 C_1 を構成する蓄積ノード ST_0 、 ST_1 への容量結合により電荷が注入される。注入された電荷は蓄積ノード ST_0 、 ST_1 における接合容量やゲート容量にも再分配されるため、蓄積ノード ST_0 、 ST_1 の電位 V_{ST} は、 $1/2 \cdot V_{iic}$ より若干

20

【0017】

この状態で、リフレッシュ動作等のアクセス動作が行われると、ワード線 WL が活性化されて蓄積ノード ST_0 、 ST_1 とビット線 BL_0 乃至 BL_m が接続される。この時ビット線電位は V_{PR} ($= 1/2 \cdot V_{iic}$) にイコライズされており、蓄積ノード ST_0 、 ST_1 の電位 V_{ST} にほぼ等しく電荷の移動は僅かであるため蓄積ノード ST_0 、 ST_1 はほぼ同電位を保持する。ここでダミーワード線 DWL が活性化されるに伴い、ビット線 BL_0 乃至 BL_m がダミーキャパシタ DC_{00} 乃至 DC_{1m} を介して容量結合を受け電荷の注入が行われるため、蓄積ノード ST_0 、 ST_1 の電位 V_{ST} は $1/2 \cdot V_{iic}$ より若干上昇する。この電位関係においてセンスアンプ回路が起動すると、蓄積ノード ST_0 、 ST_1 の電位 V_{ST} は内部降圧電圧 V_{iic} レベルまで上昇する。この電位上昇は、セルキャパシタ C_0 、 C_1 を介して容量結合によりセルプレート CP_1 に電荷供給を行いセルプレート電位 V_{CP} を上昇させる。尚、詳細な説明は省略するが、ダミーワード線 DWL がない構成では、ビット線 BL_0 乃至 BL_m は接地電位 GND にリストアされ、セルプレート電位 V_{CP} は負側に容量結合を受ける。電位方向を反対にすれば以下の説明と同様な動作を行い同様な問題を有する。以下の説明は、ダミーワード線 DWL の存在のもとでセルプレート電位 V_{CP} が上昇する場合についてのものである。

30

【0018】

セルプレート電位 V_{CP} が回復しないうちに順次ワード線 WL_0 乃至 WL_n が選択されて上記の動作が繰り返されると、センスアンプ回路の活性化の度に発生する容量結合によるセルプレート電位 V_{CP} の上昇が蓄積し、最終的には内部降圧電圧 V_{iic} のレベルまで上昇してしまう虞がある。この現象は一回の動作でリストアされるメモリセル C_{00} 乃至 C_{nm} の数が多いほど顕著に現れる。通常のアクセス動作に比して選択されるワード線 WL_0 乃至 WL_n の数が多いリフレッシュ動作が代表的な場合である。セルキャパシタ容量を増加できない中で大容量化が進展する状況においてリフレッシュ周期を維持するためには、一回のリフレッシュ動作において選択されるメモリセル C_{00} 乃至 C_{nm} の数は増加するので、今後の大容量化に伴い顕著に発生する虞がある。但し、発生原因はこれに留まるものではなく、アドレッシング等のアーキテクチャ構成やプロセステクノロジーに依存する各容量成分の分布の仕方によっては、大容量化は条件とならず、また通常アクセスにおいても発生する可能性がある。

40

50

【0019】

こうした現象が、電源投入直後に“0”データの書込みを行ったメモリセルC00乃至Cnmの存在のもとに発生すると、セルプレートCP1の電位上昇に伴って、“0”データ書込み済みの蓄積ノードST0、ST1にもセルプレートCP1からの容量結合により電荷が供給されてしまい、蓄積ノードの電位VSTが上昇してしまう。この電位が $1/2 \cdot V_{iic}$ を越えて上昇するとこのメモリセルC00乃至Cnmから“0”データの読み出しができなくなり、データ化けが発生してしまい問題である。

【0020】

また、セルプレートCP1の電位が上昇している状態で、メモリセルC00乃至Cnmに1データを書き込んだ場合には、電荷蓄積ノードST0、ST1に十分な正の電荷が蓄積されないため、データ消失等が発生してしまう虞があり問題である。

10

【0021】

また、セルプレート電位VCPが最大で内部降圧電圧V_{iic}まで上昇する虞がある。この後に0データを書き込むと、セルキャパシタC0、C1の端子間の誘電体膜17（図18、参照）に過大な電界ストレスが印加されることとなる。デバイスの信頼性に悪影響を及ぼすこととなり問題である。

【0022】

この状態を回避するためには、容量結合により供給された電荷を基準電圧発生回路104が吸収することが必要となる。そこで、基準電圧発生回路104の駆動能力を十分に大きくすることが考えられる。しかしながら、この方策では、基準電圧発生回路104での消費電流が増大してしまい低消費電流動作の要求に反するため実現することはできない。また回路規模も大きくならざるを得ず、チップ面積上の制約からも実現は困難である。

20

【0023】

また、大容量化に伴い多数のメモリセルC00乃至Cnmを配置するようになり、前述したようにセルブロックB1乃至Bkの配置領域は広大となる。VCP線の総配線長は長大となり、配線経路上の寄生抵抗RCP0乃至RCPkがセルプレート寄生容量CCPと組み合わせられ遅延回路を形成してしまう。基準電圧発生回路104の駆動能力にも拘らず容量結合により生じた電荷の吸収を阻むこととなる。

【0024】

本発明は前記従来技術の問題点を解消するためになされたものであり、メモリセルに電荷蓄積用のセルキャパシタを備え、電荷の蓄積よりデータ記憶を行なう半導体記憶装置において、電源投入時において、全てのセルキャパシタの電荷蓄積ノードには蓄積電荷は存在しないかあっても微小である状態からアクセス動作に移行する場合においても、セルプレート電位が変動しない半導体記憶装置を提供することを目的とする。

30

【0025】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る半導体記憶装置は、容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、各容量素子の第1端子を共通に接続して基準端子とすると共に、電荷の蓄積を、各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置において、基準端子に接続され、各容量素子の第2端子への電荷の注入・放出の際に各容量素子により容量結合されて注入される電荷に伴う基準電圧の電位変動を抑制する電位変動抑制容量素子と、基準端子と電位変動抑制容量素子とを接続する容量接続スイッチ素子と、電源電圧の投入を検知する電源検知回路とを備え、電源検知回路による検知に基づき生成される、所定パルス幅のパルス信号により計時される所定期間、容量接続スイッチ素子を導通して、基準端子と電位変動抑制容量素子とを電氣的に接続することを特徴とする。

40

【0026】

そして、請求項2に係る半導体記憶装置は、請求項1に記載の半導体記憶装置において、各容量素子の第2端子への電荷の注入・放出の経路として所定数の記憶セル毎に設けられる複数のデータ線と、各データ線に基準電圧を供給する第1配線と、基準端子に基準電

50

圧を供給する第2配線と、第1配線と第2配線とを接続する配線接続スイッチ素子と、電源電圧の投入を検知する電源検知回路とを備えており、電源検知回路からの信号に基づき、配線接続スイッチ素子を接続制御することを特徴とする。

【0027】

請求項1の半導体記憶装置では、電源検知回路による検知に基づき生成される、所定パルス幅のパルス信号により計時される所定期間、容量接続スイッチ素子が導通して、基準端子と電位変動抑制容量素子とが電氣的に接続される。このとき各容量素子の第2端子に注入・放出される電荷に伴い容量結合されて基準端子に注入される電荷による基準電圧の電位変動を抑制する。

【0028】

請求項2の半導体記憶装置では、第1配線及び第2配線を介して、所定数の記憶セルが接続される複数のデータ線及び基準端子に基準電圧を供給している。電源検知回路からの信号に基づいて、配線接続スイッチ素子により第1配線と第2配線とを接続する。

【0029】

これにより、電源投入時に、電荷が蓄積されておらず0データも1データも存在しない記憶セルの容量素子に電荷を注入あるいは放出する場合に、容量素子の第2端子から基準端子への容量結合により移動する電荷が存在しても、電位変動抑制容量素子の存在により、あるいは複数のデータ線で総和される配線容量が接続されることにより、基準端子に供給される基準電圧の電位変動を抑制することができる。

【0030】

また、第1配線と第2配線を接続することにより、基準端子への配線抵抗を低減することができるので、基準電圧の発生回路の駆動能力を充分有効に活用することができ、容量結合により移動する電荷を有効に吸収して基準端子に供給される基準電圧の電位変動を抑制することができる。

【0031】

また、第1配線と第2配線との接続は電源投入時に限定することができるので、第1配線と第2配線とを分けることにより両者の独立性を維持してノイズ等による相互干渉を排除したり、試験時に個々に異なる電圧を印加できるという従来からの効果を有したまま、電源投入時における基準端子に供給される基準電圧の電位変動を抑制することができる。

【0032】

これらの手段により、電源投入時に、書き込まれたデータのデータ化けや消失を有効に防止することができ、容量素子の端子間の誘電体膜に過大電界ストレスが印加されることがなく信頼性上問題となる動作は発生しない。そして、これらの効果を実現するために、基準電圧の発生回路の駆動能力を必要以上に大きくする必要がないため、消費電流増大の負担やチップ占有面積増大の負担も最小限に抑制することができる。

【0033】

また、請求項3に係る半導体記憶装置は、請求項1に記載の半導体記憶装置において、基準端子に供給すべき基準電圧値信号を生成する基準電圧発生部と、複数の記憶セルのうち所定数の記憶セル毎に配置され、基準電圧値信号を受けて、基準電圧を所定数の記憶セルにおける基準端子の対応部分に供給する複数の基準電圧駆動部とを備えることを特徴とする。

【0034】

請求項3の半導体記憶装置では、複数の記憶セルのうち所定数の記憶セル毎に基準端子の対応部分に各々に配置される基準電圧駆動部から基準電圧を供給する。基準電圧駆動部から出力される基準電圧は、基準電圧発生部で生成される基準電圧値信号に応じて設定される。

【0035】

これにより、基準電圧の発生回路を、1つの基準電圧発生部と複数の基準電圧駆動部に分割して構成する。基準電圧発生部から基準電圧駆動部へ接続される基準電圧値信号は、電圧バイアス信号であるため入力インピーダンスを高く設定でき長い配線長を引き回して

10

20

30

40

50

も大きな電位差は発生しないので、基準電圧駆動部を、駆動すべき基準端子の近傍に配置することができる。基準電圧駆動部と基準端子の間に配線抵抗、配線容量等の負荷が介在しないので、基準端子の電位を効果的に保持でき、基準端子の電位変動を抑制することができる。

【0036】

また、個々の基準電圧駆動部が駆動すべき基準端子は、所定数の記憶セル毎の対応部分に限定されるので、駆動すべき負荷を小さくすることができ、基準電圧駆動部の駆動能力を小さく抑えることができる。従って、基準電圧駆動部の回路規模を小さく設定することにより、チップ上の占有面積を必要最小限にすることができる。

【0037】

10

また、請求項4に係る半導体記憶装置は、容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、各容量素子の第1端子を共通に接続して基準端子とすると共に、電荷の蓄積を、各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置において、電源電圧の投入を検知する電源検知回路を備え、電源検知回路からの信号に基づき、電荷が注入される容量素子の第2端子を有する記憶セルと、電荷が放出される容量素子の第2端子を有する記憶セルとが同数であることを特徴とする。

【0038】

また、請求項5に係る半導体記憶装置は、請求項4に記載の半導体記憶装置において、各容量素子の第2端子への電荷の注入・放出の経路として所定数の記憶セル毎に設けられる複数のデータ線と、各データ線を2本で1対のデータ線対として接続してデータ線対の電位差を差動増幅する複数のセンスアンプ回路と、各データ線と各容量素子の第2端子とを電気的に接続する複数の選択線とを備え、電源検知回路からの信号に基づき、選択される所定数の選択線により、所定数のデータ線対を構成する各データ線に同数の容量素子の第2端子を電気的に接続することを特徴とする。

20

【0039】

また、請求項6に係る半導体記憶装置は、請求項4に記載の半導体記憶装置において、各容量素子の第2端子への電荷の注入・放出の経路として所定数の記憶セル毎に設けられる複数のデータ線と、各データ線と各容量素子の第2端子とを電気的に接続する複数の選択線と、各容量素子の第2端子から蓄積電荷が各データ線に放出された際、各データ線に電荷を追加補充する複数のダミー選択線と、各ダミー選択線の論理レベルを選択的に反転する反転選択回路とを備え、電源検知回路からの信号に基づき、選択される所定数の選択線及びダミー選択線により、所定数の容量素子の第2端子に電荷を注入・放出する際、各ダミー選択線のうちの半分を反転選択回路により論理反転することを特徴とする。

30

【0040】

また、請求項7に係る半導体記憶装置は、請求項4乃至6の少なくとも何れか1項に記載の半導体記憶装置において、複数の記憶セルのうち所定数の記憶セルを一単位として纏めたセルブロックを複数備え、電源検知回路からの信号に基づく動作は、各セルブロック単位で行なわれることを特徴とする。

【0041】

請求項4の半導体記憶装置では、電源検知回路からの信号によって、電荷が注入される記憶セルの数と電荷が放出される記憶セルの数とが同数となる。

40

【0042】

請求項5の半導体記憶装置では、電源検知回路からの信号によって、所定数の記憶セルが接続される複数のデータ線と各記憶セルの容量素子とを電気的に接続する複数の選択線が活性化し、センスアンプ回路に接続され対をなす所定数のデータ線対を構成するデータ線毎に同数の容量素子を接続する。

【0043】

請求項6の半導体記憶装置では、電源検知回路からの信号によって、所定数の記憶セルが接続される複数のデータ線と各記憶セルの容量素子とを電気的に接続する複数の選択線が活性化する。更に各データ線に放出された電荷を追加補充する各ダミー選択線も合わせ

50

て活性化する。この時、各ダミー選択線の半分について論理レベルを反転して各データ線に反転した電荷の追加補充を行なう。

【 0 0 4 4 】

請求項 7 の半導体記憶装置では、複数の記憶セルのうち所定数の記憶セルを一単位として纏めたセルブロック単位で電源検知回路からの信号に基づく動作を行なう。

【 0 0 4 5 】

これにより、電荷が注入される記憶セルと電荷が放出される記憶セルとが対となるので、容量素子を介して基準端子に容量結合する電荷は相殺され、基準端子における電位変動を抑制することができる。

【 0 0 4 6 】

この記憶セルの対は、センスアンプ回路に接続され対をなすデータ線対を構成する各データ線に対して同数の記憶セルを選択してやれば、書き込みデータの選択を意識的に行なう必要なく、電荷注入と電荷放出の記憶セルをセンスアンプ回路に接続されるデータ線対の間で同数とし、容量素子の第 2 端子と基準端子との間の移動電荷を相殺して基準端子の電位変動を抑制することができる。

【 0 0 4 7 】

また、各データ線に放出された電荷を追加補充するダミー選択線を使用する場合は、ダミー選択線の半分について論理レベルを反転してやれば、書き込みデータの選択を意識的に行なう必要はなく、電荷注入される容量素子と電荷放出される容量素子とを同数に設定して、容量素子の第 2 端子と基準端子との間の移動電荷を相殺して基準端子の電位変動を抑制することができる。

【 0 0 4 8 】

また、この移動電荷の相殺動作を、所定数の記憶セルを一単位として纏めたセルブロック単位で行なえば、電荷注入と電荷放出との記憶セルが比較的近接するため、移動電荷を効率的に相殺することができる。

【 0 0 4 9 】

また、請求項 8 に係る半導体記憶装置は、容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、各容量素子の第 1 端子を共通に接続して基準端子とすると共に、電荷の蓄積を、各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の記憶セル毎に設けられる複数のデータ線と、各データ線に基準電圧を供給する第 1 配線と、基準端子に基準電圧を供給する第 2 配線と、第 1 配線あるいは第 2 配線と所定電圧との間に設けられたクランプスイッチ素子と、各データ線と各容量素子の第 2 端子とを電気的に接続する複数の選択線と、電源電圧の投入を検知する電源検知回路とを備え、電源検知回路からの信号に基づき、クランプスイッチ素子を制御して第 1 配線あるいは第 2 配線を所定電圧に固定し、所定数の選択線を選択して各容量素子の第 2 端子を設定電圧にし、更に所定数の選択線を非選択とした後、クランプスイッチ素子を制御して第 1 配線あるいは第 2 配線から所定電位を切り離し、基準電圧を供給することを特徴とする。

【 0 0 5 0 】

また、請求項 9 に係る半導体記憶装置は、請求項 8 に記載の半導体記憶装置において、所定電圧は、容量素子の第 2 端子におけるハイレベル電圧あるいはローレベル電圧であり、基準電圧は、ハイレベル電圧とローレベル電圧との相加平均電圧であり、第 1 配線が所定電圧に固定される場合、設定電圧は所定電圧であり、所定数の選択線を非選択とした後も各容量素子の第 2 端子は設定電圧を保持し、第 2 配線が所定電圧のうちハイレベル電圧あるいはローレベル電圧の一方の電圧に固定される場合、設定電圧は基準電圧となり、所定数の選択線を非選択とした後は、第 2 配線が基準電圧となる際、基準端子からの容量結合により、各容量素子の第 2 端子は所定電圧のうちハイレベル電圧あるいはローレベル電圧の他方の電圧となることを特徴とする。

【 0 0 5 1 】

請求項 8 の半導体記憶装置では、第 1 配線及び第 2 配線を介して、所定数の記憶セルが

10

20

30

40

50

接続される複数のデータ線及び基準端子に基準電圧を供給する。電源検知回路からの信号に基づいて、クランプスイッチ素子により、第1あるいは第2配線は所定電圧に固定される。所定数の記憶セルを接続する複数のデータ線と各容量素子とを電氣的に接続する複数の選択線が選択されて各容量素子の第2端子を設定電圧にした後、所定数の選択線を非選択としクランプスイッチ素子を制御して第1あるいは第2配線から所定電位を切り離し基準電圧を供給する。

【0052】

請求項9の半導体記憶装置では、第1及び第2配線を介して、データ線及び基準端子に基準電圧として容量素子におけるハイレベル電圧とローレベル電圧との相加平均電圧を供給している。電源検知回路からの信号に基づいて、第1あるいは第2配線はハイレベル電圧あるいはローレベル電圧に固定される。クランプスイッチ素子により、第1配線がハイレベル電圧あるいはローレベル電圧に固定される場合は、各容量素子の第2端子もハイレベル電圧あるいはローレベル電圧となり、この電圧は選択線を非選択とした後も保持される。第2配線がハイレベル電圧あるいはローレベル電圧に固定される場合は、各容量素子の第2端子は基準電圧である相加平均電圧となり、この電圧は選択線を非選択とした後は、第2配線が基準電圧となる際、基準端子からの容量結合によりローレベル電圧あるいはハイレベル電圧となる。これは選択線の選択前の第2配線の電圧とは反対の関係である。第1あるいは第2配線は基準電圧となる。

【0053】

これにより、第1配線を所定電圧に固定すれば所定数の選択線を選択するだけで所定数の容量素子の第2端子をデータ書き込み状態の電荷蓄積状態にすることができる。この電荷蓄積状態への移行は、センスアンプ回路による差動増幅動作等を行う必要はなく、所定数の選択線の選択も1サイクルで行なうこともでき移行動作は短時間とすることができる。従って、容量素子の第2端子への電荷の注入・放出に伴う基準端子の電位変動が収まるまでの時間を十分に確保することができる。

【0054】

また第2配線を所定電圧に固定すれば所定数の選択線を選択することにより所定数の容量素子の第2端子を基準電圧レベルの電荷蓄積状態にした後、第2配線の固定を解除して正規の電圧に移行する際、容量素子を介しての容量結合により容量素子の第2端子をデータ書き込み状態の電荷蓄積状態にすることができる。この電荷蓄積状態への移行は、基準端子が固定された所定電圧から正規の電圧に移行する際の容量素子を介しての容量結合を利用して行なわれる。従って、容量結合に伴う電荷移動が容量素子の第2端子及び基準端子の電位変動を誘発することなく、更に容量素子の第2端子への電荷注入・放出に利用されてデータ書き込みを補助する効果を奏する。

【0055】

何れの場合も、センスアンプ回路による差動増幅動作等を行う必要はなく、所定数の選択線の選択も1サイクルで行なうこともでき、短時間でデータ書き込みを完了することができる。そして選択線の選択動作は、既存の回路を有効に流用することができ、更に試験回路等の回路をそのまま流用することもできる。

【0056】

【発明の実施の形態】

以下、本発明の半導体記憶装置について具体化した第1乃至第7実施形態を図1乃至図14に基づき図面を参照しつつ詳細に説明する。図1は、第1実施形態の半導体記憶装置を示す回路ブロック図である。図2は、第1実施形態の効果を示す説明図である。図3は、第2実施形態の半導体記憶装置を示す回路ブロック図である。図4は、第3実施形態の半導体記憶装置を示す回路ブロック図である。図5は、第3実施形態の半導体記憶装置の動作を示す波形図である。図6は、第3実施形態の半導体記憶装置の動作を示す回路図である。図7は、第4実施形態の半導体記憶装置を示す回路ブロック図である。図8は、ダミーセルの例を示す回路図である。図9は、第4実施形態の半導体記憶装置の動作を示す波形図である。図10は、第5実施形態の半導体記憶装置を示す回路ブロック図である。

第 1 1 図は、第 5 実施形態の半導体記憶装置の動作を示す波形図である。図 1 2 は、第 6 実施形態の半導体記憶装置を示す回路ブロック図である。図 1 3 は、第 6 実施形態の半導体記憶装置の動作を示す波形図である。第 1 4 図は、第 7 実施形態の半導体記憶装置を示す回路ブロック図である。

【 0 0 5 7 】

図 1 に示す第 1 実施形態の半導体記憶装置 1 (以下、DRAM 1 と称する。)は、従来技術の DRAM 1 0 0 0 (図 1 5、参照)に加えて、基準電圧発生回路 1 0 4 からの基準電圧 V_{PR} 、 V_{CP} の供給線である V_{PR} 線、 V_{CP} 線について、各セルブロック B 1 乃至 B k 毎に両線を接続する NMOS トランジスタ M 1 乃至 M k を備える。NMOS トランジスタ M 1 乃至 M k のゲート端子は共通に信号 CPR に接続される。ここで、 CPR は電源投入後の所定時間に正の論理レベルを出力する信号である。 CPR 信号を生成する回路として、電源投入を検知して所定期間のパルス信号を出力するパワーオンリセット回路の出力信号を利用することができる。またこの信号を受けて、パワーオンリセット信号のパルス幅を所定時間に拡張する回路として、パルス信号の終端エッジに対してのみ遅延する応答特性をもった回路を付加することも可能である。

10

【 0 0 5 8 】

大容量 DRAM 1 においては、セルブロック B 1 乃至 B k の配置領域は広大であるため各供給線 (V_{PR} 線、 V_{CP} 線) の総配線長は長大となり配線経路上に寄生抵抗 R_{PR0} 乃至 R_{PRk} 、 R_{CP0} 乃至 R_{CPk} が存在する。従って、各セルブロック B 1 乃至 B k 毎に V_{PR} 線と V_{CP} 線とを短絡する NMOS トランジスタ M 1 乃至 M k を備えることにより、電源投入時に、両配線が各セルブロック B 1 乃至 B k 毎に短絡される。

20

【 0 0 5 9 】

また、各ビット線 BL_0 乃至 BL_m には、トランスファゲートを介して多数のメモリセル C_{00} 乃至 C_{nm} が接続されている。トランスファゲートは NMOS トランジスタで構成されており、そのドレイン端子がビット線 BL_0 乃至 BL_m に接続されている。そのため、ビット線 BL_0 乃至 BL_m には多数の接合容量が付加されることとなる。更に大容量 DRAM 1 においては、ビット線 BL_0 乃至 BL_m 間の距離やワード線 WL_0 乃至 WL_n との交差距離が共に近接しているため、線間容量も大きなものとならざるを得ず、個々のビット線 BL_0 乃至 BL_m の配線容量 C_{BL} 、 C_{BBL} (図 2、参照) は大きなものとなる。

30

そして図 2 に示すように、この配線容量 C_{BL} 、 C_{BBL} がビット線イコライズ時に全てのビット線 BL_0 乃至 BL_m について加算されてビット線イコライズ容量 C_{PR} が形成される。ビット線イコライズ容量 C_{PR} は、セルプレート寄生容量 C_{CP} に比して無視できない大きさとなる。またセルプレート寄生容量 C_{CP} は、各メモリセルユニット U におけるセルプレート CP_1 に付加する寄生容量 C_{CP1} の総和である。

【 0 0 6 0 】

第 1 実施形態の DRAM 1 では、電源投入時に、電荷が蓄積されておらず “ 0 ” データも “ 1 ” データも存在しないメモリセル C_{00} 乃至 C_{nm} の容量素子に電荷を注入あるいは放出する場合に、第 2 端子である電荷蓄積ノードから基準端子であるセルプレート CP_1 への容量結合により移動する電荷が存在しても、複数のデータ線であるビット線 BL_0 乃至 BL_m で総和される配線容量であるビット線イコライズ容量 C_{PR} が接続されることにより、セルプレート CP_1 の電位変動を抑制することができる。この時、ビット線イコライズ容量 C_{PR} は、セルブロック B 1 乃至 B k 毎に分轄して配置されるので、個々のビット線イコライズ容量 C_{PR} に付加される寄生抵抗は大きなものとはならず、容量成分との組み合わせで不要な遅延成分が付加されることはない。ビット線イコライズ容量 C_{PR} に代えて、電位変動抑制容量素子をセルプレート CP_1 に接続しても、同様の効果を奏することができる。

40

【 0 0 6 1 】

また、第 1 配線である V_{PR} 線と第 2 配線である V_{CP} 線とを接続することにより、基準電圧発生回路 1 0 4 とセルプレート CP_1 との間の配線抵抗を低減することができるの

50

で、基準電圧発生回路 104 の駆動能力を充分有効に活用することができ、容量結合により移動する電荷を有効に吸収してセルプレート CP1 の電位変動を抑制することができる。

【0062】

また、VPR 線と VCP 線との接続は電源投入時に限定することができるので、VPR 線と VCP 線とを分けることにより両者の独立性を維持してノイズ等による相互干渉を排除したり、試験時に個々に異なる電圧を印加できるという従来からの効果を有したまま、電源投入時におけるセルプレート CP1 の電位変動を抑制することができる。

【0063】

これらの効果により、電源投入時に、書き込みデータのデータ化けや消失を有効に防止
10
することができ、容量素子であるセルキャパシタ C0、C1 の端子間の誘電体膜 17 に過大電界ストレスが印加されることがなく信頼性上問題となる動作は発生しない。そして、これらの効果を実現するために、基準電圧発生回路 104 の駆動能力を必要以上に大きくする必要がないため、消費電流増大の負担やチップ占有面積増大の負担も最小限に抑制することができる。

【0064】

尚、電位変動抑制容量素子とセルプレート CP1 との接続を、容量接続スイッチ素子により、電源投入時に限定して行うように構成することも可能である。これにより、通常動作時においてセルプレート CP1 に電位変動抑制容量素子を付加することなく、電源投入時においてのみ付加してセルプレート CP1 の電位変動を抑制することができる。
20

【0065】

また、電位変動抑制容量素子をセルブロック B1 乃至 Bk 毎に分割して配置することもできる。これにより、ビット線イコライズ容量 CPR の場合と同様に、個々の電位変動抑制容量成分に付加される寄生抵抗は大きなものとはならず、容量成分との組み合わせで不要な遅延成分が付加されることはない。

【0066】

また、電位変動抑制容量素子、容量接続スイッチ素子、あるいは配線接続スイッチ素子 M1 乃至 Mk は、セルブロック B1 乃至 Bk が配置されている記憶セル領域であるメモリセル領域に配置することができる。例えば、電位変動抑制容量素子は、メモリセル C00 乃至 Cnm のセルキャパシタを構成するセルプレート CP1 の上に所定の酸化膜を介して
30
導電性電極を形成してやればセルプレート CP1 上に重ねて配置することができ、チップ上に特別に占有面積を確保する必要はない。また配線接続スイッチ素子 M1 乃至 Mk は、セルブロック B1 乃至 Bk 毎に 1 つ備えてやればよく、チップ上の占有面積は極僅かでありメモリセル領域を圧迫することなく配置できる。

【0067】

また、配線接続スイッチ素子 M1 乃至 Mk は NMOS トランジスタで例示したが、PMOS トランジスタで構成することもできる。また PMOS 及び NMOS トランジスタをペア接続するいわゆるトランスミッションゲートやその他のスイッチング特性を奏する回路であれば適用することができる。容量接続スイッチ素子についても同様に、NMOS トランジスタ、PMOS トランジスタ、トランスミッションゲート、あるいはその他のスイッチング回路等で構成することができる。
40

【0068】

図 3 に示す第 2 実施形態の半導体記憶装置 2 (以下、DRAM2 と称する。)では、従来技術の DRAM1000 (図 15、参照)における基準電圧発生回路 104 に代えて、基準電圧発生回路 104 の構成要素である基準電圧発生部 104B と基準電圧駆動部 104D 乃至 104D を分けて配置する。基準電圧駆動部 104D 乃至 104D は、セルブロック B1 乃至 Bk 毎に分散して配置され、各々のセルブロック B1 乃至 Bk におけるセルプレート CP1 乃至 CP1 に VCP 電圧を供給する。基準電圧駆動部 104D は、基準電圧駆動部 104D 乃至 104D が出力すべき基準電圧を設定するための基準電圧値信号を出力する。MOS トランジスタ M6 及び M7 の接続点、MOS トランジスタ M8 及び M9
50

の接続点から出力される信号は、バイアス電圧信号として基準電圧駆動部104D乃至104DのNMOSTランジスタM10乃至M10、及びPMOSTランジスタM11乃至M11の各ゲート端子に入力される。

【0069】

また、従来技術のDRAM1000におけるNMOSTランジスタMPR、MCPに代えて、各基準電圧駆動部104D乃至104Dの出力を分轄して、NMOSTランジスタMPR1乃至MPRk、及びMCP1乃至MCPkを介してビット線BL0～/BLm乃至BL0～/BLm、及びセルプレートCP1乃至CP1に接続して、それぞれを独立にバイアスするように設定することも可能である。

【0070】

第2実施形態のDRAM2では、基準電圧発生回路を、基準電圧発生部104Bと基準電圧駆動部104D乃至104Dに分割する。基準電圧発生部104Bから基準電圧駆動部104D乃至104Dへ接続される基準電圧値信号は、電圧バイアス信号であるため高い入力インピーダンスのMOSTランジスタM10乃至M10、M11乃至M11に設定すれば、長い配線長を引き回しても大きな電位差は発生しない。そのため基準電圧駆動部104D乃至104DをセルプレートCP1乃至CP1の近傍に配置することができる。基準電圧駆動部104D乃至104DとセルプレートCP1乃至CP1の間に配線抵抗、配線容量等の負荷が介在しないので、セルプレートCP1乃至CP1の電位を効果的に保持でき、セルプレートCP1乃至CP1の電位変動を抑制することができる。

【0071】

また、個々の基準電圧駆動部104Dが駆動すべきセルプレートCP1は、セルブロックB1乃至Bk毎に限定されるので、駆動すべき負荷を小さくすることができ、基準電圧駆動部104D乃至104Dの駆動能力を小さく抑えることができる。従って、基準電圧駆動部104D乃至104Dの回路規模を小さく設定することにより、チップ上の占有面積を必要最低限にすることができる。ビット線BL0～/BLm乃至BL0～/BLm、及びセルプレートCP1乃至CP1を各々独立にバイアスするために設置するNMOSTランジスタMPR1乃至MPRk、及びMCP1乃至MCPkの素子サイズも、基準電圧駆動部104D乃至104Dが駆動すべき負荷がセルブロックB1乃至Bk毎に限定されているので、小さく設定することができる。

【0072】

尚、基準電圧駆動部104D乃至104Dは、セルブロックB1乃至Bkが配置されている記憶セル領域であるメモリセル領域に配置することができる。セルブロックB1乃至Bk毎のセルプレートCP1のみに限定して駆動できればよいので、個々の基準電圧駆動部104Dは限定された駆動能力でよく、従って回路規模も小さくなりチップ上の占有面積は極僅かでありメモリセル領域を圧迫することなく配置できる。

【0073】

また、NMOSTランジスタMPR1乃至MPRk、及びMCP1乃至MCPkは、PMOSTランジスタで構成することもできる。またPMOS及びNMOSTランジスタをペア接続するいわゆるトランスマッションゲートやその他のスイッチング特性を奏する回路であれば適用することができる。

【0074】

図4に示す第3実施形態の半導体記憶装置3（以下、DRAM3と称する。）では、従来技術のDRAM1000（図15、参照）に加えて、電源電圧の投入を検知する電源検知回路105と、電源検知回路105からのパルス出力信号PORのパルス幅を拡張するパルス拡張回路70と、パルス拡張回路70からの出力信号Yを受けて動作する制御回路80を備える。制御回路80はワード線活性化信号Xと共に、センスアンプ群活性化信号LEを出力する。両信号は各セルブロックB1乃至Bkに出力される。電源検知回路105、パルス拡張回路70は既存の回路を利用することができる。例えば、電源検知回路105は、パワーオンリセット回路であり、出力信号として電源投入時に正のパルス信号PORを出力する。またパルス拡張回路70は、正の入力パルス信号PORに対して終

10

20

30

40

50

端のパルスエッジであるフォールエッジにのみ遅延を付加する回路である。出力信号として入力パルス信号 P O R の終端側にパルス幅が拡張された拡張パルス信号 Y を出力する。

【 0 0 7 5 】

次に、電源起動時における回路動作を図 5 の波形図に基づき説明する。電源が投入され電源電圧 V D D が立ち上がると、電源検知回路 1 0 5 から正のパルス信号 P O R が出力される。このパルス信号 P O R が入力されるパルス拡張回路 7 0 からは、正の拡張パルス信号 Y が出力される。この拡張パルス信号 Y は、パルス信号 P O R のフォールエッジを遅延させて終端側にパルス幅を拡張した信号である。拡張パルス信号 Y は制御回路 8 0 10 に入力される。制御回路 8 0 からは、先ず、センスアンプ群活性化信号 L E が出力される。この信号によりセンスアンプ群 1 0 2 に備えられる全てのセンスアンプ回路が一斉に活性化される。これにより、各センスアンプ回路に接続されているビット線対 B L 0 と / B L 0 ~ B L m と / B L m を差動増幅する。ビット線対毎のイコライズ電圧の差異、センスアンプ回路の感度差、差動増幅時の擾乱等の不確定要因により各ビット線対は差動増幅されることとなる。従って、ビット線対間の差動増幅方向は不確定である。

【 0 0 7 6 】

ビット線対 B L 0 と / B L 0 ~ B L m と / B L m の差動増幅が完了するタイミングを待って、制御回路 8 0 はワード線活性化信号 X を出力してワードドライバ群 1 0 1 に備えられる全ワード線 W L 0 ~ W L n を一斉に選択する。ワード線が選択されると各メモリセル C 0 0 乃至 C n m のトランスファークゲート M 0、M 1 が導通し、セルキャパシタ C 0、C 1 の電荷蓄積ノード S T 0、S T 1 が各ビット線に接続される。この時点では、各ビット線対は差動増幅されているので、差動増幅の後の電圧が各セルキャパシタ C 0、C 1 に書き込まれることとなる（図 5 では、S T 0 に論理ハイレベル電圧、S T 1 に論理ローレベル電圧が書き込まれる場合を示す。）全てのビット線はセンスアンプ回路を挟んで対となっているので、差動増幅動作されたビット線対においては、論理ハイレベル電圧が書き込まれるセルキャパシタ C 0、C 1 の数と論理ローレベル電圧が書き込まれるセルキャパシタ C 0、C 1 の数とが同数となる。 20

【 0 0 7 7 】

セルキャパシタ C 0、C 1 への書き込み終了後、拡張パルス信号 Y の終了に伴い、制御回路 8 0 は、ワード線活性化信号 X を非活性としてワード線 W L 0 ~ W L n の選択を解除した後に、センスアンプ群活性化信号 L E を解除して全センスアンプ回路を非活性としビット線対をイコライズして動作を完了する。この動作を電源投入から通常の動作が行われるまでの待機時間であるいわゆるポーズ時間内に実行する。 30

【 0 0 7 8 】

第 3 実施形態の D R A M 3 では、電荷が注入されるメモリセル C 0 0 ~ C n m と電荷が放出されるメモリセル C 0 0 ~ C n m とが対となるので、セルキャパシタ C 0、C 1 を介してセルプレート C P 1 に容量結合する電荷は相殺され、セルプレート C P 1 における電位変動を抑制することができる。

【 0 0 7 9 】

この様子を示したのが、図 6 である。センスアンプ回路 1 0 6 により差動増幅された電位差によりビット線対 B L 0 と / B L 0 はリストアされる。今仮に、ビット線 B L 0 が論理ハイレベル電圧に、ビット線 / B L 0 が論理ローレベル電圧にリストアされているとする。この状態でワード線 W L 0、W L 1 が選択されると、トランスファークゲートを構成する N M O S トランジスタ M 0、M 1 は共に導通して、メモリセルの電荷蓄積ノード S T 0、S T 1 をビット線 B L 0、/ B L 0 に接続する。則ち、電荷蓄積ノード S T 0 は論理ハイレベル電圧となり電荷が注入される。逆に電荷蓄積ノード S T 1 は論理ローレベル電圧となり電荷が放出される。電荷蓄積ノード S T 0、S T 1 に電荷が注入・放出されると、セルキャパシタ C 0、C 1 を介して容量結合することによりセルプレート C P 1 に電荷が放出・注入される。具体的には、電荷蓄積ノード S T 0 に注入された電荷によりセルキャパシタ C 0 によりセルプレート C P 1 に電荷が注入される（これを C + とする。）。電荷 40 50

蓄積ノードST1から放出された電荷によりセルキャパシタC1によりセルプレートCP1から電荷が放出される(これをC-とする。)。ここで、ワード線WL0、WL1選択前の電荷蓄積ノードST0、ST1の電位は、略ビット線対のイコライズ電圧と同じであり、この電圧はリストア時の論理ハイ・ローレベル電圧の相加平均値である。従って、両セルキャパシタC0、C1による容量結合の効果は略等しくなる(C+=C-)。従って、容量結合によりセルプレートCP1に注入・放出される電荷は相殺する。よって、セルプレートCP1に電位変動は発生しない。

【0080】

メモリセルユニットUにおけるメモリセルC00~Cnmの対に接続されるビット線対BL0と/BL0~BLmと/BLmから、ビット線毎に同数のメモリセルを選択してやれば、書き込みデータの選択を意識的に行なう必要なく、電荷注入と電荷放出のメモリセルの間の移動電荷を相殺してセルプレートCP1の電位変動を抑制することができる。

10

【0081】

尚、ワード線活性化信号Xでは一斉に全ワード線WL0~WLnを選択し、センスアンプ群活性化信号LEでは、全センスアンプ回路を一斉に活性化し全ビット線対BL0と/BL0~BLmと/BLmを一斉にリストアする場合を示した。この場合には、全てのメモリセルC00乃至Cnmにデータを書き込むこととなりその後のアクセス動作においてセルプレートCP1に電位変動が発生しない。しかしながら、セルプレートCP1の電位変動は、基準電圧発生回路104の駆動能力と容量結合とのバランスで決まる現象である。従って、基準電圧発生回路104が許せば全てを一斉に活性化する必要はなく、基準電圧発生回路104の駆動能力の範囲内で、活性化するワード線及びビット線対を一部に限定することもできる。

20

【0082】

また、上述の第3実施形態では、センスアンプ回路の活性化によるビット線対BL0と/BL0~BLmと/BLmのリストアの後にワード線WL0乃至WLnを選択してビット線とセルキャパシタC0、C1とを接続してセルキャパシタC0、C1にリストア電圧を書き込むシーケンスを示した。しかしながら、書き込むべき電圧については論理ハイレベル電圧と論理ローレベル電圧で同数にするという制約があるだけである。従って、ビット線対における任意の差電圧をリストアして書き込めば条件を満足する。則ち、ワード線の選択タイミングとセンスアンプ回路の活性化タイミングとの間に時間的に重なり合う期間を設定してやれば両者の起動及び終了タイミングには特に制約を設けることなく自由に設定することができる。

30

【0083】

また、電源投入時の信号としては、上述の拡張パルス信号Yが利用できる他、パワーオンリセット回路等の電源検知回路105からの出力信号を直接使用することもできる。またパルス信号の論理としては、上述の正のパルスの他、負のパルスを使用することもできる。更にパワーオンリセット回路等の電源検知回路105からの出力信号はパルス信号である必要はなく、電源投入を検知することができれば、2値出力の信号であってもよい。

【0084】

また、第3実施形態における回路動作は、セルブロック単位で行うことが好ましい。これにより、容量結合により相互に反対方向に電荷の移動が発生するメモリセル同士が近接する位置に存在することとなり、移動電荷の相殺効果を向上させることが可能である。

40

【0085】

図7に示す第4実施形態の半導体記憶装置4(以下、DRAM4と称する。)では、第3実施形態のDRAM3(図4、参照)に加えて、制御回路80からの出力信号Xを受けて、活性化するワード線WL0~WLnに対応してダミーワード線DWL0、DWL1の論理を反転制御する反転指示信号Iを出力する反転選択回路60と、反転指示信号Iを受けて、信号Xにより選択されるダミーワード線DWL0、DWL1を反転する反転スイッチ回路I1乃至Ikを備える。

50

【 0 0 8 6 】

ここで、ダミーワード線 D W L 0、D W L 1 とは、センスアンプ群 1 0 2 に備えられるセンスアンプ回路の差動増幅動作を確実にするために、ビット線対 B L 0 と / B L 0 乃至 B L m と / B L m にダミーセル D C 0 0 乃至 D C 1 m を介しての容量結合により電荷を追加供給するものである。本実施形態では、電荷を追加供給して各ビット線の電位を上昇させる情報 “ 1 ” を読み易くするアシスト 1 効果を奏する構成である。

【 0 0 8 7 】

図 8 には、具体的なダミーセル構成を示す。ここでは 6 種類のダミーセル構成を例示している。(1) は、ダミーワード線 D W L によりトランスファゲート M を制御してセルキャパシタ C M の容量値より少ない容量値を有するダミーセルキャパシタ C M / 2 (この例では、半分の容量値を有する。) をビット線 B L、/ B L に接続する構成である。メモリセルの構成と同様な構成を有している。(2) は、ビット線 B L、/ B L とダミーワード線 D W L との間にダミーキャパシタ D C を接続するものである。ダミーワード線 D W L の起動により容量結合して電荷を供給する。(3) 及び (4) は、N M O S トランジスタ M N のゲート容量を利用する構成である。ゲート端子を、ビット線 B L、/ B L とダミーワード線 D W L との何れに接続するかで 2 つの構成がある。(5) 及び (6) は、(3) 及び (4) における N M O S トランジスタ M N に代えて、P M O S トランジスタ M P を使用する構成である。

【 0 0 8 8 】

さて、電源起動時における回路動作を図 9 の波形図に基づき説明する。ここでは、図 1 7 のメモリセル対の回路図も併せて参考にしながら説明する。電源が投入され電源電圧 V D D が立ち上がると、電源検知回路 1 0 5 から正のパルス信号 P O R が出力される。このパルス信号 P O R が入力されるパルス拡張回路 7 0 からは、正の拡張パルス信号 Y が出力される。拡張パルス信号 Y が入力される制御回路 8 0 からは、ワード線活性化信号 X とセンスアンプ群活性化信号 L E とが出力される。

【 0 0 8 9 】

先ず、ワード線活性化信号 X により選択されるワード線 W L 0 が立ち上がりトランスファゲート M 0 を導通して、電源起動時のセルプレート C P 1 からの容量結合により基準電圧 (例えば、 $1/2 \cdot V_{iic}$) の近傍にまで昇圧されていた電荷蓄積ノード S T 0 は、基準電圧 (例えば、 $1/2 \cdot V_{iic}$) にイコライズされていたビット線 B L 0 と接続する。その後ダミーワード線 D W L 0 が選択されることにより、ビット線 B L 0 にアシスト 1 効果が作用してビット線電位を上昇させ、ビット線 / B L 0 との電位差を拡大してリストア動作を待つ。

【 0 0 9 0 】

次に、センスアンプ群活性化信号 L E が活性化して各センスアンプ回路が起動し、ビット線対 B L 0 と / B L 0 をリストアすることにより、電荷蓄積ノード S T 0 に 1 データが書き込まれる。則ち、電荷蓄積ノード S T 0 に電荷が注入される。

【 0 0 9 1 】

プリチャージ動作の後、ワード線活性化信号 X によりワード線 W L 1 が選択され同様の動作を繰り返す。ただし、プリチャージ期間に出力信号 X を受けて反転選択回路 6 0 からダミーワード線 D W L 1 の論理を反転制御する反転指示信号 I が出力されるので、反転スイッチ回路 I 1 乃至 I k は、ワード線活性化信号 X からダミーワード線 D W L 1 への経路に信号反転回路 G 9 を付加する。

【 0 0 9 2 】

従って、ダミーワード線 D W L 1 の信号遷移の方向が反転されて、ビット線 / B L 0 にビット線の電位を下降させて情報 “ 0 ” を読み易くするアシスト 0 効果が作用してビット線電位を下降させ、電荷蓄積ノード S T 1 には 0 データが書き込まれる。則ち、電荷蓄積ノード S T 1 からは電荷が放出される。

【 0 0 9 3 】

メモリセルの電荷蓄積ノードへの書き込みが、1 データ書き込みと 0 データ書き込みと

10

20

30

40

50

で同数となるようにダミーワード線の半分について、信号遷移の方向を反転して書き込み動作を繰り返す。

【 0 0 9 4 】

第 4 実施形態の D R A M 4 では、電荷が注入されるメモリセル C 0 0 ~ C n m と電荷が放出されるメモリセル C 0 0 ~ C n m とが対となるので、セルキャパシタ C 0、C 1 を介してセルプレート C P 1 に容量結合する電荷は相殺され、セルプレート C P 1 における電位変動を抑制することができる。

【 0 0 9 5 】

また、センスアンプ回路による差動増幅の動作余裕を向上させるためにダミーセル D C 0 0 乃至 D C 1 m を使用する場合には、ダミーセルに容量結合するダミー選択線 D W L 0、D W L 1 の半分について論理レベルを反転する。これによりビット線 B L 0 ~ / B L m へのダミーセルを介してのアシスト 1 の電荷供給のうちの半分以上をアシスト 0 の電荷供給とすることができる。メモリセル C 0 0 乃至 C n m への書き込みデータの選択を意識的に行なう必要はなく、電荷注入されるセルキャパシタ C 0、C 1 と電荷放出されるセルキャパシタ C 0、C 1 とを同数に設定して、電荷蓄積ノード S T 0、S T 1 とセルプレート C P 1 との間の移動電荷を相殺してセルプレート C P 1 の電位変動を抑制することができる。

【 0 0 9 6 】

尚、第 4 実施形態では、相補なデータを書き込むメモリセル C 0 0 乃至 C n m の数については言及していないが、全てのメモリセルにデータを書き込めばその後のアクセス動作によってセルプレート C P 1 に電位変動が発生することはない。しかしながら、セルプレート C P 1 の電位変動は、基準電圧発生回路 1 0 4 の駆動能力と容量結合とのバランスで決まる現象である。従って、基準電圧発生回路 1 0 4 が許せば全メモリセルに書き込む必要はなく、基準電圧発生回路 1 0 4 の駆動能力の範囲内で、活性化するワード線及びビット線対を一部に限定することもできる。

【 0 0 9 7 】

また、ワード線の選択とビット線の活性化との順序についても、上述の順番に限定されることはなく、アシスト 1 とアシスト 0 が同数になるようにしてリストアされたビット線対の差電圧を書き込めれば条件を満足する。則ち、ワード線の選択タイミングとセンスアンプ回路の活性化タイミングとの間に時間的に重なり合う期間を設定してやれば両者の起動及び終了タイミングには特に制約を設けることなく自由に設定することができる。

【 0 0 9 8 】

更にワード線 W L 0 乃至 W L n とダミーワード線 D W L 0、D W L 1 との立ち上がり順序についても、上述のシーケンスに限定される必要はない。ダミーワード線によるアシスト 1 とアシスト 0 が設定できるタイミングであれば、ダミーワード線をワード線と同時に立ち上げて、先だてて立ち上げてよい。

【 0 0 9 9 】

また、ダミーセル D C 0 0 乃至 D C 1 m の容量値をセルキャパシタの容量値の半分として説明したが (図 8、(1))、これに限定されるものではなく、アシスト動作が確実に行われれば、容量値は自由に設定することができる。

【 0 1 0 0 】

また、第 4 実施形態における回路動作は、セルブロック単位で行うことが好ましい。これにより、容量結合により相互に反対方向に電荷の移動が発生するメモリセル C 0 0 乃至 C n m 同士が、近接する位置に存在することとなり、移動電荷の相殺効果を向上させることが可能である。

【 0 1 0 1 】

このほかにも、電荷が注入されるメモリセル C 0 0 乃至 C n m と放出されるメモリセルとが同数になるような方法であれば、容量結合によるセルキャパシタ C P 1 への電荷の移動は相殺されて電位変動を抑えることができる。例えば、論理ハイレベル、即ち 1 データ、あるいは論理ローレベル、即ち 0 データで固定されたデータを、ビット線対 B L 0 と / B L 0 乃至 B L m と / B L m を構成する各ビット線に接続されているメモリセルを同数選

10

20

30

40

50

折して書き込んでやれば、セルキャパシタ C_0 、 C_1 への電荷の注入と放出が同数となり同様の効果が得られる。

【0102】

図10に示す第5実施形態の半導体記憶装置5（以下、DRAM5と称する。）では、従来技術のDRAM1000（図15、参照）に加えて、第3実施形態のDRAM3における電源検知回路105と、パルス拡張回路70を備える。パルス拡張回路70からの拡張パルス信号 Y は、ワードドライバ群101に入力される。またVCP線を接地電位GNDに固定するNMOSTランジスタ10のゲート端子に入力されると共にノアゲート9に入力される。ノアゲート9の他方の入力には、従来技術のDRAM1000においてNMOSTランジスタMCPのゲート端子に入力されていたコントロール信号 CP が入力

10

【0103】

電源投入時に出力される拡張パルス信号 Y は、ワードドライバ群101を介して全てのワード線 $WL_0 \sim WL_n$ を選択する。またノアゲート9の出力信号をローレベルに固定することによりNMOSTランジスタMCPを非道通として、VCP線を基準電圧発生回路104から切り離すと共に、NMOSTランジスタ10により、VCP線を接地電位GNDレベルに固定する。

【0104】

電源起動時における回路動作は、図11の波形図に示すとおりである。以下の説明では、必要に応じて図17のメモリセル対の回路図を参考にする。則ち、電源が投入され電源電圧 V_{DD} が立ち上がると、電源検知回路105から正のパルス信号PORが出力される。このパルス信号PORが入力されるパルス拡張回路70からは、正の拡張パルス信号 Y が出力される。拡張パルス信号 Y は、VCP線を接地電位GNDレベルに固定するので、電源電圧 V_{DD} の上昇と共にVPRの電圧レベルは上昇するが、VCPレベルは接地電位GNDレベルを維持する。この状態で全てのワード線 $WL_0 \sim WL_n$ が選択される。ビット線 BL_0 乃至 BL_m と全てのメモリセル C_{00} 乃至 C_{nm} が接続され、メモリセルの電荷蓄積ノード ST_0 、 ST_1 がVPR線の電圧レベルである基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）まで上昇する。

20

【0105】

この後、拡張パルス信号 Y が終了して全ワード線 WL_0 乃至 WL_n が閉じる。この後の電荷蓄積ノード ST_0 、 ST_1 はどの電圧レベルにも電氣的に接続されないフローティングノードとなる。拡張パルス信号 Y の終了に伴い、VCP線は接地電位GNDレベルから解放されると共に、基準電圧発生回路104に接続される。VCP線は、接地電圧GNDから基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）まで上昇する。この時、セルキャパシタ C_0 、 C_1 を介して容量結合により電荷が移動し電荷蓄積ノード ST_0 、 ST_1 を基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）分だけ上昇させる。容量結合前の電位が基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）であるから、結果的に電荷蓄積ノード ST_0 、 ST_1 は、論理ハイレベル（例えば、 V_{iic} ）となり、1データが書き込まれたのと同じ状態になる。

30

【0106】

第5実施形態のDRAM5では、第2配線であるVCP線を所定電圧である接地電位GNDに固定すれば、全ての選択線であるワード線 WL_0 乃至 WL_n を活性化することにより、全ての電荷蓄積ノード ST_0 、 ST_1 に基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）レベルまで充電する。その後、VCP線の接地電位GNDレベルへの固定を解除して正規の電圧である基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）に移行する際、セルキャパシタ C_0 、 C_1 を介しての容量結合により電荷蓄積ノードを1データ書き込み状態の電荷蓄積状態にすることができる。この電荷蓄積状態への移行は、基準端子であるセルプレートCP1が固定された所定電圧である接地電位GNDから、正規の電圧である基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）に移行する際の容量素子を介しての容量結合を利用して行なわれる。従って、容量結合に伴う電荷移動が電荷蓄積ノード ST_0 、 ST_1 及びセルプレートCP1の電位変動を誘発することなく、更に電荷蓄積ノードへの電荷注入・放出に利用されて1デ

40

50

ータ書き込みを補助する効果を奏する。

【0107】

図12に示す第6実施形態の半導体記憶装置6（以下、DRAM6と称する。）では、第5実施形態のDRAM5（図10、参照）におけるノアゲート9及びNMOSTランジスタ10に代えて、ノアゲート11及びNMOSTランジスタ12を備える。拡張パルス信号 Yは、VPR線を接地電位GNDに固定するNMOSTランジスタ12のゲート端子に入力されると共にノアゲート11に入力される。ノアゲート11の他方の入力には、従来技術のDRAM1000においてNMOSTランジスタMPRのゲート端子に入力されていたコントロール信号 PRが入力される。

【0108】

電源投入時に出力される拡張パルス信号 Yは、第5実施形態のDRAM5の場合と同様に、全てのワード線WL0乃至WLnを選択する。またNMOSTランジスタMPRを非道通としてVPR線を基準電圧発生回路104から切り離し、NMOSTランジスタ12によりVPR線を接地電位GNDに固定する。

【0109】

電源起動時における回路動作を、必要に応じて図17のメモリセル対の回路図を参考にしながら図13の波形図について説明する。電源が投入され電源電圧VDDが立ち上がると、電源検知回路105から正のパルス信号PORが出力される。このパルス信号PORが入力されるパルス拡張回路70からは、正の拡張パルス信号 Yが出力される。拡張パルス信号 Yは、VPR線を接地電位GNDに固定するので、電源電圧VDDの上昇と共にVCPの電圧レベルは上昇するが、VPRレベルは接地電位GNDを維持する。この状態で全てのワード線WL0乃至WLnが選択される。ビット線BL0乃至BLmと全てのメモリセルC00乃至Cnmが接続され、メモリセルの電荷蓄積ノードST0、ST1がVPR線の電圧レベルである接地電位GNDとなる。

【0110】

この後、拡張パルス信号 Yが終了して全ワード線WL0～WLnが閉じる。この後の電荷蓄積ノードST0、ST1はどの電圧レベルにも電氣的に接続されないフローティングノードとなる。拡張パルス信号 Yの終了に伴い、VPR線は接地電位GNDから解放されると共に基準電圧発生回路104に接続される。VPR線は、接地電圧GNDから基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）まで上昇する。

【0111】

電荷蓄積ノードST0、ST1が接地電位GNDに降下する際、セルキャパシタC0、C1を介して容量結合により電荷が移動しセルプレートCP1の電位が降下するが、この電位は、VCP線を介して基準電圧発生回路104からの電荷供給により回復する。電源投入から通常動作開始までのポーズ時間にセルプレートCP1が回復するように回路構成を設定することにより通常動作前に回復させることができる。

【0112】

第5実施形態のDRAM5では、VPR線を接地電位GNDに固定すれば、全てのワード線WL0乃至WLnを活性化するだけで全ての電荷蓄積ノードST0、ST1に0データの書き込み状態である電荷蓄積状態にすることができる。この電荷蓄積状態への移行は、各センスアンプ回路による差動増幅動作等を行う必要はなく全てのワード線の活性化も1サイクルで行なうこともでき移行動作は短時間とすることができる。また電荷蓄積ノードST0、ST1への0データ書き込みの際、容量結合によりセルプレートCP1の電位が降下するが、この電位は、VCP線を介して基準電圧発生回路104からの電荷供給により回復する。電源投入から通常動作開始までのポーズ時間にセルプレートCP1が回復するように回路構成を設定することにより通常動作前に回復させることができる。

【0113】

尚、選択されるワード線WL0乃至WLnの電圧レベルは、通常動作状態における電圧値である必要はない。ビット線BL0乃至BLmを介してメモリセルC00乃至Cnmに書き込まれる電圧が、基準電圧（例えば、 $1/2 \cdot V_{iic}$ ）、あるいは接地電位GN

10

20

30

40

50

Dであるので、トランスファゲートであるNMOSTランジスタM0、M1の閾値電圧を越える電圧を印加できれば問題はない。

【0114】

また、全てのワード線WL0乃至WLnを選択すれば1サイクルで全てのメモリセルC00乃至Cnmにデータを書き込むことができ、その後のアクセス動作によってセルプレートCP1に電位変動が発生することはない。しかしながら、セルプレートCP1の電位変動は、基準電圧発生回路104の駆動能力と容量結合とのバランスで決まる現象である。従って、基準電圧発生回路104が許せば全メモリセルに書き込む必要はなく、基準電圧発生回路104の駆動能力の範囲内で、活性化するワード線を一部に限定することもできる。

10

【0115】

第5及び第6実施形態では、NMOSTランジスタ10及び12を使用し接地電位GNDにVCP線及びVPR線を固定する場合について例示したが、PMOSTランジスタに代えて論理ハイレベル電圧(例えば、V_{ii}c)に固定するようにすることもできる。この場合、第5実施形態では、メモリセルには0データが書き込まれ、第6実施形態では、メモリセルには1データが書き込まれる。

【0116】

第5及び第6実施形態においては、センスアンプ回路による差動増幅動作等を行う必要はなく、全てのワード線WL0乃至WLnの活性化も1サイクルで行なうこともでき、短時間でのデータ書き込みを完了することができる。そしてワード線の活性化動作は、既存の回路を有効に流用することができ、更に試験回路等の回路をそのまま流用することもできる。

20

【0117】

更に、第5実施形態と第6実施形態をマージした構成とすることもできる。則ち、VCP線とVPR線とを共に電位固定する構成である。

【0118】

VCP線及びVPR線を共に接地電位GNDに固定する場合は、ワード線WL0乃至WLnの選択により電荷蓄積ノードST0、ST1には0データが書き込まれる。この状態で、VCP線の固定を解除すればセルプレートCP1は、接地電位GNDから基準電圧(例えば、 $1/2 \cdot V_{ii}c$)レベルに上昇するが、電荷蓄積ノードは、ビット線BL0乃至BLmを介して接地電位GNDに固定されているので、容量結合による電荷蓄積ノードの電位変動は発生しない。ワード線の選択を解除した後、VPR線の固定を解除しビット線を基準電圧(例えば、 $1/2 \cdot V_{ii}c$)レベルに上昇させた状態で、全てのメモリセルへの0データ書き込みが完了する。

30

【0119】

また、VCP線を接地電位GNDにしVPR線を論理ハイレベル(例えば、V_{ii}c)に固定する場合は、ワード線WL0乃至WLnの選択により電荷蓄積ノードST0、ST1には1データが書き込まれる。この状態で、VCP線の固定を解除すればセルプレートCP1は、接地電位GNDから基準電圧(例えば、 $1/2 \cdot V_{ii}c$)レベルに上昇するが、電荷蓄積ノードは、ビット線を介して論理ハイレベル(例えば、V_{ii}c)に固定されているので、容量結合による電荷蓄積ノードの電位変動は発生しない。ワード線の選択を解除した後、VPR線の固定を解除しビット線を基準電圧(例えば、 $1/2 \cdot V_{ii}c$)レベルに降下させた状態で、全てのメモリセルへの1データ書き込みが完了する。

40

【0120】

図14に示す第7実施形態の半導体記憶装置7(以下、DRAM7と称する。)では、従来技術のDRAM1000(図15、参照)における通常動作状態でのリフレッシュ制御回路107に加えて、リフレッシュトリが回路92、カウンタ回路94、遅延回路96を備える。更に電源電圧の投入を検知する電源検知回路105を備える。

【0121】

リフレッシュ制御回路107は、DRAM1000におけるセルフリフレッシュ動作を

50

制御する回路である。図示しない制御回路からの *S e l f* コマンドが入力されると、*E n t r y* 回路は信号 *S R E* を出力する。この信号 *S R E* とリフレッシュ動作の時間間隔を計測するタイマからの信号 *T M R* とにより *C o n t r o l* 回路は、リフレッシュ制御信号 *R E F* を出力する。リフレッシュ制御信号 *R E F* に基づきワードドライバ群 1 0 1 が各ワード線を順次選択してセルフリフレッシュ動作を行う。

【 0 1 2 2 】

第 7 実施形態の *D R A M* 7 では、リフレッシュ制御回路 1 0 7 を利用する。電源検知回路 1 0 5 からのパルス出力信号 *P O R* は、リフレッシュトリガ回路 9 2 の入力段にあるナンドゲート *G 1* に入力される。ナンドゲート *G 1* の他方の入力端子は、遅延回路 9 6 からの出力信号 *C N T D* が入力される。ナンドゲート *G 1* への両入力信号が選択（共に、論理 10
ハイレベル）されるとリフレッシュトリガ回路 9 2 からの出力信号は、リフレッシュ制御回路 1 0 7 の *E n t r y* 回路を起動すると共にタイマに入力されリフレッシュ周期を短縮化する。本来の周期より短い周期でセルフリフレッシュ動作が開始される。各リフレッシュ動作は、信号 *R E F* を検知しているカウンタ回路 9 4 において計数される。計数値が規定回数に達したら出力信号 *C N T* を出力し遅延回路 9 6 を介して信号 *C N T D* としてリフレッシュトリガ回路 9 2 に戻される。この時の信号 *C N T D* は論理ローレベルであるので、これ以降リフレッシュトリガ回路 9 2 からトリガ信号が出力されなくなり、電源投入時の設定サイクルが終了する。

【 0 1 2 3 】

リフレッシュ動作により、ワード線 *W L 0* 乃至 *W L n* が順次選択されながらセンスアンプ回路によりビット線対 *B L 0* と */ B L 0* 乃至 *B L m* と */ B L m* がリストアされる。この動作は、電源投入時に引き続き行われるのでメモリセル *C 0 0* 乃至 *C n m* にはデータは存在していない状態である。則ち、電荷蓄積ノード *S T 0*、*S T 1* には、セルプレート *C P 1* の上昇に伴う容量結合により、基準電圧（例えば、 $1/2 \cdot V_{i i c}$ ）より若干低い電位に保たれている。ここで、ワード線が選択され電荷蓄積ノードがビット線と接続されてリストアされる。このリストアは、ビット線対毎の保持電位の差異、センスアンプ回路の感度差、差動増幅時の擾乱等の不確定要因により定まる方向に行われる。従って、各メモリセルには 1 あるいは 0 の何れかのデータが書き込まれ、電荷蓄積ノードには電荷の注入・放出のいずれかが行われる。これにより、データ書き込みのないメモリセルはなくなりセルプレートの電位変動は発生しなくなる。 20
30

【 0 1 2 4 】

第 7 実施形態の *D R A M* 7 では、リフレッシュ制御回路 1 0 7 によるセルフリフレッシュ動作により、所定数のメモリセル *C 0 0* 乃至 *C n m* にリフレッシュ動作を行なわせることにより、各セルプレート *C P 1* をデータ書き込み状態である電荷蓄積状態にすることができる。

【 0 1 2 5 】

そして、電源投入時の信号 *P O R* をリフレッシュトリガ回路 9 2 が受けて動作を開始すると共に、リフレッシュ周期を決定するリフレッシュ制御回路 1 0 7 内のタイマに作用して計測時間を短縮することにより、電源投入時における動作時間を短縮することができる。従って、電源投入から通常動作開始までのポーズ時間内にこれらの動作を行うようにタイマの計測時間を適宜に調整することができる。 40

【 0 1 2 6 】

また、電荷蓄積ノード *S T 0*、*S T 1* へのデータ書き込みの際、容量結合によりセルプレート *C P 1* の電位が降下するが、この電位は *V C P* 線を介して基準電圧発生回路 1 0 4 からの電荷供給により回復する。電源投入から通常動作開始までのポーズ時間にセルプレート *C P 1* の電位が回復するように回路構成を設定することにより通常動作前に回復させることができる。

【 0 1 2 7 】

尚、カウンタ回路 9 4 及び遅延回路 9 6 は必須の回路ではない。これらの回路がなくても内部タイミングが調整されていれば所定のメモリセル *C 0 0* 乃至 *C n m* へのデータ書き 50

込みを行い、以後この動作を禁止することは可能である。

【 0 1 2 8 】

また、全てのワード線 $W L 0$ 乃至 $W L n$ を選択するようにすれば、全てのメモリセル $C 0 0$ 乃至 $C n m$ にデータを書き込めるので、その後のアクセス動作によってセルプレート $C P 1$ に電位変動が発生することはない。しかしながら、セルプレート $C P 1$ の電位変動は、基準電圧発生回路 $1 0 4$ の駆動能力と容量結合とのバランスで決まる現象である。従って、基準電圧発生回路 $1 0 4$ が許せば全メモリセルに書き込む必要はなく、基準電圧発生回路 $1 0 4$ の駆動能力の範囲内で、活性化するワード線及びビット線対を一部に限定することもできる。

【 0 1 2 9 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、 $D R A M$ を例に取り説明したが、これに限定されるものではなく、同期型 $D R A M$ 等の容量素子に電荷を蓄積することによりデータを記憶する構成の半導体記憶装置であれば適用することができる。

【 0 1 3 0 】

(付記 1) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、

前記基準端子に接続され、前記各容量素子の第 2 端子への電荷の注入・放出の際に前記各容量素子により容量結合されて注入される電荷に伴う電位変動を抑制する電位変動抑制容量素子を備えることを特徴とする半導体記憶装置。

(付記 2) 前記基準端子と前記電位変動抑制容量素子とを接続する容量接続スイッチ素子と、

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路からの信号に基づき、前記容量接続スイッチ素子を接続制御することを特徴とする付記 1 に記載の半導体記憶装置。

(付記 3) 前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線に基準電圧を供給する第 1 配線と、

前記基準端子に基準電圧を供給する第 2 配線と、

前記第 1 配線と前記第 2 配線とを接続する配線接続スイッチ素子と、

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路からの信号に基づき、前記配線接続スイッチ素子を接続制御することを特徴とする付記 2 に記載の半導体記憶装置。

(付記 4) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、

前記基準端子に供給すべき基準電圧値信号を生成する基準電圧発生部と、

複数の前記記憶セルのうち所定数の前記記憶セル毎に配置され、前記基準電圧値信号を受けて、基準電圧を所定数の前記記憶セルにおける前記基準端子の対応部分に供給する複数の基準電圧駆動部とを備えることを特徴とする半導体記憶装置。

(付記 5) 複数の前記記憶セルのうち所定数の記憶セルを一単位として纏めたセルブロックを複数備え、

前記電位変動抑制容量素子、前記容量接続スイッチ素子、前記配線接続スイッチ素子、あるいは前記基準電圧駆動部は、前記セルブロック毎に配置されることを特徴とする付記 1 乃至 4 の少なくとも何れか 1 項に記載の半導体記憶装置。

(付記 6) 前記各セルブロックが配置される記憶セル領域と、

10

20

30

40

50

各種制御回路が配置される周辺回路領域とを備え、

前記電位変動抑制容量素子、前記容量接続スイッチ素子、前記配線接続スイッチ素子、あるいは前記基準電圧駆動部は、前記記憶セル領域に配置されることを特徴とする付記 1 乃至 4 の少なくとも何れか 1 項に記載の半導体記憶装置。

(付記 7) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行う半導体記憶装置において、

電源電圧の投入を検知する電源検知回路を備え、

前記電源検知回路からの信号に基づき、電荷が注入される前記容量素子の第 2 端子を有する前記記憶セルと、電荷が放出される前記容量素子の第 2 端子を有する前記記憶セルとが同数であることを特徴とする半導体記憶装置。 10

(付記 8) 前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線を 2 本で 1 対のデータ線対として接続して前記データ線対の電位差を差動増幅する複数のセンスアンプ回路と、

前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線とを備え、

前記電源検知回路からの信号に基づき、選択される所定数の前記選択線により、所定数の前記データ線対を構成する前記各データ線に、同数の前記容量素子の第 2 端子を電氣的に接続することを特徴とする付記 7 に記載の半導体記憶装置。 20

(付記 9) 前記各容量素子の第 2 端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線と、

前記各容量素子の第 2 端子から蓄積電荷が前記各データ線に放出された際、前記各データ線に電荷を追加補充する複数のダミー選択線と、

前記各ダミー選択線の論理レベルを選択的に反転する反転選択回路とを備え、

前記電源検知回路からの信号に基づき、選択される所定数の前記選択線及び前記ダミー選択線により、所定数の前記容量素子の第 2 端子に電荷を注入・放出する際、前記各ダミー選択線のうちの半分を前記反転選択回路により論理反転することを特徴とする付記 7 に記載の半導体記憶装置。 30

(付記 10) 前記各データ線と前記各容量素子の第 2 端子とを電氣的に接続する複数の選択線と、

前記記憶セルへのデータ書き込み毎に、注入・放出する電荷を反転するトグル電荷を発生するデータ発生回路と、

前記電源検知回路からの信号に基づき、前記データ発生回路からの前記トグル電荷を、選択される所定数の前記選択線により、所定数の前記記憶セル毎に書き込むことを特徴とする付記 7 に記載の半導体記憶装置。

(付記 11) 前記トグル電荷は、論理ハイレベル、あるいは論理ローレベルの固定データであり、 40

前記各データ線対を構成する前記各データ線に接続される前記各記憶セルから、前記データ線毎に同数の前記記憶セルを選択することを特徴とする付記 10 に記載の半導体記憶装置。

(付記 12) 前記複数の記憶セルのうち所定数の記憶セルを一単位として纏めたセルブロックを複数備え、

前記電源検知回路からの信号に基づく前記動作は、前記各セルブロック単位で行なわれることを特徴とする付記 7 乃至 11 の少なくとも何れか 1 項に記載の半導体記憶装置。

(付記 13) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第 1 端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第 2 端子への電荷の注入・放出により行 50

う半導体記憶装置において、

前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線に基準電圧を供給する第1配線と、

前記基準端子に基準電圧を供給する第2配線と、

前記第1配線あるいは前記第2配線と所定電圧との間に設けられたクランプスイッチ素子と、

前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線と、

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路からの信号に基づき、

前記クランプスイッチ素子を制御して前記第1配線あるいは前記第2配線を前記所定電圧に固定し、

所定数の前記選択線を選択して、前記各容量素子の第2端子を設定電圧にし、

更に所定数の前記選択線を非選択とした後、前記クランプスイッチ素子を制御して前記第1配線あるいは前記第2配線から前記所定電位を切り離し、前記基準電圧を供給することを特徴とする半導体記憶装置。

(付記14) 前記所定電圧は、前記容量素子の第2端子におけるハイレベル電圧あるいはローレベル電圧であり、

前記基準電圧は、前記ハイレベル電圧と前記ローレベル電圧との相加平均電圧であり、

前記第1配線が前記所定電圧に固定される場合、前記設定電圧は前記所定電圧であり、所定数の前記選択線を非選択とした後も前記各容量素子の第2端子は前記設定電圧を保持し、

前記第2配線が前記所定電圧に固定される場合、前記設定電圧は前記基準電圧となり、所定数の前記選択線を非選択とした後、前記第2配線が前記基準電圧となる際、前記基準端子からの容量結合により前記各容量素子の第2端子は前記所定電圧と反対の電圧となることを特徴とする付記13に記載の半導体記憶装置。

(付記15) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を複数の前記記憶セル間で共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置において、

前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、

前記各データ線に基準電圧を供給する第1配線と、

前記基準端子に基準電圧を供給する第2配線と、

前記第1及び前記第2配線と所定電圧との間に設けられた第1及び第2クランプスイッチ素子と、

前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線と、

電源電圧の投入を検知する電源検知回路とを備え、

前記電源検知回路からの信号に基づき、

前記第1及び前記第2クランプスイッチ素子を制御して前記第1及び前記第2配線を所定電圧に固定し、

所定数の前記選択線を選択して、前記各容量素子の第2端子を設定電圧にすると共に、前記第2クランプスイッチ素子を制御して前記第2配線から前記所定電位を切り離し、前記基準電圧を供給し、

更に所定数の前記選択線を非選択とした後、前記第1クランプスイッチ素子を制御して前記第1配線から前記所定電位を切り離し、前記基準電圧を供給することを特徴とする半導体記憶装置。

(付記16) 前記所定電圧は、

前記第1配線については、前記記憶セルにおけるハイレベル電圧あるいはローレベル電圧であり、前記第2配線については、前記ローレベル電圧であり、

10

20

30

40

50

前記基準電圧は、前記ハイレベル電圧と前記ローレベル電圧との相加平均電圧であり、
前記設定電圧は前記所定電圧であり、所定数の前記選択線を非選択とした後も前記各容量素子の第2端子は前記設定電圧を保持することを特徴とする付記15に記載の半導体記憶装置。

(付記17) 前記電源検知回路からの信号に基づき、所定数の前記選択線を選択する回路は、試験時において試験信号に基づき、所定数の前記選択線を活性化する前記選択線の制御回路であることを特徴とする付記8乃至16の少なくとも何れか1項に記載の半導体記憶装置。

(付記18) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行い、更に前記蓄積電荷をセルフリフレッシュするリフレッシュ制御回路を備える半導体記憶装置において、

電源電圧の投入を検知する電源検知回路を備え、

前記電源検知回路からの信号に基づき、前記リフレッシュ制御回路を起動することを特徴とする半導体記憶装置。

(付記19) 前記電源検知回路からの信号は、前記リフレッシュ制御回路におけるセルフリフレッシュ動作の周期を変更することを特徴とする付記18に記載の半導体記憶装置。

(付記20) 前記リフレッシュ制御回路へのトリガを発生するリフレッシュトリガ回路と、

前記リフレッシュ制御回路におけるリフレッシュ回数をカウントするリフレッシュ回数カウント回路とを備え、

前記リフレッシュ回数カウント回路によりセルフリフレッシュ動作の回数が所定回数となった場合、前記リフレッシュトリガ回路を非活性とすることを特徴とする付記18又は19に記載の半導体記憶装置。

(付記21) 前記電源検知回路は、パワーオンリセット回路であり、

前記電源検知回路からの信号は、パワーオンリセット回路からの出力信号、あるいは前記出力信号に基づき生成した所定パルス幅を有するパルス信号であることを特徴とする付記3及び7乃至20の少なくとも何れか1項に記載の半導体記憶装置。

(付記22) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置の制御方法において、

前記各容量素子の第2端子への電荷の注入・放出の際に前記各容量素子により容量結合されて注入される電荷に伴う電位変動を抑制するため電位変動抑制容量素子を前記基準端子に接続することを特徴とする半導体記憶装置の制御方法。

(付記23) 電源電圧が投入されたことを検知して、所定数の前記記憶セル毎に設けられる複数のデータ線に基準電圧を供給する第1配線と、前記基準端子に基準電圧を供給する第2配線とを接続することを特徴とする付記22に記載の半導体記憶装置の制御方法。

(付記24) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置の制御方法において、

電源電圧が投入されたことを検知して、所定数の前記記憶セルにおける前記各容量素子の第2端子に電荷を注入すると共に、これと同数の他の前記記憶セルにおける前記各容量素子の第2端子から電荷を放出することを特徴とする半導体記憶装置の制御方法。

(付記25) 前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、2本で1対のデータ線対を差動増幅する複数のセンスアンプ回路と、前記各データ線と前記各容量素子の第2端子とを電氣的に接続する選択線とを有しており、

10

20

30

40

50

電源電圧が投入されたことを検知して、前記各選択線を選択することにより、所定数の前記データ線対を構成する前記各データ線に、同数の前記容量素子の第2端子を電氣的に接続することを特徴とする付記24に記載の半導体記憶装置の制御方法。

(付記26) 前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線と、前記各容量素子の第2端子から蓄積電荷が前記各データ線に放出された際、前記各データ線に電荷を追加補充する複数のダミー選択線とを有しており、

電源電圧が投入されたことを検知して、前記各選択線及び前記各ダミー選択線を選択することにより、所定数の前記容量素子の第2端子に電荷を注入・放出する際、前記各ダミー選択線のうちの半分を論理反転することを特徴とする付記24に記載の半導体記憶装置の制御方法。

10

(付記27) 前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線を有しており、

電源電圧が投入されたことを検知して、前記各選択線を選択することにより、所定数の前記記憶セル毎に電荷の注入と放出を交互に切り替えて前記データの書き込みを行なうことを特徴とする付記24に記載の半導体記憶装置の制御方法。

(付記28) 前記データの論理レベルは、論理ハイレベル、あるいは論理ローレベルの固定であり、

前記各データ線対を構成する前記各データ線に接続される前記各記憶セルから、前記データ線毎に同数の前記記憶セルを選択することを特徴とする付記27に記載の半導体記憶装置の制御方法。

20

(付記29) 前記制御方法による動作は、前記複数の記憶セルのうち所定数の記憶セルを一単位として纏めた各セルブロック単位で行なわれることを特徴とする付記24乃至28の少なくとも何れか1項に記載の半導体記憶装置の制御方法。

(付記30) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置の制御方法において、

前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、前記各データ線に基準電圧を供給する第1配線と、前記基準端子に基準電圧を供給する第2配線と、前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線とを有しており、

30

電源電圧が投入されたことを検知して、前記第1配線あるいは前記第2配線を前記所定電圧に固定し、所定数の前記選択線を選択して前記各容量素子の第2端子を設定電圧にした後、所定数の前記選択線を非選択として、前記第1配線あるいは前記第2配線から前記所定電位を切り離して前記基準電圧を供給することを特徴とする半導体記憶装置の制御方法。

(付記31) 前記所定電圧は、前記容量素子の第2端子におけるハイレベル電圧あるいはローレベル電圧であり、

40

前記基準電圧は、前記ハイレベル電圧と前記ローレベル電圧との相加平均電圧であり、

前記第1配線が前記所定電圧に固定される場合、前記設定電圧は前記所定電圧であり、所定数の前記選択線を非選択とした後も前記各容量素子の第2端子は前記設定電圧を保持し、

前記第2配線が前記所定電圧に固定される場合、前記設定電圧は前記基準電圧となり、所定数の前記選択線を非選択とした後は、前記第2配線が前記基準電圧となる際、前記基準端子からの容量結合により前記各容量素子の第2端子は前記所定電圧と反対の電圧となることを特徴とする付記30に記載の半導体記憶装置の制御方法。

(付記32) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄

50

積を、前記各容量素子の第2端子への電荷の注入・放出により行う半導体記憶装置の制御方法において、

前記各容量素子の第2端子への電荷の注入・放出の経路として所定数の前記記憶セル毎に設けられる複数のデータ線と、前記各データ線に基準電圧を供給する第1配線と、前記基準端子に基準電圧を供給する第2配線と、前記各データ線と前記各容量素子の第2端子とを電氣的に接続する複数の選択線とを有しており、

電源電圧が投入されたことを検知して、前記第1及び前記第2配線を所定電圧に固定し、所定数の前記選択線を選択して、前記各容量素子の第2端子を設定電圧にすると共に、前記第2配線から前記所定電位を切り離して前記基準電圧を供給し、更に所定数の前記選択線を非選択とした後、前記第1配線から前記所定電位を切り離して前記基準電圧を供給することを特徴とする半導体記憶装置の制御方法。

10

(付記33) 前記所定電圧は、

前記第1配線については、前記記憶セルにおけるハイレベル電圧あるいはローレベル電圧であり、前記第2配線については、前記ローレベル電圧であり、

前記基準電圧は、前記ハイレベル電圧と前記ローレベル電圧との相加平均電圧であり、

前記設定電圧は前記所定電圧であり、所定数の前記選択線を非選択とした後も前記各容量素子の第2端子は前記設定電圧を保持することを特徴とする付記32に記載の半導体記憶装置の制御方法。

(付記34) 容量素子に電荷を蓄積することによりデータを記憶する複数の記憶セルを備え、前記各容量素子の第1端子を共通に接続して基準端子とすると共に、前記電荷の蓄積を、前記各容量素子の第2端子への電荷の注入・放出により行い、更に前記蓄積電荷をセルフリフレッシュするリフレッシュ制御回路を備える半導体記憶装置の制御方法において、

20

電源電圧が投入されたことを検知して、前記リフレッシュ制御回路を起動することを特徴とする半導体記憶装置の制御方法。

(付記35) 電源電圧が投入されたことを検知して、前記リフレッシュ制御回路におけるセルフリフレッシュ動作の周期を変更することを特徴とする付記34に記載の半導体記憶装置の制御方法。

(付記36) 前記リフレッシュ制御回路によるセルフリフレッシュ動作の回数が所定回数となった場合、前記リフレッシュ制御回路を非活性とすることを特徴とする付記34又は35に記載の半導体記憶装置の制御方法。

30

(付記37) 前記制御方法は、前記電源電圧が投入された後の所定期間において行なわれることを特徴とする付記22乃至36の少なくとも何れか1項に記載の半導体記憶装置の制御方法。

【0131】

【発明の効果】

本発明によれば、メモリセルに電荷蓄積用のセルキャパシタを備え、電荷の蓄積よりデータ記憶を行なう半導体記憶装置において、電源投入時において、全てのセルキャパシタの電荷蓄積ノードには蓄積電荷は存在しないかあっても微小である状態からアクセス動作に移行する場合においても、セルプレート電位が変動しない半導体記憶装置を提供することが可能となる。

40

【図面の簡単な説明】

【図1】 第1実施形態の半導体記憶装置を示す回路ブロック図である。

【図2】 第1実施形態の効果を示す説明図である。

【図3】 第2実施形態の半導体記憶装置を示す回路ブロック図である。

【図4】 第3実施形態の半導体記憶装置を示す回路ブロック図である。

【図5】 第3実施形態の半導体記憶装置の動作を示す波形図である。

【図6】 第3実施形態の半導体記憶装置の動作を示す回路図である。

【図7】 第4実施形態の半導体記憶装置を示す回路ブロック図である。

【図8】 ダミーセルの例を示す回路図である。

50

- 【図 9】 第 4 実施形態の半導体記憶装置の動作を示す波形図である。
- 【図 10】 第 5 実施形態の半導体記憶装置を示す回路ブロック図である。
- 【図 11】 第 5 実施形態の半導体記憶装置の動作を示す波形図である。
- 【図 12】 第 6 実施形態の半導体記憶装置を示す回路ブロック図である。
- 【図 13】 第 6 実施形態の半導体記憶装置の動作を示す波形図である。
- 【図 14】 第 7 実施形態の半導体記憶装置を示す回路ブロック図である。
- 【図 15】 従来技術の半導体記憶装置を示す回路ブロック図である。
- 【図 16】 基準電圧発生回路を示す回路図である。
- 【図 17】 ビット線対に接続された 1 組のメモリセル対を示す回路図である。
- 【図 18】 メモリセルの断面図である。
- 【図 19】 従来技術の半導体記憶装置の動作を示す波形図である。

10

【符号の説明】

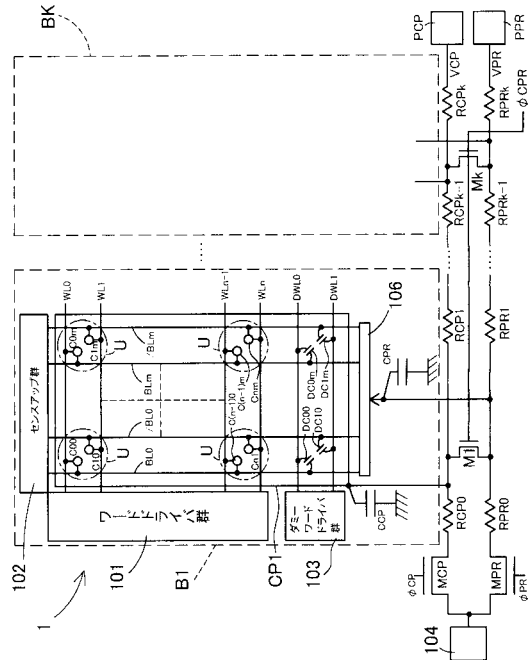
9、11	ノアゲート
10、12	NMOSトランジスタ
60	反転選択回路
70	パルス拡張回路
80	制御回路
92	リフレッシュトリガ回路
94	カウンタ回路
96	遅延回路
101	ワードドライバ群
102	センスアンプ群
103	ダミーワードドライバ群
104	基準電圧発生回路
104B	基準電圧発生部
104D	基準電圧駆動部
105	電源検知回路
107	リフレッシュ制御回路
C0、C1	セルキャパシタ
CP1	セルプレート
I1乃至Ik	反転スイッチ回路
M1乃至Mk	NMOSトランジスタ
CCP	セルプレート寄生容量
CPR	ビット線イコライズ容量
ST0、ST1	電荷蓄積ノード

20

30

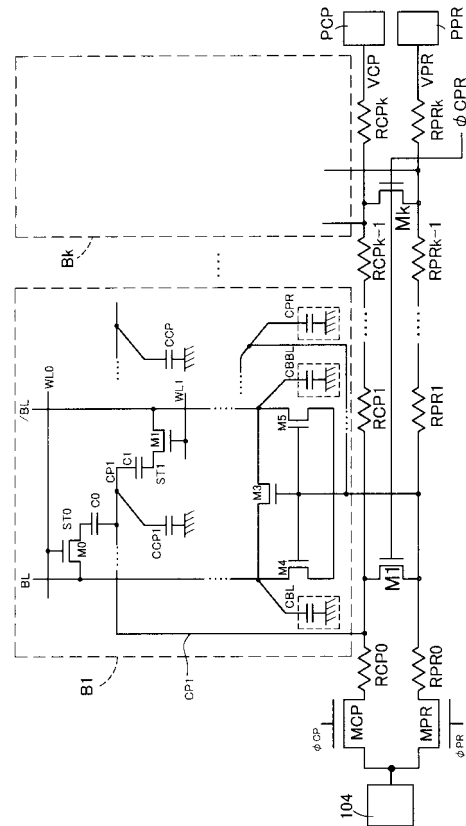
【図 1】

第1実施形態の半導体記憶装置の回路ブロック図



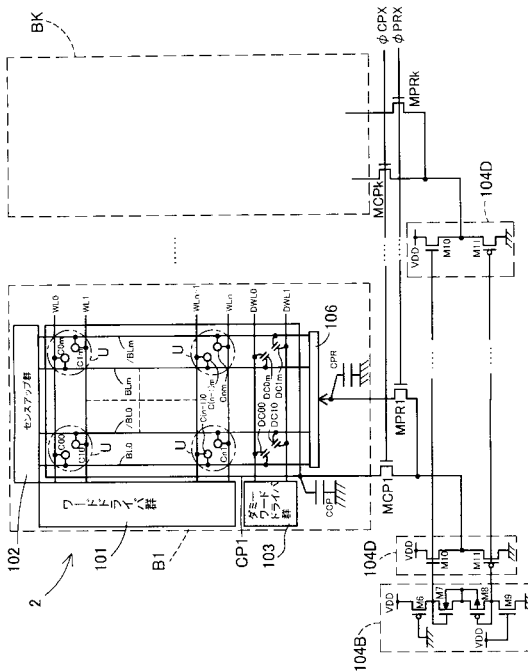
【図 2】

第1実施形態の効果を示す説明図



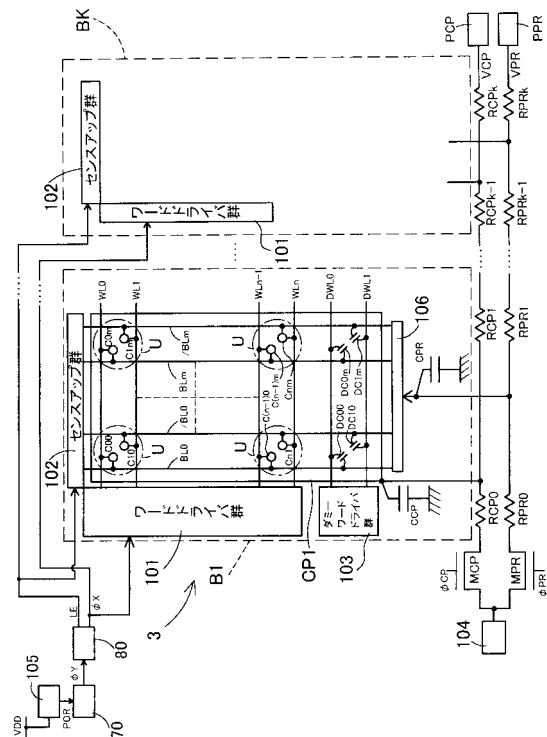
【図 3】

第2実施形態の半導体記憶装置の回路ブロック図



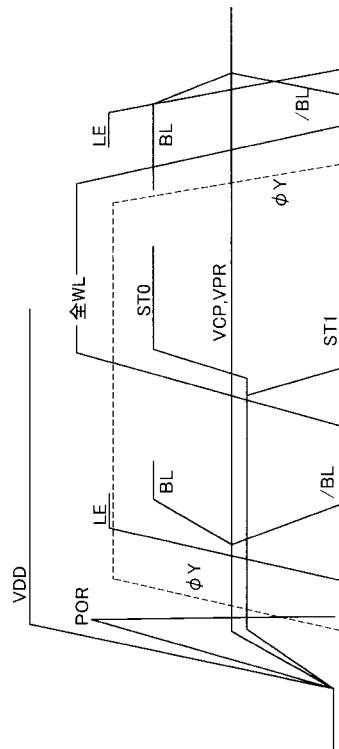
【図 4】

第3実施形態の半導体装置の回路ブロック図



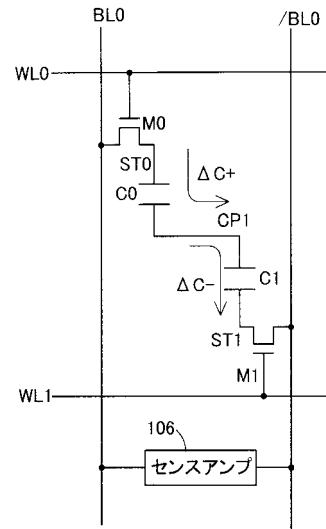
【図5】

第3実施形態の動作波形図



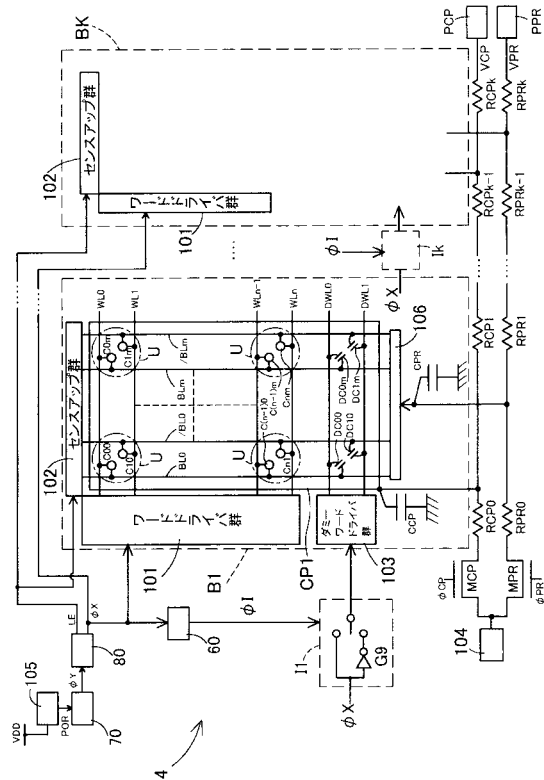
【図6】

第3実施形態の動作を示す回路図



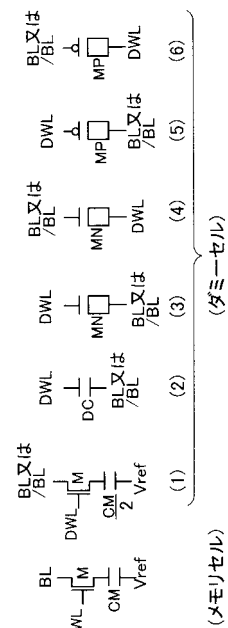
【図7】

第4実施形態の半導体装置の回路ブロック図



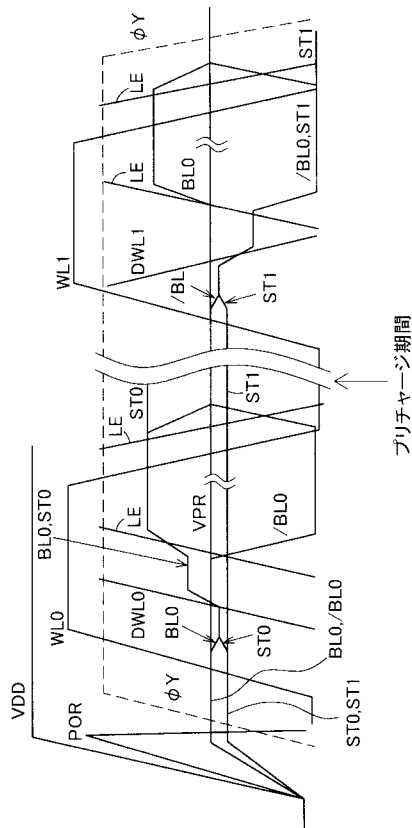
【図8】

ダミーセル例



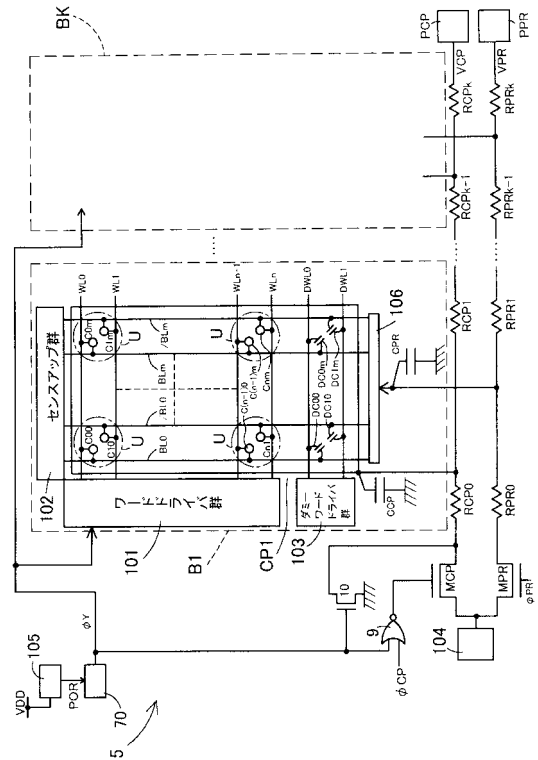
【図 9】

第4実施形態の動作波形図



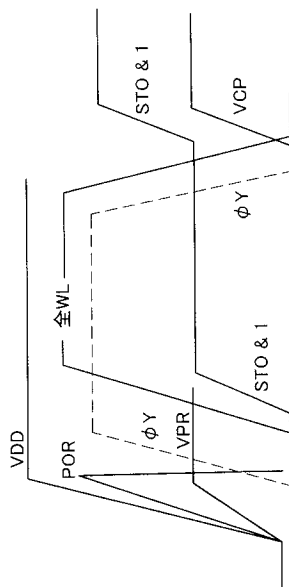
【図 10】

第5実施形態の半導体記憶装置の回路ブロック図



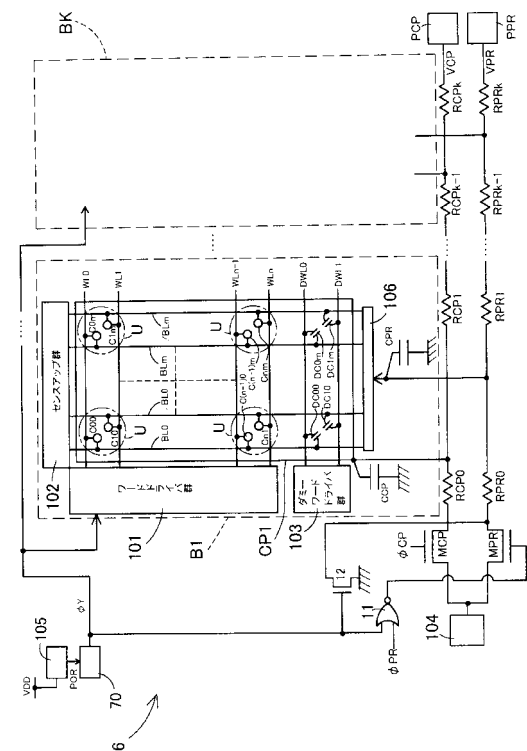
【図 11】

第5実施形態の動作波形図



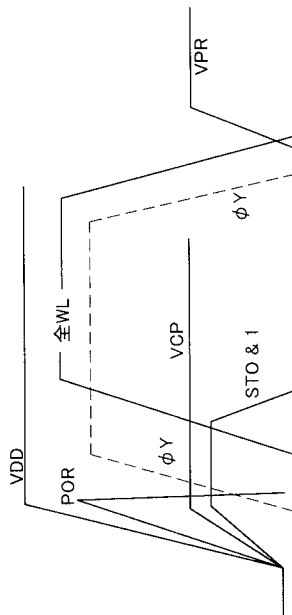
【図 12】

第6実施形態の半導体記憶装置の回路ブロック図



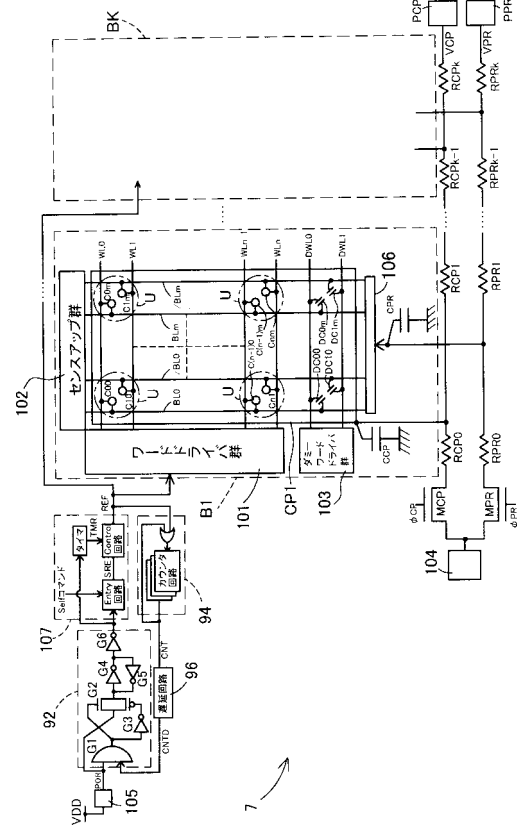
【図 13】

第6実施形態の動作波形図



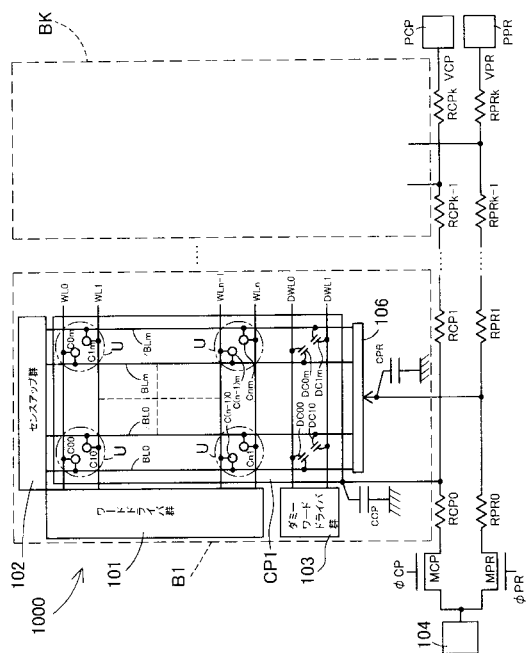
【図 14】

第7実施形態の半導体記憶装置の回路ブロック図



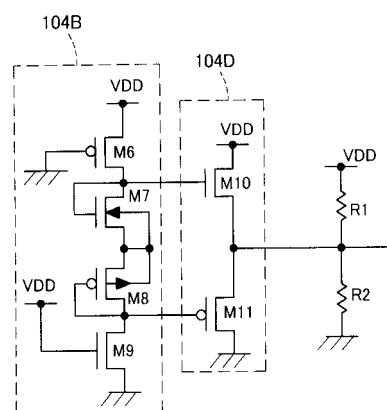
【図 15】

従来技術の半導体記憶装置の回路ブロック図



【図 16】

基準電圧発生回路



フロントページの続き

(51) Int.Cl.

F I

G 1 1 C 11/406 (2006.01)

G 1 1 C 11/34 3 6 3 F

G 1 1 C 11/4072 (2006.01)

G 1 1 C 11/34 3 7 1 E

G 1 1 C 11/22 (2006.01)

G 1 1 C 11/34 3 6 3 L

G 1 1 C 11/22 5 0 1 K

G 1 1 C 11/22 5 0 1 P

審査官 園田 康弘

(56)参考文献 特開2000-030440(JP,A)

特開2001-093277(JP,A)

特開平06-044779(JP,A)

特開平05-121650(JP,A)

特開平06-251581(JP,A)

特開平05-120870(JP,A)

特開平02-126493(JP,A)

特開2000-215670(JP,A)

特開平10-055681(JP,A)

特開平06-187781(JP,A)

特開2000-243091(JP,A)

特開平11-025688(JP,A)

特開平07-201177(JP,A)

特開平08-106799(JP,A)

特開平08-124377(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/404

G11C 11/22

G11C 11/401

G11C 11/406

G11C 11/4072

G11C 11/4074

H01L 21/8242

H01L 27/108