

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

成像裝置及電子設備

IMAGING DEVICE AND ELECTRONIC APPARATUS

[相關申請案之交叉參考]

本申請案主張2014年2月28日申請之日本優先專利申請案JP 2014-038584之權利，該案之全文以引用方式併入本文中。

【技術領域】

本發明係關於一種成像裝置及一種電子設備，特定言之，本發明係關於其中可改良隨機雜訊之固態成像裝置及電子設備。

【先前技術】

在專利文獻1中所揭示之一背面照明型CMOS影像感測器(其採用一像素共用佈局作為抵抗PRNU (光回應非均勻性：靈敏度不均勻性)之一對策)中，將像素電晶體(下文中指稱像素Tr.)分成兩個群組，且對稱地配置電晶體。

本發明係針對藉由相對於一光電二極體(下文中指稱PD)對稱地配置一放大電晶體(下文中指稱AMP)、一選擇電晶體(下文中指稱SEL)及一重設電晶體(下文中指稱RST)來在兩個群組之間等化藉由電晶體(Tr.)之多晶矽之來自背面側之入射光之反射量或吸收量。

[引用列表]

[專利文獻]

[引用列表]

[專利文獻]

[PTL1]

JP 2013-62789A

【發明內容】**[技術問題]**

然而，根據專利文獻1中所揭示之技術，無法延長電晶體之各者之一L長度，此係因為將像素電晶體分成兩個群組。因此，可增加RN(隨機雜訊)問題。

更具體言之，在其中將AMP及SEL配置成一第一群組(群組1)且將兩個電晶體配置成一第二群組(群組2)之情況中，群組1中所需之源極-汲極之數目係3且群組2中所需之源極-汲極之數目係3，即，總共6個。此時，由於一微影線寬度之限制、處理多晶矽及一接觸孔以確保隔離崩潰電壓之限制等等，延長電晶體之L長度存在一限制。特定言之，在微型化之情況中，來自此一狀態之影響相當嚴重，且RN邊限可歸因於AMP之短L長度而劣化。

鑑於上述情形而達成本發明，且可由本發明改良隨機雜訊邊限。

[問題之解決方案]

根據本發明之一實施例之一固態成像裝置包含：一光電轉換元件群組，其包含塑形成一矩形之一共用單元；及一像素電晶體群組，其配置為該光電轉換元件群組之長邊方向上之一群組，其中該像素電晶體群組之各自像素電晶體經配置以便實質上相對於該光電轉換元件群組對稱。

一虛設電晶體包含於該像素電晶體群組中。

該像素電晶體群組配置於自該光電轉換元件群組之該矩形共用單元移位之一位置處。

包含於該像素電晶體群組中之一放大電晶體之一L長度長於包含於該像素電晶體群組中之其他電晶體之L長度。

包含於該像素電晶體群組中之該放大電晶體之該L長度係該光電轉換元件群組之一間距之0.6倍至1.4倍。

包含於該像素電晶體群組中之一選擇電晶體之一L長度長於包含於該像素電晶體群組中之其他電晶體之L長度。

一井接觸件進一步設置於該光電轉換元件群組與定位於該光電轉換元件群組緊鄰處之另一光電轉換元件群組之間。

一井接觸件進一步設置於該像素電晶體群組與定位於該像素電晶體群組緊鄰處之另一像素電晶體群組之間。

該固態成像裝置係一背面照明類型。

根據本發明之一實施例之一電子設備包含：

一固態成像裝置，其包含：一光電轉換元件群組，其具有塑形成一矩形之一共用單元；及一像素電晶體群組，其配置為該光電轉換元件群組之一長邊之一方向上之一群組，其中該像素電晶體群組之各自像素電晶體經配置以便實質上相對於該光電轉換元件群組對稱；

一信號處理電路，其經組態以處理自該固態成像裝置輸出之一輸出信號；及

一光學系統，其經組態以使用入射光來照射該固態成像裝置。

一虛設電晶體包含於該像素電晶體群組中。

該像素電晶體群組配置於自該光電轉換元件群組之該矩形共用單元移位之一位置處。

包含於該像素電晶體群組中之一放大電晶體之一L長度長於包含於該像素電晶體群組中之其他電晶體之L長度。

包含於該像素電晶體群組中之該放大電晶體之該L長度係該光電轉換元件群組之一間距之0.6倍至1.4倍。

一井接觸件進一步設置於該光電轉換元件群組與定位於該光電轉換元件群組緊鄰處之另一光電轉換元件群組之間。

一井接觸件進一步設置於該像素電晶體群組與定位於該像素電晶體群組緊鄰處之另一像素電晶體群組之間。

該固態成像裝置係一背面照明類型。

根據本發明之一實施例，一光電轉換元件群組包含塑形成一矩形之一共用單元，且一像素電晶體群組配置為該光電轉換元件群組之一長邊之一方向上之一群組。此外，該像素電晶體群組之各自像素電晶體經配置以便實質上相對於該光電轉換元件群組對稱。

[本發明之有利效應]

根據本發明之一實施例，可實質上相對於光電二極體而對稱地配置形成電晶體之多晶矽。此外，根據本發明之一實施例，可減少隨機雜訊。

應注意，本發明中所述之效應僅係實例，且本發明之效應不限於為本說明書中所述之效應，而是可包含額外效應。

【圖式簡單說明】

圖1係繪示本發明應用於其之一固態成像裝置之一實例性示意組態的一方塊圖；

圖2係繪示包含三個電晶體之一像素之一例示性組態的一電路圖；

圖3係繪示包含四個電晶體之一像素之一例示性組態的一電路圖；

圖4係繪示具有一共用像素結構之一像素之一例示性組態的一電路圖；

圖5係繪示本發明應用於其之一固態成像裝置之一第一例示性組態的一圖式；

圖6係繪示電晶體之一不同配置實例的一圖式；

圖7係繪示電晶體之另一不同配置實例的一圖式；

圖8係繪示電晶體之又一不同配置實例的一圖式；

圖9係繪示本發明應用於其之固態成像裝置之一第二例示性組態的一圖式；

圖10係繪示本發明應用於其之固態成像裝置之一第三例示性組態的一圖式；

圖11係繪示本發明應用於其之固態成像裝置之一第四例示性組態的一圖式；

圖12係繪示電晶體之另一不同配置實例的一圖式；及

圖13係本發明應用於其之一電子設備之一例示性組態的一方塊圖。

【實施方式】

在下文中，將描述用於實施本發明之實施例(下文中指稱實施例)。應注意，將依以下順序提供一描述。

0. 固態成像裝置之示意組態之實例

1. 第一實施例(4電晶體型8像素共用之實例)
2. 第二實施例(4電晶體型2像素共用之實例)
3. 第三實施例(4電晶體型16像素共用之實例)
4. 第四實施例(3電晶體型8像素共用之實例)
5. 第五實施例(一電子設備之實例)

0. 固態成像裝置之示意組態之實例

<固態成像裝置之示意組態之實例>

圖1係繪示應用於本發明之各自實施例之一CMOS (互補金屬氧化物半導體)固態成像裝置之一示意組態之一實例的一圖式。

如圖1中所繪示，一固態成像裝置(裝置晶片) 1包含一像素區域(所謂的成像區域) 3及一周邊電路。在像素區域3中，包含複數個光電轉換元件之像素2規則地且二維地排列於一半導體基板11 (例如矽基

板)上。

像素2包含一光電轉換元件(例如光電二極體)及複數個像素電晶體(所謂的MOS電晶體)。該複數個像素電晶體可包含三個電晶體(諸如一轉移電晶體、一重設電晶體及一放大電晶體)，且亦可藉由進一步新增一選擇電晶體而包含四個電晶體。各像素2 (單位像素)之一等效電路相同於一般所應用之電路，且因此將在此處省略其之一描述。

另外，像素2可具有像素共用之一結構。像素共用之該結構包含複數個光電二極體、複數個轉移電晶體、待共用之一浮動擴散區及待共用之其他像素電晶體之各者中之一者。光電二極體係一光電轉換元件。

一周邊電路包含一垂直驅動電路4、一行信號處理電路5、一水平驅動電路6、一輸出電路7及一控制電路8。

控制電路8接收資料以執行用於一輸入時脈、一操作模式等等之命令，且輸出資料(諸如固態成像裝置1之內部資訊)。更具體言之，控制電路8產生一垂直同步信號及一水平同步信號，且亦基於一主時脈而產生一時脈信號及一控制信號，該控制信號控制垂直驅動電路4、行信號處理電路5及水平驅動電路6之操作。此外，控制電路8將此等信號輸入至垂直驅動電路4、行信號處理電路5及水平驅動電路6。

垂直驅動電路4包含(例如)一移位暫存器，且選擇一像素驅動線，將一脈衝供應給該選定像素驅動線以驅動像素2，且以列為單位驅動像素2。更具體言之，垂直驅動電路4以列為單位在一垂直方向上循序地選擇性掃描一像素區域3中之像素2之各者，且基於根據像素2之各者中之光電轉換元件中之光接收量所產生之信號電荷而經由一垂直信號線9將一像素信號供應給行信號處理電路5。

行信號處理電路5 (例如)依據像素2之行而配置，且以像素行為單位對自一列之像素2輸出之一信號執行信號處理，諸如雜訊消除。更

具體言之，行信號處理電路5執行信號處理(諸如CDS (相關雙重取樣)、信號放大、A/D (類比/數位)轉換等等)以消除像素2獨有之固定型樣雜訊。一水平選擇開關(圖中未繪示)設置於行信號處理電路5之一輸出級處以連接於至水平信號線10之途中。

水平驅動電路6包含(例如)移位暫存器，且循序地輸出一水平掃描脈衝，藉此依序選擇行信號處理電路5之各者且引起行信號處理電路5之各者將像素信號輸出至水平信號線10。

輸出電路7對自行信號處理電路5之各者經由水平信號線10而循序地供應之信號執行信號處理，且輸出信號。輸出電路7可執行(例如)僅緩衝，或可執行黑色位準調整、行變動校正、各種數位信號處理等等。

一輸入及輸出端子12經設置以與組件或裝置交換信號。

<像素之例示性組態>

圖2係繪示一全域快門型CMOS感測器中之一像素之一例示性組態的一圖式。圖2之實例中繪示包含三個電晶體(下文中指稱Tr.)之例示性組態(下文中亦指稱3電晶體類型)。

圖2中之像素2包含共用之一浮動擴散區(下文中指稱FD) 21、一光電二極體22、及一單位像素內之三個共用或像素電晶體。該三個共用電晶體分別係一重設電晶體23、一轉移電晶體24及一放大電晶體25。

光電二極體22具有連接至一負側電源(例如接地)之一陽極電極，且根據光量而將所接收之光光電地轉換為光電荷(在此情況中，光電子)。光電二極體22具有經由一轉移電晶體24而電連接至放大電晶體25之一閘極電極之一陰極電極。電連接至放大電晶體25之閘極電極及轉移電晶體24之一節點係FD 21。轉移電晶體24連接於光電二極體22之陰極電極與FD 21之間。由轉移電晶體24之閘極電極經由一轉移線

(圖中未繪示)而接收具有一高態有效位準(例如VDD位準)(下文中指稱高態有效)之一轉移脈衝 ϕ_{TRF} 。藉由接收轉移脈衝 ϕ_{TRF} ，轉移電晶體24變為一接通狀態，且將已在光電二極體22處經光電轉換之光電荷轉移至FD 21。

重設電晶體23分別具有連接至像素電源VDD之一汲極電極及連接至FD 21之一源極電極。在將信號電荷自光電二極體22轉移至FD 21之前，由重設電晶體23之一閘極電極經由一重設線(圖中未繪示)而接收一高態有效重設脈衝 ϕ_{RST} 。藉由接收重設脈衝 ϕ_{RST} ，重設電晶體23被置於一接通狀態中，且使FD 21之電荷放電至像素電源VDD，藉此重設FD 21。

放大電晶體25具有連接至FD 21之一閘極電極、連接至像素電源VDD之一汲極電極、及連接至垂直信號線之一源極電極。另外，放大電晶體25輸出已由重設電晶體23重設之FD 21之一電位作為一重設信號(重設位準) V_{reset} 。此外，放大電晶體25進一步輸出在由轉移電晶體24轉移信號電荷之後之FD 21之電位作為一光累積信號(信號位準) V_{sig} 。

圖3係繪示全域快門型CMOS感測器中之像素之一不同組態的一圖式。圖3之實例中繪示四個電晶體之例示性組態(下文中亦稱為4電晶體類型)。

圖3中之一像素2與圖2中之像素2之類似點在於：兩個像素2包含FD 21、光電二極體22、重設電晶體23、轉移電晶體24及放大電晶體25。圖3中之像素2與圖2中之像素2之不同點在於：新增一選擇電晶體31。

例如，選擇電晶體31分別具有連接至放大電晶體25之一源極電極之一汲極電極及連接至垂直信號線之一源極電極。由選擇電晶體31之閘極電極經由一選擇線(圖中未繪示)而接收一高態有效選擇脈衝

ϕ SEL。藉由接收選擇脈衝 ϕ SEL，選擇電晶體31進入一接通狀態且將一單位像素置於一選定狀態中，藉此將自放大電晶體25輸出之一信號中繼至垂直信號線。

同時，選擇電晶體31亦可連接於像素電源VDD與放大電晶體25之汲極之間。

<像素共用之例示性結構>

圖4係繪示一結構(其中一組電晶體由兩個像素、四個像素及八個像素共用)的一圖式。該組電晶體包含上文參考圖2所描述之重設電晶體23及放大電晶體25，或包含參考圖3所描述之重設電晶體23、放大電晶體25及選擇電晶體31。在兩種情況中，各光電二極體需要一轉移電晶體，且該轉移電晶體直接連接至各光電二極體。

更具體言之，在2像素共用之情況中，經由FD 21而將一對轉移電晶體41及光電二極體42新增至圖3中之像素2之組態。換言之，在此情況中，一組電晶體經組態以由兩個像素(光電二極體22及光電二極體42)共用。

在4像素共用之情況中，經由FD 21而將兩對轉移電晶體51-1、51-2及光電二極體52-1、52-2進一步新增至上述2像素共用結構。換言之，在此情況中，一組電晶體經組態以由四個像素(光電二極體22、光電二極體42、光電二極體52-1及52-2)共用。

在8像素共用之情況中，經由FD 21而將四對轉移電晶體61-1至61-4、光電二極體62-1至62-4進一步新增至上述4像素共用結構。換言之，在此情況中，一組電晶體經組態以由八個像素(光電二極體22、光電二極體42、光電二極體52-1、52-2及光電二極體62-1至62-4)共用。

第一實施例

<根據本發明之固態成像裝置之例示性組態>

圖5係繪示本發明應用於其之一固態成像裝置之一例示性組態的一圖式。圖5之實例中繪示一情況，其中固態成像裝置包含4電晶體型8像素共用(2×4個像素)之一背面照明型CMOS感測器。

一般而言，4電晶體類型具有一區域，其中包含上文所描述之一重設電晶體(RST)、一放大電晶體(AMP)及一選擇電晶體(SEL)之三個電晶體配置於其中配置光電二極體之一光電二極體區域旁邊。此外，假定：轉移電晶體配置於該光電二極體區域中，此係因為轉移電晶體直接連接至光電二極體。

在圖5之一固態成像裝置101中，光電二極體111之2×4個像素(其係一像素共用單元)及轉移電晶體112之2×4個像素配置為圖式之左側上之光電二極體區域中之一PD群組121。

在PD群組121中，光電二極體111之2×4個像素及轉移電晶體112之2×4個像素經配置使得每4個像素排列於圖式之一垂直方向上之兩個階段中以便形成一垂直長矩形。

另一方面，在固態成像裝置101中，一選擇電晶體115、一放大電晶體116、一虛設電晶體117及一重設電晶體118 (其等直接連接至一源極汲極114)配置為圖式之右側上之除光電二極體之外之一區域中之一電晶體群組122。

換言之，包含選擇電晶體115、放大電晶體116、虛設電晶體117及重設電晶體118之像素電晶體配置為包含光電二極體111之2×4個像素之一PD群組121之一長邊之一側上之一電晶體群組122。

藉由此配置，可延長放大電晶體116之一L長度(至少長於其他電晶體)，藉此達成改良之RN (隨機雜訊)效能。應注意，放大電晶體之長邊未必等於L長度，但放大電晶體中之L長度方向一般較長(鑑於RN之一觀點)且在本實施例中L長度亦為長邊。換言之，L長度表示鏈接源極-汲極之一方向之一長度。

同時，不僅放大電晶體116可具有經延長之L長度，選擇電晶體17亦可具有經延長之L長度。在延長選擇電晶體之L長度之情況中，可減少一短通道效應且可獲得一穩固隨機雜訊邊限。

此外，電晶體群組122之各自像素電晶體經配置以便相對於PD群組121之各自光電二極體111位置對稱(即，相對於光電二極體光學對稱)。

更具體言之，如由虛線圓所指示，放大電晶體116定位於上側4個像素之一右下處之光電二極體111旁邊，但下側4個像素之右下處之光電二極體111旁邊不存在電晶體。因此，儘管具有一相同色彩(例如綠色)，但光學性質可歸因於多晶矽密度之差異而改變。

藉此，在固態成像裝置101中，設置虛設電晶體117 (其係重設電晶體118之一虛設件)，且兩個重設電晶體設置於電晶體群組122中。更具體言之，選擇電晶體115及放大電晶體116設置於上側4個像素上之轉移電晶體112附近，且虛設電晶體117及重設電晶體118設置於下側4個像素上之轉移電晶體112附近。應注意，未必如電晶體般驅動虛設電晶體117。換言之，可驅動虛設電晶體117，或可僅設置而無需驅動虛設電晶體117。

因此，可改良對稱性，此係因為可藉由圖式之下側處所繪示之虛設電晶體117及重設電晶體118而在電晶體群組122中獲得實質上等效於選擇電晶體115及放大電晶體116之側(閘極、源極及汲極之大小)之佈局。藉由此結構，可減少由電晶體之間之多晶矽密度之差異引起之影響，且可改良固態成像裝置101之PRNU (光回應非均勻性：靈敏度不均勻性)。

應注意，虛設電晶體117不限於為重設電晶體118之虛設件，而是可為其他電晶體之一虛設件。

此外，在固態成像裝置101中，一井接觸件113配置於PD群組121

與其他PD群組121 (圖中未繪示，但配置於圖式之上側及下側上)之間。藉由此配置，可有效地確保用於額外電晶體之一區域。應注意，在下文中，PD群組121之一配置間隔將指稱PD群組121之一間距。

此外，由於井接觸件113影響各種像素特性(尤其是暗電流)，所以可藉由將井接觸件配置於PD群組121與其他PD群組121 (其配置於圖式之上側及下側上)之間而抑制像素之間之差異。換言之，因為藉由如上文所描述般配置井接觸件113而依相距於全部PD之相等間隔定位井接觸件，所以像素之間之差異可較小。

此外，在其中電晶體之多晶矽之對稱性較高之情況中，無需設置額外虛設電晶體作為抵抗PRNU之一對策，如接下來圖6中所繪示。

<電晶體配置之其他實例>

圖6係繪示本發明應用於其之固態成像裝置中之光電二極體及電晶體之一例示性配置的一圖式。

在圖6之一固態成像裝置151中，電晶體群組122依相同於圖5中之固態成像裝置101之方式配置於包含光電二極體111之 2×4 個像素之一PD群組121之長邊之側上。因此，如由放大電晶體116之L長度所展示，可延長一既有電晶體之L長度，藉此達成改良之RN (隨機雜訊)效能。

另一方面，圖6中之固態成像裝置151與圖5中之固態成像裝置101之不同點在於：自電晶體群組122排除虛設電晶體117，且電晶體群組122相對於PD群組121之一配置位置係不同的。

更具體言之，在電晶體群組122中，放大電晶體116配置於圖式之上側上之轉移電晶體112之4個像素旁邊，且選擇電晶體115及重設電晶體118配置於圖式之上側上之一側(其中未設置轉移電晶體112)上之光電二極體111之4個像素之角隅處，如由箭頭P1及P2所指示。另外，如由箭頭P3所指示，對應於配置於PD群組121下方之另一PD群組121

之電晶體群組122之選擇電晶體115亦配置於圖式之下側上之側(其中未設置轉移電晶體112)上之光電二極體111之4個像素之角隅處。

此外，藉由此配置，電晶體群組122經配置以相對於PD群組121之位置而整體移位至圖式之上側。在圖5之實例中，PD群組121之位置及電晶體群組122之位置係對準的。相比而言，在圖6之實例中，電晶體群組122相對於PD群組121之一矩形共用單元而向上移位達一光電二極體111之長邊之長度。應注意，移位量不受限為一光電二極體111之長邊之長度。此應同樣適用於下文。

此外，井接觸件113配置於圖式之下側上之轉移電晶體112之4個像素旁邊以改良圖6之固態成像裝置151中之光電二極體111之4個上像素與4個下像素之間之對稱性。應注意，放大電晶體116及井接觸件113未必分別定位於轉移電晶體112之4個電晶體之右旁，且在定位於轉移電晶體112之右旁附近之情況中，可預期對稱性改良之一效應。

如上文所描述，在圖6之固態成像裝置151中，可在不設置虛設電晶體之情況下改良PRNU，此係因為僅藉由在電晶體群組122中配置重設電晶體、放大電晶體及選擇電晶體之各者中之一者而達成相對於PD群組121之光電二極體111之對稱性。

同時，由於無井接觸件113設置於圖6之固態成像裝置151中之PD群組121之間(不同於圖5之固態成像裝置101)，所以可保持由像素之間之差異引起之影響。在此一情況中，井接觸件113可依相同於圖5中之實例之方式配置於PD群組121之間。

再者，如圖7中所繪示，可根據一佈局而配置電晶體群組122之各自電晶體之位置，藉此可改良PRNU及RN兩者。

圖7中之一固態成像裝置201與圖6中之固態成像裝置151之不同點在於：在電晶體群組122中，由具有經最大限度延長之L長度之一放大電晶體211替換放大電晶體116。

換言之，在圖7之固態成像裝置201中，電晶體群組122中之放大電晶體211之L長度大於圖6中之放大電晶體116之L長度。

藉此，在圖7之固態成像裝置201中，依相同於圖5中之固態成像裝置101之方式沿包含光電二極體111之 2×8 個像素之PD群組121之長邊配置電晶體群組122。因此，可改良RN (隨機雜訊)效能，此係因為可延長一既有電晶體之L長度，如由放大電晶體211之L長度所展示。

更具體言之，在電晶體群組122中，放大電晶體211配置於圖式之上側上之轉移電晶體112之4個像素旁邊，且進一步如由箭頭P11及P12所指示，選擇電晶體115及重設電晶體118配置於圖式之上側上之側(其中未配置轉移電晶體112)上之光電二極體111之4個像素之角隅處。另外，如由一箭頭P13所指示，對應於配置於所繪示PD群組121下方之另一PD群組121 (圖中未展示)之電晶體群組122之選擇電晶體115亦配置於圖式之下側上之側(其中未配置轉移電晶體112)上之光電二極體111之4個像素之角隅處。

應注意，在此情況中，電晶體群組122亦經配置以在圖式中相對於PD群組121之位置而整體向上移位。

如上文所描述，由於在圖7之固態成像裝置201中最大限度地延長放大電晶體之L長度且未設置虛設電晶體，所以可改良RN邊限。再者，由於選擇電晶體115及重設電晶體118經配置以相對於光電二極體對稱，所以可改良PRNU。

此外，在圖7之固態成像裝置201中，井接觸件113依相同於圖5中之固態成像裝置101之方式配置於PD群組121與另一PD群組121 (圖中未繪示，但配置於圖式之下側上)之間。

因此，可依類似於圖5中之固態成像裝置101之一方式抑制圖7之固態成像裝置201中之像素之間之差異。同時，在其中可減小PD與PD之間之一元件隔離寬度且PD與PD之間無法配置井接觸件113之情況

中，可依相同於圖6中之實例之方式配置電晶體群組122。

此外，作為具有最高對稱性之一佈局，相對於PD群組121之光電二極體111之配置而實質上均勻地配置電晶體之多晶矽(如圖8中所繪示)，藉此達成改良PRNU。

更具體言之，在圖8之一固態成像裝置251中，電晶體群組122之選擇電晶體115配置於井接觸件113旁邊，井接觸件113配置於圖式中之PD群組121之上側上。此外，放大電晶體116配置於圖式之上側上之PD群組121中之轉移電晶體112之4個像素旁邊，且重設電晶體118配置於PD群組121中之光電二極體111之4個像素與光電二極體111之4個像素之間。

另外，虛設電晶體117配置於圖式之下側上之PD群組121中之轉移電晶體112之4個像素旁邊。

如上文所描述，在圖8之固態成像裝置251中，相對於PD群組121之光電二極體之配置而更均勻地配置電晶體之多晶矽。在此情況中，無法相較於圖5中之固態成像裝置101而延長放大電晶體116之L長度。因此，無法可改良RN效能，但可最大限度地改良PRNU。此外，由於井接觸件113依相同於圖5中之固態成像裝置101之方式配置於PD群組與PD群組之間，所以可最小化像素之間之像素特性之差異。應注意，未必設置虛設電晶體117。更具體言之，由於轉移電晶體112之周邊中之多晶矽之密度已較高，所以轉移電晶體112旁邊之多晶矽無法影響PRNU。在此情況中，不具有虛設電晶體117之佈局亦可為一選項。

第二實施例

<根據本發明之固態成像裝置之例示性組態>

圖9係繪示本發明應用於其之一固態成像裝置之另一例示性組態的一圖式。圖9之實例中繪示一情況，其中固態成像裝置包含4電晶體

型2像素共用(1×2個像素)之一背面照明型CMOS感測器。應注意，圖9中之實例係其中將圖5中所描述之佈局應用於2像素共用之一情況。

在圖9之一固態成像裝置301中，採用一像素共用結構之光電二極體111之1×2個像素及對應於其之轉移電晶體112之1×2個像素經配置以便形成一垂直長矩形作為圖式之一左側上之一光電二極體區域中之一PD群組121。

此外，包含一選擇電晶體115、一放大電晶體116、一虛設電晶體117及一重設電晶體118之像素電晶體配置為PD群組121之一長邊之一側上之一電晶體群組122。電晶體群組122之各自像素電晶體經配置以便相對於PD群組121之各自光電二極體111對稱。

更具體言之，在圖9之電晶體群組122中，選擇電晶體115配置於PD群組121之上光電二極體111之一中心附近，且重設電晶體118配置於PD群組121之下光電二極體111之一中心附近以便與選擇電晶體115對稱。

依相同方式，在圖9之電晶體群組122中，放大電晶體116配置於PD群組121之上轉移電晶體112附近，且虛設電晶體117配置於PD群組121之下轉移電晶體112附近以便與放大電晶體116對稱。

如上文所描述，在2像素共用之情況中，亦可獲得相同於上文參考圖5所描述之8像素共用之效應。更具體言之，可改良RN (隨機雜訊)效能，此係因為可藉由將放大電晶體配置為PD群組121之長邊之側上之一電晶體群組122而延長放大電晶體之L長度。此外，由於電晶體之多晶矽相對於光電二極體之對稱性較高，所以可改良PRNU。

同時，在圖9之固態成像裝置301之情況中，一井接觸件113配置於電晶體群組122與定位於其上方之另一電晶體群組122之間，但亦可配置於PD與PD之間，如同圖8中所展示之一實例。

第三實施例

<根據本發明之固態成像裝置之例示性組態>

圖10係繪示本發明應用於其之一固態成像裝置之另一例示性組態的一圖式。圖10之實例中繪示一情況，其中固態成像裝置包含4電晶體型16像素共用(2×8個像素)之一背面照明型CMOS感測器。應注意，圖10中之實例係其中將圖5中所描述之佈局應用於16像素共用之情況。

在圖10之一固態成像裝置351中，採用一像素共用結構之光電二極體111之2×8個像素及對應於其之轉移電晶體112之2×8個像素配置為圖式之一左側上之光電二極體區域中之一PD群組121。

在PD群組121中，光電二極體111之2×8個像素及轉移電晶體112之2×8個像素經配置以便形成一垂直長矩形，且每4個像素排列於圖式之一垂直方向上之四個階段中。

此外，包含一選擇電晶體115、一放大電晶體116、一虛設電晶體117及一重設電晶體118之像素電晶體配置為PD群組121之一長邊之一側(圖式之右側)上之一電晶體群組122。另外，一井接觸件113配置於圖式中之電晶體群組122之一上側上。井接觸件113及電晶體群組122之各自像素電晶體經配置以便相對於PD群組121之各自光電二極體111對稱。

更具體言之，在圖10之實例中，井接觸件113配置於自圖式之頂部之一第一階段中之轉移電晶體112之4個像素之右旁附近。在電晶體群組122中，選擇電晶體115配置於PD群組12中之自圖式之頂部之一第二階段中之與光電二極體111之4個像素之轉移電晶體112相對之一位置附近。

在電晶體群組122中，放大電晶體116配置於PD群組121中之自圖式之頂部之第二階段中之光電二極體111之4個像素之轉移電晶體112之位置附近。在電晶體群組122中，虛設電晶體117配置於PD群組121

中之自圖式之頂部之一第三階段中之光電二極體111之4個像素之轉移電晶體112之位置附近。重設電晶體118配置於PD群組121中之自圖式之頂部之一第四階段中之與光電二極體111之轉移電晶體112相對之一位置附近。

如上文所描述，在16像素共用之情況中，亦可獲得相同於上文參考圖5所描述之8像素共用之效應。更具體言之，在圖10之固態成像裝置351中，可延長一既有電晶體之一L長度(如由一放大電晶體116之L長度所展示)，此係因為電晶體群組122依相同於圖5中之固態成像裝置101之方式配置於包含光電二極體111之 2×8 個像素之一PD群組121之一長邊之一側上。藉由此組態，可改良RN效能。此外，由於電晶體之多晶矽相對於光電二極體之對稱性較高，所以可改良PRNU。

然而，在圖10之固態成像裝置351之情況中，井接觸件113亦配置於電晶體群組122與定位於其上方之另一電晶體群組122之間，且井接觸件113未設置於PD群組121之間。因此，可保持由像素之間之一差異引起之影響。在此一情況中，井接觸件113可配置於PD與PD之間，如同圖5中所展示之一實例。在將井接觸件113配置於各自階段之4個像素之間之情況中，可減少像素之間之特性之差異。

如上文所描述，本發明可應用於其中共用單元塑形成一矩形(諸如4電晶體類型之2像素共用、8像素共用及16像素共用)之情況中。換言之，待共用之像素之數目不受限制，且只要在該共用單元中之光電二極體之配置塑形成一矩形，則固態成像裝置之配置不限於為上述配置實例。

另外，關於電晶體之配置，上文第一實施例中所描述之4電晶體型8像素共用(2×4 個像素)之變動配置可應用於2像素共用及16像素共用。

第四實施例

<根據本發明之固態成像裝置之例示性組態>

圖11係繪示本發明應用於其之一固態成像裝置之一例示性組態之一圖式。圖11之實例中繪示一情況，其中固態成像裝置包含3電晶體型8像素共用(2×4個像素)之一背面照明型CMOS感測器。

一般而言，在3電晶體類型中，包含位於其中配置光電二極體之一光電二極體區域旁邊之上文所描述之一重設電晶體(RST)及一放大電晶體(AMP)之兩個電晶體，且未設置選擇電晶體(SEL)。此外，假定：轉移電晶體設置於該光電二極體區域中，此係因為轉移電晶體直接連接至光電二極體。

圖11中之一固態成像裝置401與圖5中之一固態成像裝置101之不同點在於：自一電晶體群組122排除一選擇電晶體115及一虛設電晶體117。圖11之固態成像裝置401與圖5中之固態成像裝置101之共同點為：配置於一矩形共用單元內(一PD群組配置於一電晶體群組之右旁)。

更具體言之，在電晶體群組122中，一放大電晶體116配置於圖式之一上側上之轉移電晶體112之4個像素旁邊，且一重設電晶體118配置於圖式之一下側上之轉移電晶體112之4個像素旁邊。在圖11之實例中，形成實質上相同大小之放大電晶體116及重設電晶體118。

同時，在圖12之一固態成像裝置451中，例如，在圖式中使圖11中之電晶體群組122之一配置位置向上移位約達一光電二極體111之一長邊之一長度。更具體言之，在電晶體群組122中，放大電晶體116配置於光電二極體111之4個像素旁邊，但不位於圖式之上側上之轉移電晶體112之一側上，且重設電晶體118配置於光電二極體111之4個像素旁邊，但不位於圖式之下側上之轉移電晶體112之側上。在圖12之實例中，亦形成實質上相同大小之放大電晶體116及重設電晶體118。

換言之，在圖11之固態成像裝置401及圖12之固態成像裝置451兩

者中，可延長一既有電晶體之一L長度(如由放大電晶體116之L長度所展示)，此係因為沿PD群組121之一長邊配置電晶體群組122。藉由此組態，可改良RN效能。此外，在圖11之固態成像裝置401及圖12之固態成像裝置451兩者中，可改良PRNU，此係因為電晶體之多晶矽相對於光電二極體對稱。

如上文所描述，關於3電晶體類型，本發明亦可應用於其中共用單元呈一矩形形狀之全部情況中。換言之，待共用之像素之數目不受限制，且只要該共用單元中之光電二極體之配置塑形成一矩形，則固態成像裝置之配置不限於為上述配置實例。

同時，在以上描述中，已描述其中沿圖式之上側配置一像素共用單元之一短邊且沿圖式之一右側配置該像素共用單元之一長邊的實例(垂直型實例)。然而，即使在固態成像裝置之佈局經設置使得藉由使上述實例旋轉90度而將該像素共用單元之該長邊配置於圖式之上側上且將該像素共用單元之該短邊配置於圖式之一左側上的情況中，結果係相同的。

如上文所描述，根據本發明，可改良RN (隨機雜訊)邊限或效能，此係因為可延長電晶體(特定言之，放大電晶體)之L長度。

更具體言之，在其中於一固態成像裝置中將AMP及SEL配置成一群組1且將兩個電晶體配置成一群組2之情況中，群組1中所需之源極汲極之數目係3且群組2中所需之源極汲極之數目係3，即，總共6個。此時，由於一微影線寬度之限制、處理多晶矽及一接觸孔以確保隔離崩潰電壓之限制等等，延長電晶體之L長度存在一限制。特定言之，在微型化之情況中，來自此一狀態之影響相當嚴重，且RN邊限可歸因於AMP之短L長度而劣化。

相比而言，根據本發明，可改良RN效能，此係因為可延長放大電晶體之L長度。應注意，在上述實例中，放大電晶體之L長度係PD

群組之一間距之0.6倍至1.4倍。另外，根據本發明，可延長選擇電晶體之L長度。因此，在延長選擇電晶體之一L長度之情況中，可避免一短通道效應且可獲得一穩固隨機雜訊邊限性質。

可獲得上述效應，且該等效應尤其有利於將一像素大小微型化至約1.0毫米或更小之情況。

另外，根據本發明，可改良PRNU，此係因為配置經設置以便具有電晶體之多晶矽之對稱性。

同時，上文已描述其中將本發明應用於CMOS固態成像裝置之組態，但本發明可應用於諸如一CCD (電荷耦合裝置)固態成像裝置之固態成像裝置。

應注意，固態成像裝置可為一背面照明類型或一正面照明類型。

此外，固態成像裝置可為或可不為一全域快門類型。固態成像裝置不受限為全域快門類型。

應注意，本發明之應用不限於為固態成像裝置，且本發明可應用於一成像裝置。此處，該成像裝置係指一攝像機系統(諸如一數位靜態攝像機及一數位視訊攝影機)及具有一成像功能之一電子設備(諸如一蜂巢式電話)。應注意，該成像裝置可具有安裝於該電子設備上之一模組型組態，即，一攝像機模組。

第五實施例

<電子設備之例示性組態>

此處，將參考圖13來給出根據本發明之一第二實施例之一電子設備之一例示性組態之一描述。

圖13中所繪示之一電子設備500包含一固態成像裝置(裝置晶片)501、一光學透鏡502、一快門裝置503、一驅動電路504及一信號處理電路505。對固態成像裝置501提供根據本發明之上述第一實施例至第

四實施例之一固態成像裝置。因此，可設置具有高效能且具有改良RN效能及PRNU之電子設備500。

光學透鏡502在固態成像裝置501之一成像表面上形成來自一物體之一影像光(入射光)。藉此，在一預定週期內於固態成像裝置501內累積信號電荷。快門裝置503控制固態成像裝置501之一照射時間及一屏蔽時間。

驅動電路504供應控制固態成像裝置501之信號轉移操作及快門裝置503之快門操作的一驅動信號。固態成像裝置501根據自驅動電路504供應之該驅動信號(時序信號)而轉移一信號。信號處理電路505對自固態成像裝置501輸出之該信號執行各種信號處理。將經信號處理之一視訊信號儲存於一儲存媒體(諸如一記憶體)中或輸出至一監測器。

同時，在本說明書中，用於描述一系列上述處理之步驟可明顯地包含依根據所描述順序之時間序列執行之處理，但亦可包並行或個別地執行(而非始終依時間序列執行)之處理。

另外，根據本發明之實施例可不限於為上述實施例，且可在不背離本發明之主旨之範疇內作出各種改變。

此外，可由一個裝置且亦可由複數個裝置依一共用方式執行上述流程圖中所描述之各自步驟。

此外，在其中一步驟包含複數個處理之情況中，可由一個裝置且亦可由複數個裝置依一共用方式執行包含於該步驟中之該複數個處理。

此外，上文描述為一個裝置(或處理區段)之組態可經劃分，且可組態為複數個裝置(或處理區段)。相反地，上文描述為複數個裝置(或處理區段)之組態可整體組態為一個裝置(或處理區段)。此外，就除上述組態之外之一組態而言，可新增各自裝置(或各自處理區段)。另

外，只要組態及操作實質上相同於一整個系統，則一裝置(或處理區段)之一組態之一部分可包含於其他裝置(或其他處理區段)中。換言之，本發明不限於為上述實施例，且可在不背離本發明之主旨之範疇內作出各種改變。

儘管已參考圖式來詳細描述本發明之較佳實施例，但本發明不限於此。應瞭解，本發明之熟習技術者之技術者可容易地設想隨附申請專利範圍中所述之技術理念之範疇內之各種修改及變更，且此等修改及變更明顯地屬於本發明之技術範疇。

另外，本發明可具有以下組態。

(1) 一種成像裝置，其包括一共用像素結構，該共用像素結構包含：複數個光電二極體，其中該複數個光電二極體中之各光電二極體位於一矩形區域內；複數個共用電晶體，其中該複數個共用電晶體中之各電晶體鄰近於含有該複數個光電二極體之該矩形區域之一邊。

(2) 如(1)之成像裝置，其中該矩形區域具有兩個短邊及兩個長邊，且其中該等共用電晶體之各者鄰近於含有該複數個光電二極體之該矩形區域之該等長邊之一者。

(3) 如(2)之成像裝置，其中沿平行於該矩形區域之該等長邊之該者的一線配置該共用像素結構之該複數個共用電晶體中之該等共用電晶體。

(4) 如(1)至(3)中任一項之成像裝置，其中該共用像素結構之該複數個共用電晶體中之該等共用電晶體位於該矩形區域之外部。

(5) 如(1)至(4)中任一項之成像裝置，其中該複數個共用電晶體中之該等共用電晶體包含一放大電晶體、一選擇電晶體及一重設電晶體之至少一者。

(6) 如(2)或(3)之成像裝置，其中該複數個共用電晶體中之該等共用電晶體包含至少一放大電晶體及至少一其他電晶體，且其中該放

大電晶體沿平行於該矩形區域之該等長邊之該放大電晶體之一尺寸的一長度長於該至少一其他電晶體沿平行於該矩形區域之該等長邊之該其他電晶體之一長度的一長度。

(7) 如(2)或(3)之成像裝置，其中該複數個光電二極體係包含位於該矩形區域內之一共用單元之一光電轉換元件群組，且其中該複數個共用電晶體係經配置以便實質上相對於該光電轉換元件群組對稱之一像素電晶體群組。

(8) 如(7)之成像裝置，其進一步包括一井接觸件，其中該井接觸件設置於該光電轉換元件群組與定位於該光電轉換元件群組緊鄰處之另一光電轉換元件群組之間。

(9) 如(1)至(8)中任一項之成像裝置，其中該複數個共用電晶體包含一虛設電晶體。

(10) 如(2)或(3)之成像裝置，其中該複數個共用電晶體包含至少一選擇電晶體及至少一其他電晶體，且其中該選擇電晶體沿平行於該矩形區域之該等長邊之該選擇電晶體之一尺寸的一長度長於該至少一其他電晶體沿平行於該矩形區域之該等長邊之該其他電晶體之一長度的一長度。

(11) 一種電子設備，其包括具有一共用像素結構之一成像裝置，該共用像素結構包含：複數個光電二極體，其中該複數個光電二極體中之各光電二極體位於一矩形區域內；複數個共用電晶體，其中該複數個共用電晶體中之各電晶體鄰近於含有該複數個光電二極體之該矩形區域之一邊。

(12) 如(11)之電子設備，其中該矩形區域具有兩個短邊及兩個長邊，且其中該等共用電晶體之各者鄰近於含有該複數個光電二極體之該矩形區域之該等長邊之一者。

(13) 如(12)之電子設備，其中沿平行於該矩形區域之該等長邊之

該者的一線配置該共用像素結構之該複數個共用電晶體中之該等共用電晶體。

(14) 如(11)至(13)中任一項之電子設備，其中該共用像素結構之該複數個共用電晶體中之該等共用電晶體位於該矩形區域之外部。

(15) 如(11)至(14)中任一項之電子設備，其中該複數個共用電晶體中之該等共用電晶體包含一放大電晶體、一選擇電晶體及一像素電晶體之至少一者。

(16) 如(12)或(13)之電子設備，其中該複數個共用電晶體中之該等共用電晶體包含至少一放大電晶體及至少一其他電晶體，且其中該放大電晶體沿平行於該矩形區域之該等長邊之該放大電晶體之一尺寸的一長度長於該至少一其他電晶體沿平行於該矩形區域之該等長邊之該其他電晶體之一長度的一長度。

(17) 如(12)或(13)之電子設備，其中該複數個光電二極體係包含位於該矩形區域內之一共用單元之一光電轉換元件群組，且其中該複數個共用電晶體係經配置以便實質上相對於該光電轉換元件群組對稱之一像素電晶體群組。

(18) 如(17)之電子設備，其進一步包括一井接觸件，其中該井接觸件設置於該光電轉換元件群組與定位於該光電轉換元件群組緊鄰處之另一光電轉換元件群組之間。

(19) 如(11)至(18)中任一項之電子設備，其中該複數個共用電晶體包含一虛設電晶體。

(20) 如(12)或(13)之電子設備，其中該複數個共用電晶體包含至少一選擇電晶體及至少一其他電晶體，且其中該選擇電晶體沿平行於該矩形區域之該等長邊之該放大電晶體之一尺寸的一長度長於該至少一其他電晶體沿平行於該矩形區域之該等長邊之該其他電晶體之一長度的一長度。

【符號說明】

1	固態成像裝置
2	像素
3	像素區域
4	垂直驅動電路
5	行信號處理電路
6	水平驅動電路
7	輸出電路
8	控制電路
9	垂直信號線
10	水平信號線
11	半導體基板
12	輸入及輸出端子
21	浮動擴散區(FD)
22	光電二極體(PD)
23	重設電晶體
24	轉移電晶體
25	放大電晶體
31	選擇電晶體
41	轉移電晶體
42	光電二極體(PD)
51-1	轉移電晶體
51-2	轉移電晶體
52-1	光電二極體(PD)
52-2	光電二極體(PD)
61-1至61-4	轉移電晶體

62-1至62-4	光電二極體(PD)
101	固態成像裝置
111	光電二極體(PD)
112	轉移電晶體
113	井接觸件
114	源極汲極
115	選擇電晶體
116	放大電晶體
117	虛設電晶體
118	重設電晶體
121	光電二極體(PD)群組
122	電晶體群組
151	固態成像裝置
201	固態成像裝置
211	放大電晶體
251	固態成像裝置
301	固態成像裝置
351	固態成像裝置
401	固態成像裝置
451	固態成像裝置
500	電子設備
501	固態成像裝置
502	光學透鏡
503	快門裝置
504	驅動電路
505	信號處理電路

發明摘要

I653891

※ 申請案號：

※ 申請日：

※IPC 分類：H04N5/374; H04N 5/357;
H04N 5/369

【發明名稱】

成像裝置及電子設備

IMAGING DEVICE AND ELECTRONIC APPARATUS

【中文】

本發明提供具有一或多個共用像素結構之成像裝置及電子設備。該共用像素結構包含複數個光電轉換裝置或光電二極體。該共用像素結構中之各光電二極體位於一矩形區域內。該共用像素結構亦包含複數個共用電晶體。該共用像素結構中之該等共用電晶體位於該共用像素結構之該等光電轉換裝置鄰近處。該矩形區域可具有兩個短邊及兩個長邊，其中沿該等長邊之一者定位該等共用電晶體。另外，可在平行於該矩形區域之該長邊之一方向上延伸該等電晶體之一或多者之一長度。

【英文】

Imaging devices and electronic apparatuses with one or more shared pixel structures are provided. The shared pixel structure includes a plurality of photoelectric conversion devices or photodiodes. Each photodiode in the shared pixel structure is located within a rectangular area. The shared pixel structure also includes a plurality of shared transistors. The shared transistors in the shared pixel structure are located adjacent the photoelectric conversion devices of the shared pixel structure. The rectangular area can have two short sides and two long sides, with the shared transistors located along one of the long sides. In addition, a length of one or more of the transistors can be extended in a direction parallel to the long side of the rectangular area.

【代表圖】

【本案指定代表圖】：第（ 5 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|-----|-------------|
| 101 | 固態成像裝置 |
| 111 | 光電二極體 |
| 112 | 轉移電晶體 |
| 113 | 井接觸件 |
| 114 | 源極汲極 |
| 115 | 選擇電晶體 |
| 116 | 放大電晶體 |
| 117 | 虛設電晶體 |
| 118 | 重設電晶體 |
| 121 | 光電二極體(PD)群組 |
| 122 | 電晶體群組 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

圖式

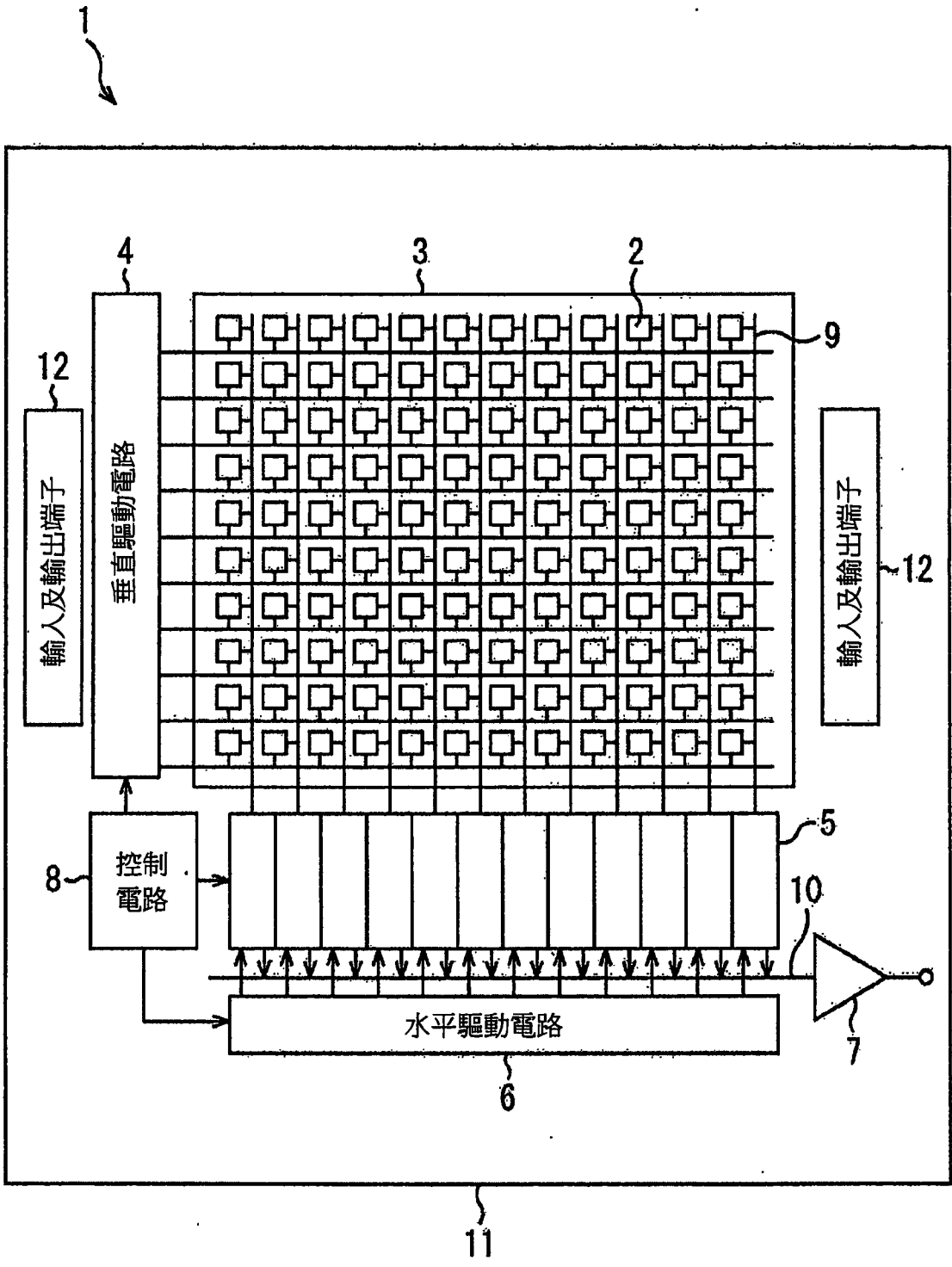
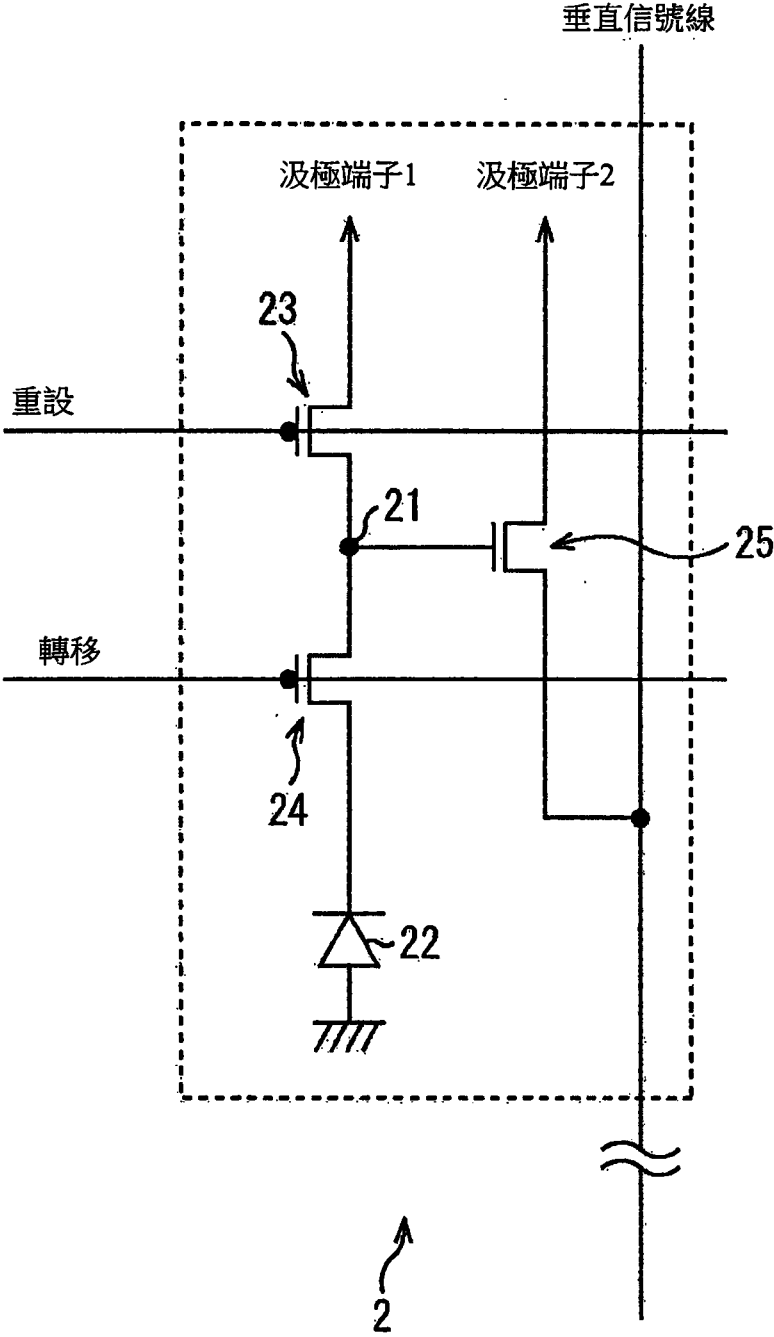


圖 1



2
圖 2

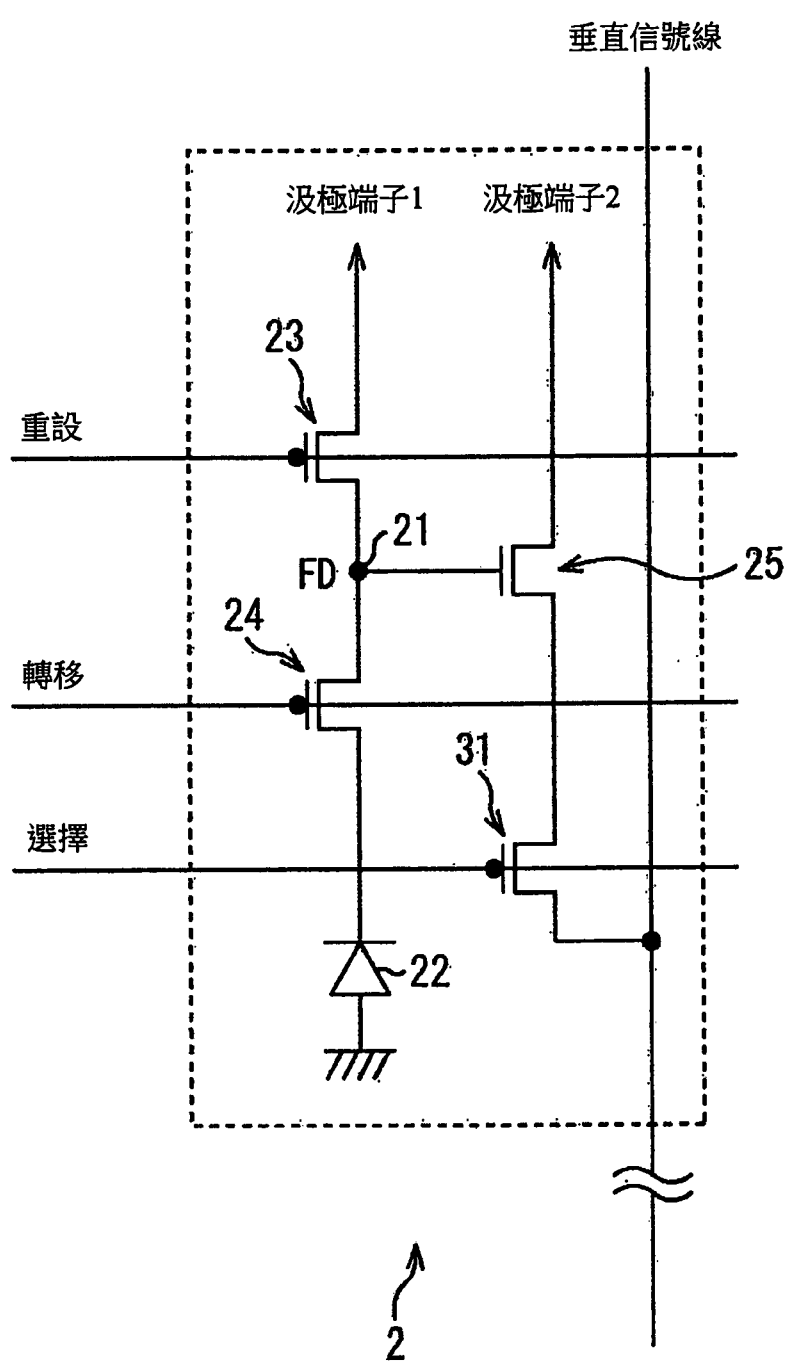


圖 3

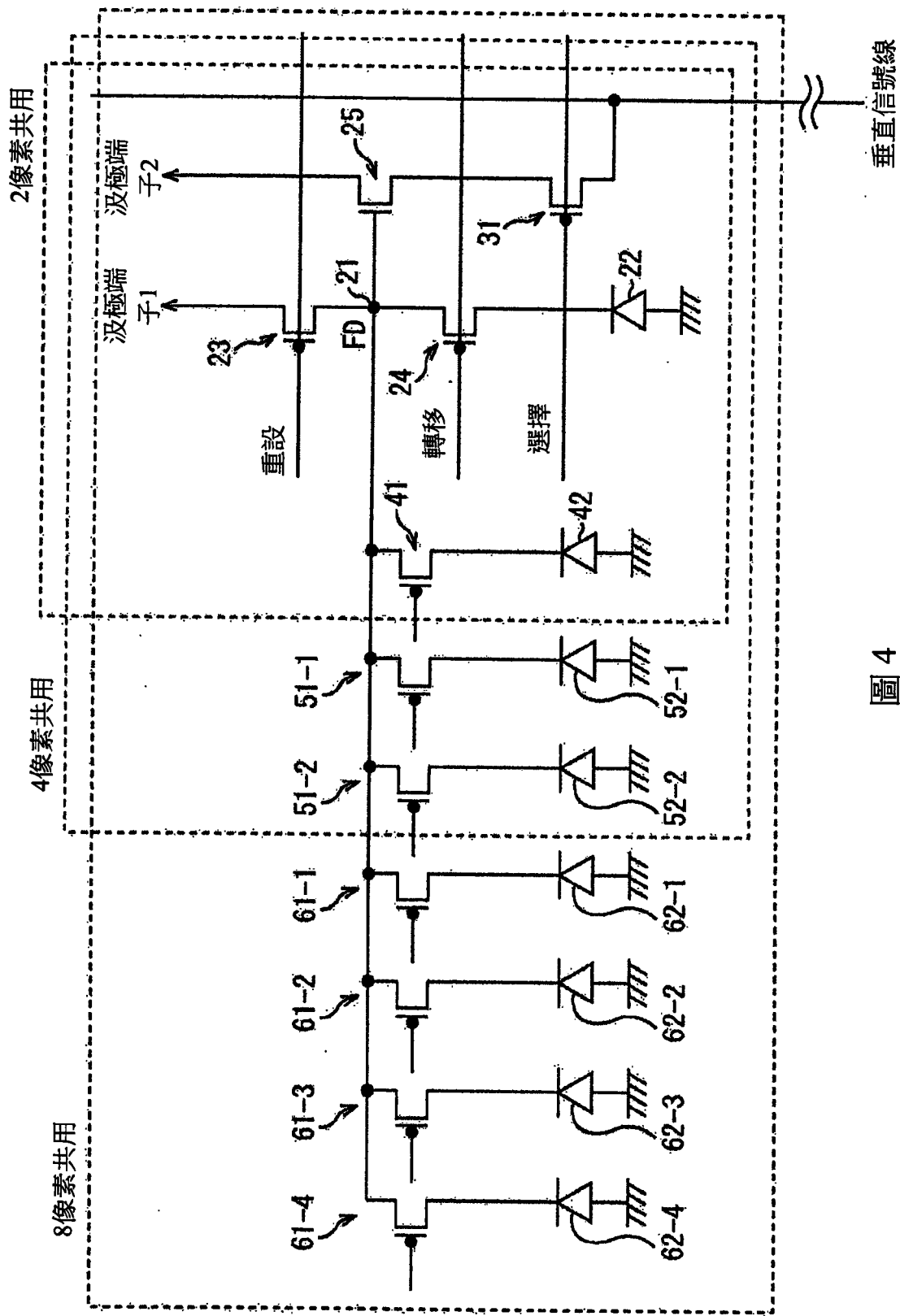


圖 4

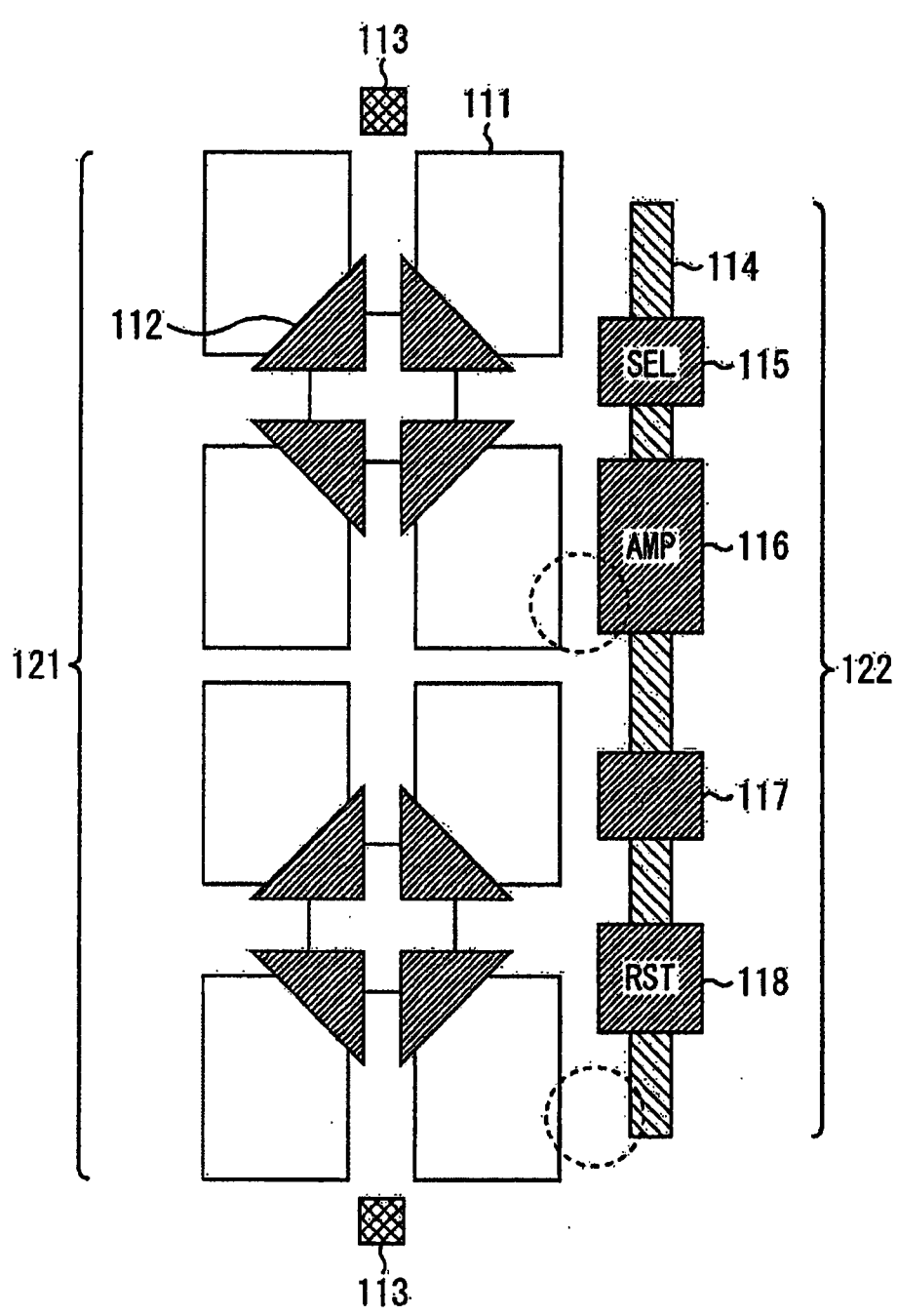


圖 5

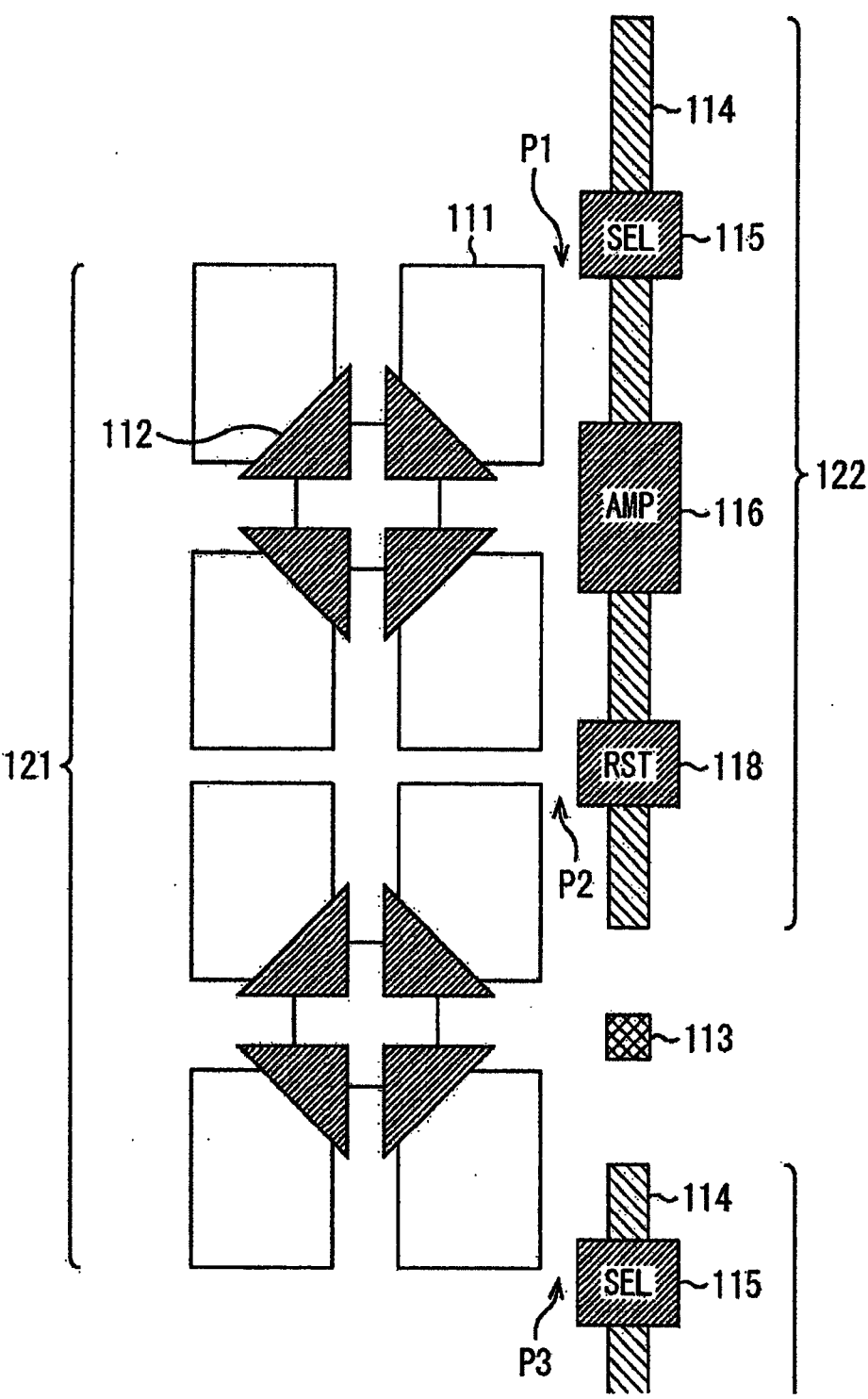
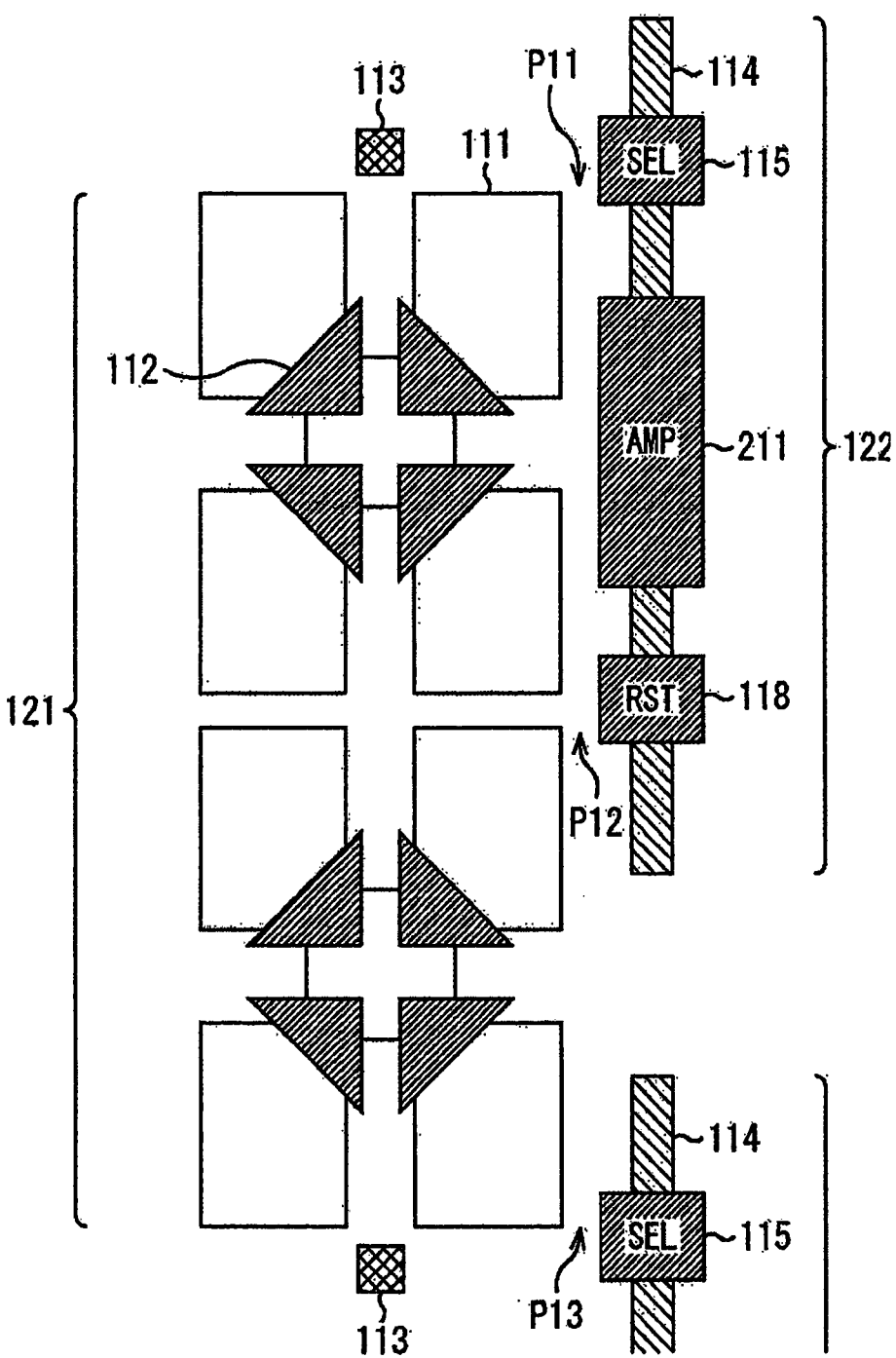


圖 6



201
圖 7

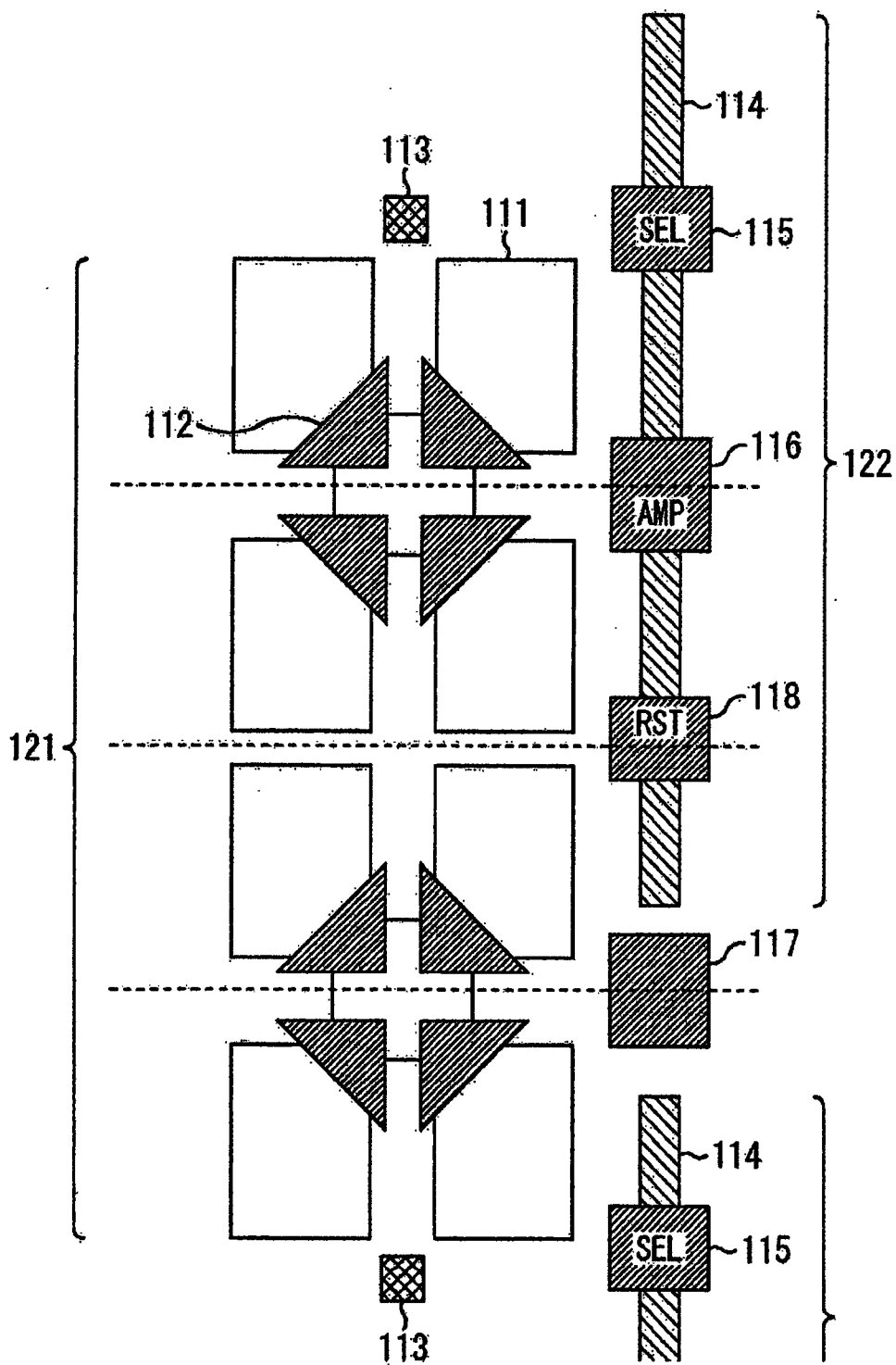
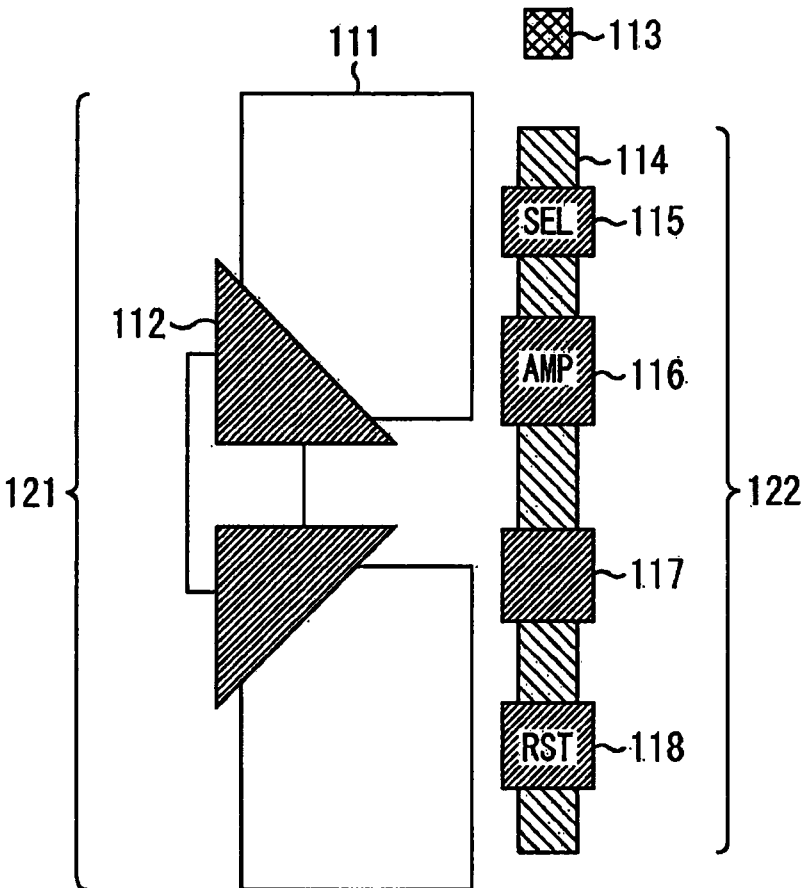
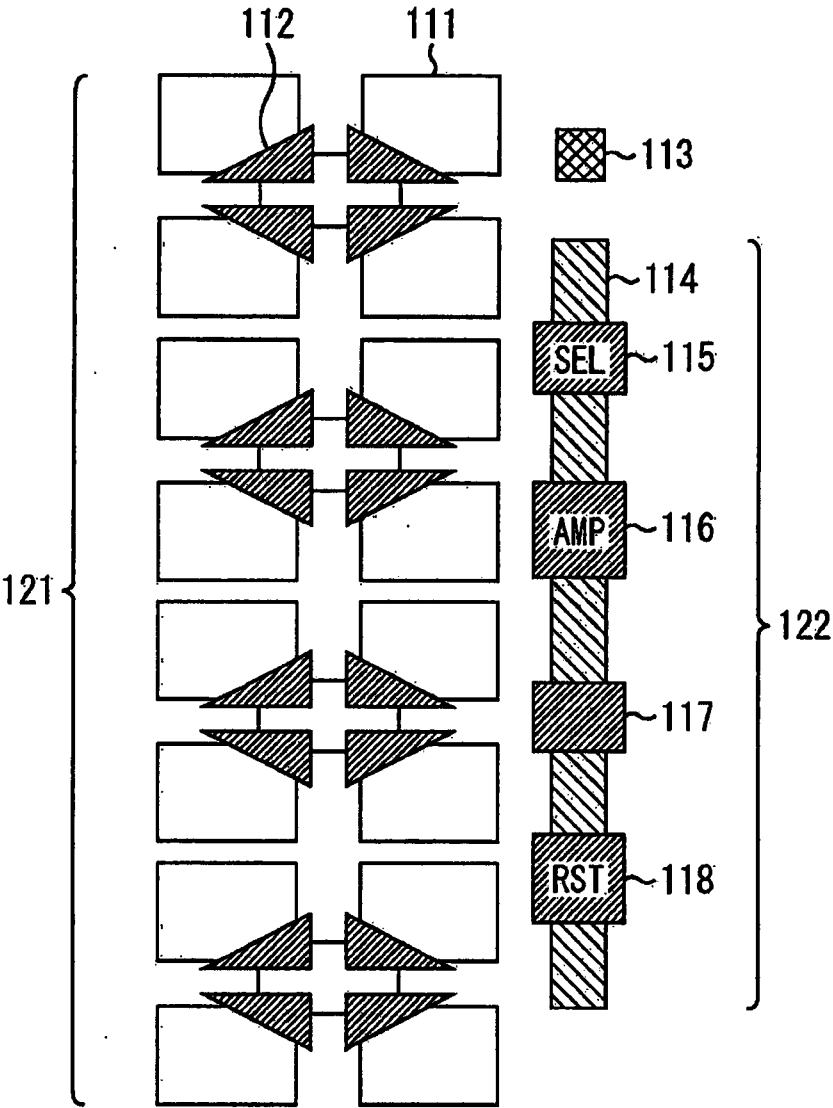


圖 8



301
圖 9



351
圖 10

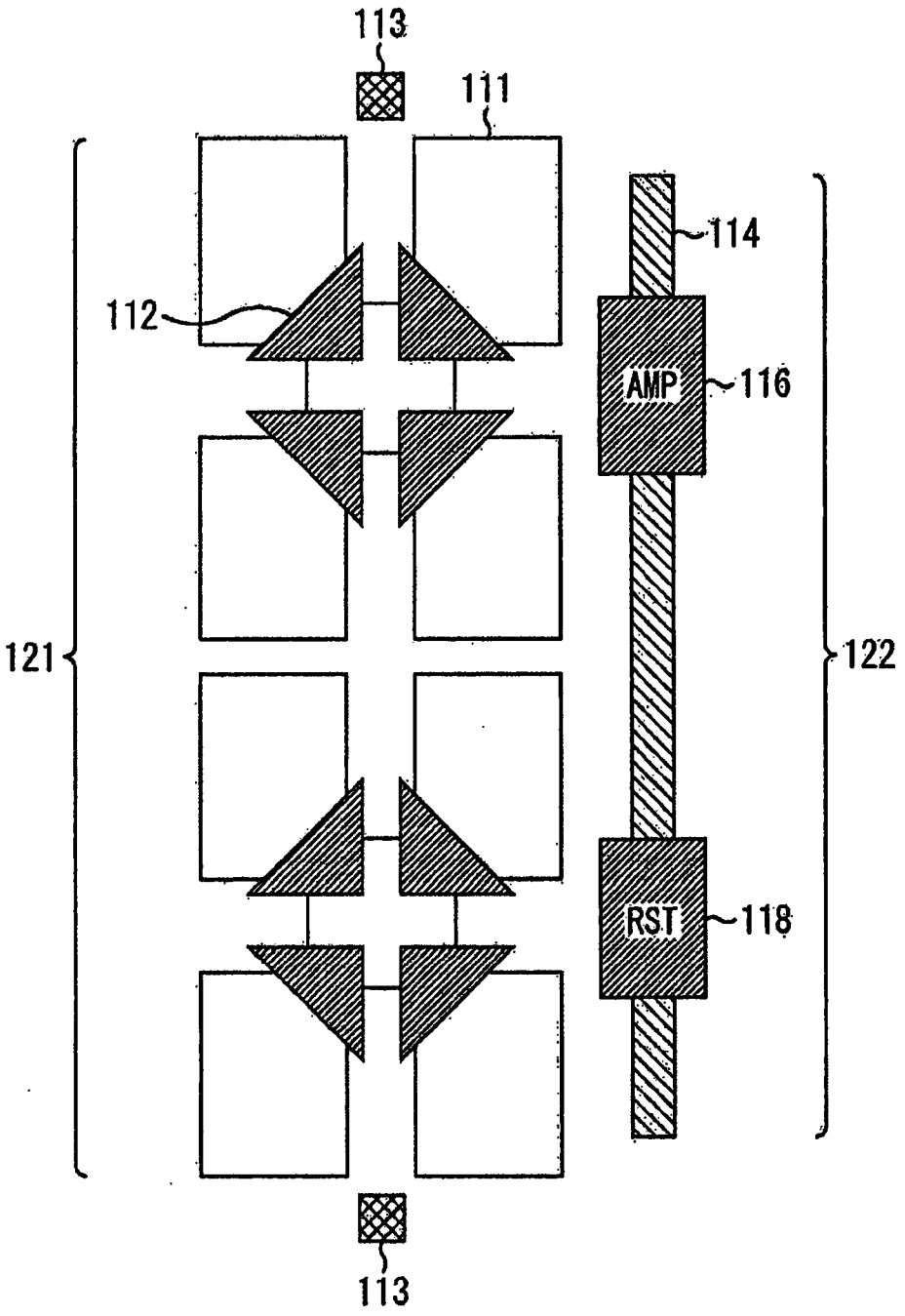


圖 11

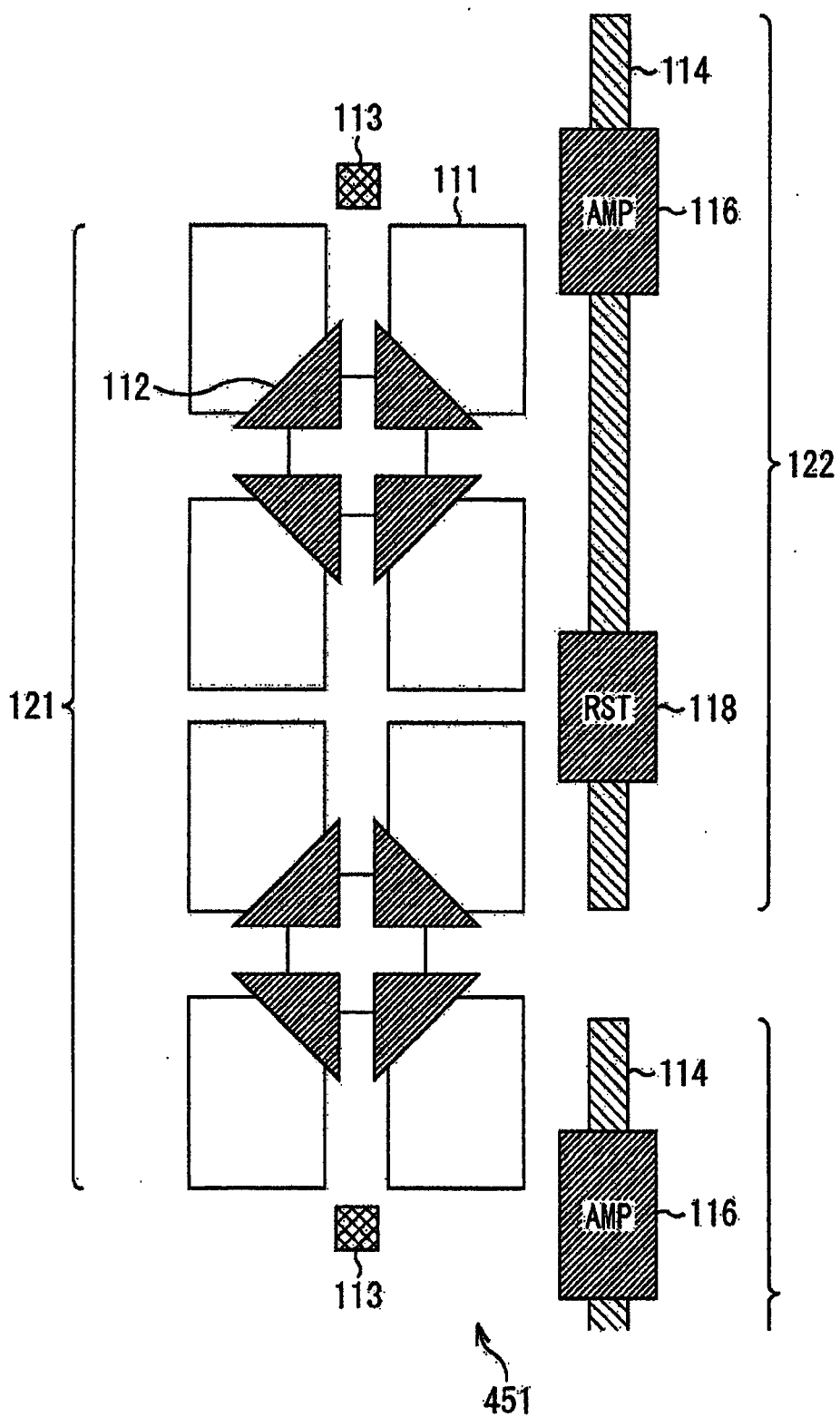


圖 12

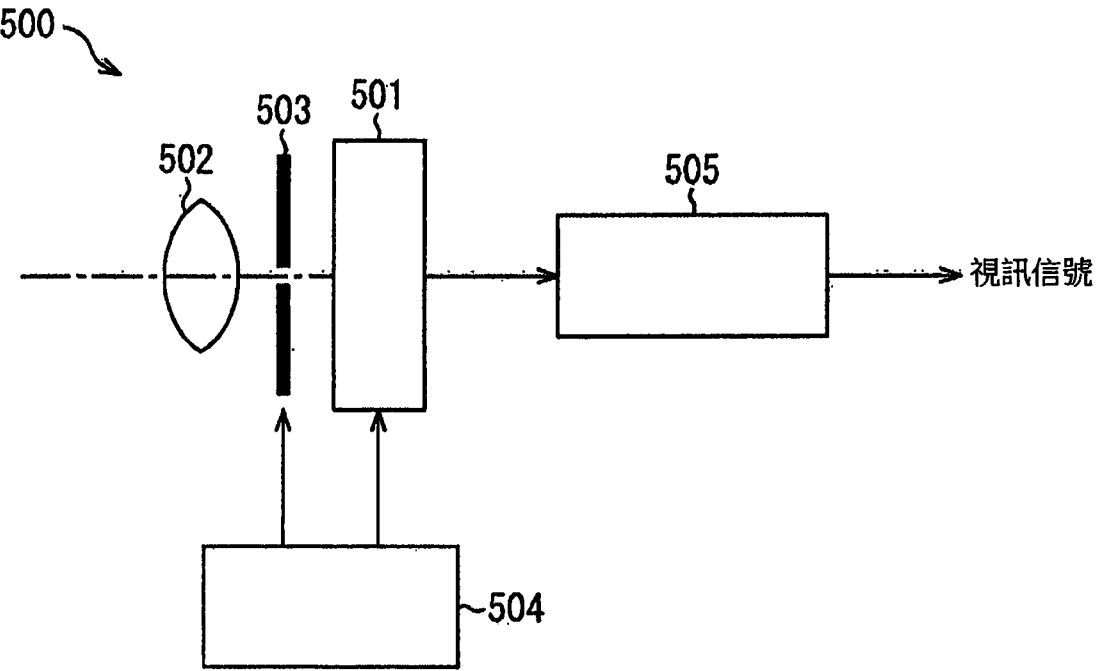


圖 13

申請專利範圍

1. 一種成像裝置，其包括：

一共用像素結構，其包含：

複數個第一光電二極體，其包含至少八個光電二極體，其中該複數個第一光電二極體之各光電二極體位於該共用像素結構之一第一矩形區域內；

複數個共用電晶體，其中該複數個共用電晶體之各電晶體鄰近於含有該複數個第一光電二極體之該第一矩形區域之一第一邊(side)；

其中該共用像素結構之該複數個共用電晶體之至少一共用電晶體位於該第一矩形區域之外部；及

其中該複數個共用電晶體包含一放大電晶體、一選擇電晶體或一重設電晶體之至少一者；

複數個第二光電二極體，其位於該共用像素結構之一第二矩形區域內，其中該第二矩形區域之一邊鄰近於該第一矩形區域之一第二邊，且其中該第一矩形區域之該第二邊短於(shorter)該第一矩形區域之該第一邊；及

一井接觸件，其位於該第一矩形區域之該第二邊與該第二矩形區域之該邊之間。

2. 如請求項1之成像裝置，其中該第一矩形區域具有兩個短邊及兩個長邊，且其中該等共用電晶體之各者鄰近於該第一矩形區域之長邊之一者。

3. 如請求項1之成像裝置，其中該共用像素結構之該複數個共用電晶體中之該至少一共用電晶體係沿平行於該第一矩形區域之該第一邊的一線而配置。

4. 如請求項1之成像裝置，其中該複數個共用電晶體包含至少一放大電晶體，其中該放大電晶體沿該放大電晶體之一尺寸(dimension)的一長度長於該複數個共用電晶體之至少一電晶體之一長度，其中該放大電晶體之該尺寸平行於該第一矩形區域之該第一邊，其中該至少一電晶體之該長度沿著該至少一電晶體之一尺寸，且其中該至少一電晶體之該尺寸平行於該第一矩形區域之該第一邊。
5. 如請求項1之成像裝置，其中該複數個第一光電二極體係包含位於該第一矩形區域內之一共用單元之一光電轉換元件群組，且其中該複數個共用電晶體係實質上相對於該光電轉換元件群組對稱之一像素電晶體群組。
6. 如請求項1之成像裝置，其中該複數個共用電晶體包含一虛設電晶體。
7. 如請求項1之成像裝置，其中該複數個共用電晶體包含至少一選擇電晶體，其中該選擇電晶體沿該選擇電晶體之一尺寸的一長度長於該複數個共用電晶體之至少一電晶體之一長度，其中該選擇電晶體之該尺寸平行於該第一矩形區域之該第一邊，其中該至少一電晶體之該長度沿著該至少一電晶體之一尺寸，且其中該至少一電晶體之該尺寸平行於該第一矩形區域之該第一邊。
8. 一種電子設備，其包括：
 - 一成像裝置，其包括一共用像素結構，該共用像素結構包含：
 - 複數個第一光電二極體，其包含至少八個光電二極體，其中該複數個第一光電二極體之各光電二極體位於該共用像素結構之一第一矩形區域內；

複數個共用電晶體，其中該複數個共用電晶體之各電晶體鄰近於含有該複數個第一光電二極體之該第一矩形區域之一第一邊；

其中該共用像素結構之該複數個共用電晶體之至少一共用電晶體位於該第一矩形區域之外部；及

其中該複數個共用電晶體包含一放大電晶體、一選擇電晶體或一重設電晶體之至少一者；

複數個第二光電二極體，其位於該共用像素結構之一第二矩形區域內，其中該第二矩形區域之一邊鄰近於該第一矩形區域之一第二邊，且其中該第一矩形區域之該第二邊短於該第一矩形區域之該第一邊；及

一井接觸件，其位於該第一矩形區域之該第二邊與該第二矩形區域之該邊之間。

9. 如請求項8之電子設備，其中該第一矩形區域具有兩個短邊及兩個長邊，且其中該等共用電晶體之各者鄰近於該第一矩形區域之長邊之一者。
10. 如請求項8之電子設備，其中沿平行於該第一矩形區域之該第一邊的一線配置該共用像素結構之該複數個共用電晶體中之該至少一共用電晶體。
11. 如請求項8之電子設備，其中該複數個共用電晶體包含至少一放大電晶體，其中該放大電晶體沿該放大電晶體之一尺寸的一長度長於該複數個共用電晶體之至少一電晶體之一長度，其中該放大電晶體之該尺寸平行於該第一矩形區域之該第一邊，其中該至少一電晶體之該長度沿著該至少一電晶體之一尺寸，且其中該至少一電晶體之該尺寸平行於該第一矩形區域之該第一邊。

12. 如請求項8之電子設備，其中該複數個第一光電二極體係包含位於該第一矩形區域內之一共用單元之一光電轉換元件群組，且其中該複數個共用電晶體係實質上相對於該光電轉換元件群組對稱之一像素電晶體群組。
13. 如請求項8之電子設備，其中該複數個共用電晶體包含一虛設電晶體。
14. 如請求項8之電子設備，其中該複數個共用電晶體包含至少一選擇電晶體，其中該選擇電晶體沿該選擇電晶體之一尺寸的一長度長於該至少一電晶體之一長度，其中該選擇電晶體之該尺寸平行於該第一矩形區域之該第一邊，其中該至少一電晶體之該長度沿著該至少一電晶體之一尺寸，且其中該至少一電晶體之該尺寸平行於該第一矩形區域之該第一邊。