



(12) 发明专利申请

(10) 申请公布号 CN 117712178 A

(43) 申请公布日 2024.03.15

(21) 申请号 202311123409.8

H01L 27/12 (2006.01)

(22) 申请日 2023.09.01

(30) 优先权数据

2022-145635 2022.09.13 JP

(71) 申请人 株式会社日本显示器

地址 日本东京都

(72) 发明人 田丸尊也 津吹将志 渡壁创

佐佐木俊成

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 韩雪莲

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/06 (2006.01)

H01L 29/24 (2006.01)

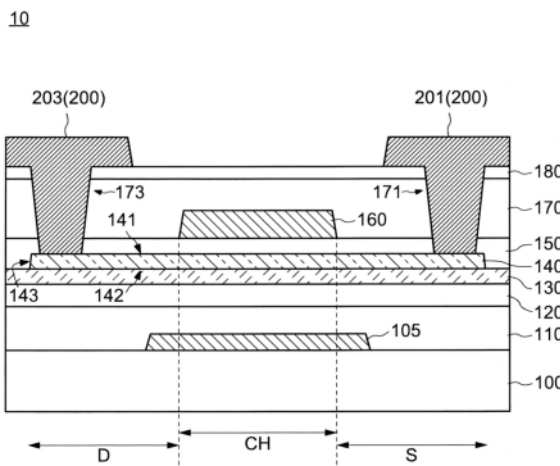
权利要求书1页 说明书14页 附图17页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及半导体器件。本发明实现高迁移率且可靠性高的半导体器件。半导体器件具备：基板；以铝为主成分的金属氧化物层，其设置在所述基板之上；氧化物半导体层，其设置在所述金属氧化物层之上；栅电极，其与所述氧化物半导体层对置；和所述氧化物半导体层与栅电极之间的栅极绝缘层。所述金属氧化物层的厚度为1nm以上4nm以下。所述金属氧化物层的厚度也可以是1nm以上3nm以下。



1. 半导体器件,其具备:
基板;
以铝为主成分的金属氧化物层,其设置在所述基板之上;
氧化物半导体层,其设置在所述金属氧化物层之上;
栅电极,其与所述氧化物半导体层对置;和
所述氧化物半导体层与栅电极之间的栅极绝缘层,
所述金属氧化物层的厚度为1nm以上4nm以下。
2. 根据权利要求1所述的半导体器件,其中,所述金属氧化物层的厚度为1nm以上3nm以下。
3. 根据权利要求1所述的半导体器件,其中,所述氧化物半导体层与所述金属氧化物层相接。
4. 根据权利要求1所述的半导体器件,其中,所述氧化物半导体层形成为岛状,所述金属氧化物层的一部分在俯视观察时与所述氧化物半导体层相比向外侧延伸。
5. 根据权利要求1至4中任一项所述的半导体器件,其中,所述金属氧化物层具备针对氧及氢的阻隔性。
6. 根据权利要求1至4中任一项所述的半导体器件,其进一步具备设置于所述基板与所述金属氧化物层之间且含有氧的第1绝缘层。
7. 根据权利要求6所述的半导体器件,其中,所述第1绝缘层具备通过600°C以下的热处理来放出氧的功能。
8. 根据权利要求6所述的半导体器件,其中,所述金属氧化物层在所述第1绝缘层与所述氧化物半导体层之间与所述第1绝缘层及所述氧化物半导体层中的各自相接。
9. 根据权利要求1至4中任一项所述的半导体器件,其中,在所述基板与所述金属氧化物层之间不存在半导体层。

半导体器件

技术领域

[0001] 本发明的一个实施方式涉及半导体器件。特别地,本发明的一个实施方式涉及作为沟道使用了氧化物半导体的半导体器件。

背景技术

[0002] 近年来,进行了取代非晶硅、低温聚硅及单晶硅而将氧化物半导体用于沟道的半导体器件的开发(例如专利文献1~6)。沟道使用氧化物半导体的半导体器件与沟道使用非晶硅的半导体器件同样能够以工艺简单的构造及低温工艺形成。已知沟道使用氧化物半导体的半导体器件具有比沟道使用非晶硅的半导体器件高的迁移率。

[0003] 为了使沟道使用氧化物半导体的半导体器件稳定地运转,在其制造工序中向氧化物半导体层供给氧、减少在氧化物半导体层中形成的氧缺损很重要。例如,作为向氧化物半导体层供给氧的方法之一,公开了在该绝缘层更多包含氧的条件下形成覆盖氧化物半导体层的绝缘层的技术。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开2021-141338号公报

[0007] 专利文献2:日本特开2014-099601号公报

[0008] 专利文献3:日本特开2021-153196号公报

[0009] 专利文献4:日本特开2018-006730号公报

[0010] 专利文献5:日本特开2016-184771号公报

[0011] 专利文献6:日本特开2021-108405号公报

发明内容

[0012] 发明要解决的课题

[0013] 但是,在更多包含氧的条件下形成的绝缘层包含很多缺陷。由于其影响,发生被认为电子被该缺陷捕获导致的半导体器件的特性异常或可靠性试验中的特性变化。另一方面,若使用缺陷少的绝缘层,则无法增加绝缘层中包含的氧。因此,无法从绝缘层充分地向氧化物半导体层供给氧。像这样,要求实现能够减少导致半导体器件特性变化的绝缘层中的缺陷并修复在氧化物半导体层中形成的氧缺损的构造。

[0014] 本发明的一个实施方式涉及的课题之一在于实现可靠性及迁移率高的半导体器件。

[0015] 用于解决课题的手段

[0016] 本发明一个实施方式涉及的半导体器件具备:基板;以铝为主成分的金属氧化物层,其设置在所述基板之上;氧化物半导体层,其设置在所述金属氧化物层之上;栅电极,其与所述氧化物半导体层对置;和所述氧化物半导体层与栅电极之间的栅极绝缘层。所述金属氧化物层的厚度为1nm以上4nm以下。

附图说明

- [0017] 图1是示出本发明一个实施方式涉及的半导体器件的概要的剖视图。
- [0018] 图2是示出本发明一个实施方式涉及的半导体器件的概要的俯视图。
- [0019] 图3是示出本发明一个实施方式涉及的半导体器件的制造方法的时序图。
- [0020] 图4是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0021] 图5是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0022] 图6是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0023] 图7是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0024] 图8是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0025] 图9是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0026] 图10是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。
- [0027] 图11是示出本发明一个实施方式涉及的半导体器件的电气特性的图。
- [0028] 图12是示出本发明一个实施方式涉及的半导体器件的本征迁移率的膜厚依存性的图。
- [0029] 图13是示出本发明一个实施方式涉及的半导体器件的电气特性及可靠性试验结果的膜厚依存性的图。
- [0030] 图14是示出按膜厚绘制本发明一个实施方式涉及的半导体器件的电气特性及可靠性试验结果的相关关系的图。
- [0031] 图15是示出本发明一个实施方式涉及的显示装置的概要的俯视图。
- [0032] 图16是示出本发明一个实施方式涉及的显示装置的电路构成的框图。
- [0033] 图17是示出本发明一个实施方式涉及的显示装置的像素电路的电路图。
- [0034] 图18是示出本发明一个实施方式涉及的显示装置的概要的剖视图。
- [0035] 图19是示出本发明一个实施方式涉及的显示装置的像素电极及公共电极的俯视图。
- [0036] 图20是示出本发明一个实施方式涉及的显示装置的像素电路的电路图。
- [0037] 图21是示出本发明一个实施方式涉及的显示装置的概要的剖视图。
- [0038] 附图标记说明
- [0039] 10: 半导体器件、11: 驱动晶体管、12: 选择晶体管、20: 显示装置、22: 液晶区域、24: 密封区域、26: 端子区域、100: 基板、105: 栅电极、110、120: 栅极绝缘层、130: 金属氧化物层、140: 氧化物半导体层、141: 上表面、142: 下表面、143: 侧面、150: 栅极绝缘层、160: 栅电极、170、180: 绝缘层、171、173: 开口、200: 源·漏电极、201: 源电极、203: 漏电极、210: 保持电容、211: 信号线、212: 栅极线、213: 阳极电源线、214: 阴极电源线、300: 阵列基板、301: 像素电路、302: 源极驱动电路、303: 栅极驱动电路、304: 源极布线、305: 栅极布线、306: 端子部、307: 连接布线、310: 密封部、311: 液晶元件、320: 对置基板、330: 柔性印刷电路板基板(FPC)、340: IC芯片、350: 保持电容、360、362、380: 绝缘层、363、381: 开口、370: 公共电极、390: 像素电极、392: 发光层、394: 公共电极、CH: 沟道区域、D: 漏极区域、D0: 发光元件、L: 沟道长度、S: 源极区域、W: 沟道宽度

具体实施方式

[0040] 以下参照附图说明本发明的各实施方式。以下的公开只不过是一例。本领域技术人员通过保持发明主旨且适当变更实施方式的构成而可容易想到的构成当然包含在本发明的范围内。就附图而言,为了使说明更加明确,与实际方式相比,有时示意性表示各部分的宽度、厚度、形状等。但是,图示的形状至多是一例,并非限定本发明的解释。在本说明书和各图中,对于与关于已出现的附图说明过的构成相同的构成,存在标注同一附图标记并适当省略详细说明的情况。

[0041] 在本发明的各实施方式中,将从基板朝向氧化物半导体层的方向称为上或上方。反之,将从氧化物半导体层朝向基板的方向称为下或下方。像这样,为了便于说明,使用上方或下方的用语进行说明,例如,也可以将基板与氧化物半导体层的上下关系配置为与图示不同的朝向。在以下的说明中,例如基板上的氧化物半导体层的表述如上所述只不过是说明基板与氧化物半导体层的上下关系,也可以在基板与氧化物半导体层之间配置其他部件。上方或下方表示多个层层叠的构造中的层叠顺序,在表述为晶体管上方的像素电极的情况下,也可以是俯视观察时晶体管与像素电极不重叠的位置关系。另一方面,表述为晶体管的铅垂上方的像素电极的情况下,表示俯视观察时晶体管与像素电极重叠的位置关系。

[0042] “显示装置”是指使用电光学层显示影像的构造体。例如,显示装置这一用语有时是指包含电光学层的显示面板,或者有时是指将其他光学部件(例如偏光部件、背光源、触摸面板等)安装于显示单元的构造体。只要在技术上没有矛盾,“电光学层”能够包含液晶层、电致发光(EL)层、电致变色(EC)层、电泳层。因此,在后述的实施方式中,作为显示装置,例示出了包含液晶层的液晶显示装置及包含有机EL层的有机EL显示装置来说明,但本实施方式中的构造能够应用于包含上述其他电光学层的显示装置。

[0043] 在本说明书中,只要没有特别说明,“ α 包含A、B或C”、“ α 包含A、B及C中的任一者”、“ α 包含选自自由A、B及C组成的组中选择的一者”的表述不排除 α 包含A~C的多个组合的情况。此外,这些表述也不排除 α 包含其他要素的情况。

[0044] 需要说明的是,只要技术上不产生矛盾,以下各实施方式能够相互组合。

[0045] [1. 第1实施方式]

[0046] 使用图1~图10说明本发明一个实施方式涉及的半导体器件。例如,以下所示的实施方式的半导体器件除了应用于显示装置中使用的晶体管以外,也可以用于微处理器(Micro-Processing Unit:MPU)等集成电路(Integrated Circuit:IC)或存储器电路。

[0047] [1-1. 半导体器件10的构成]

[0048] 使用图1及图2说明本发明一个实施方式涉及的半导体器件10的构成。图1是示出本发明一个实施方式涉及的半导体器件的概要的剖视图。图2是示出本发明一个实施方式涉及的半导体器件的概要的俯视图。

[0049] 如图1所示,半导体器件10设置于基板100的上方。半导体器件10包含栅电极105、栅极绝缘层110、120、金属氧化物层130、氧化物半导体层140、栅极绝缘层150、栅电极160、绝缘层170、180、源电极201及漏电极203。在不特别区分源电极201及漏电极203的情况下,有时将其一并称为源·漏电极200。

[0050] 栅电极105设置在基板100之上。栅极绝缘层110、120设置在基板100及栅电极105之上。金属氧化物层130设置在栅极绝缘层120之上。金属氧化物层130与栅极绝缘层120相

接。氧化物半导体层140设置在金属氧化物层130之上。氧化物半导体层140与金属氧化物层130相接。氧化物半导体层140被图案化。金属氧化物层130的一部分越氧化物半导体层140的端部与氧化物半导体层140的图案相比向外侧延伸。需要说明的是,金属氧化物层130也可以以与氧化物半导体层140相同的平面形状图案化。

[0051] 金属氧化物层130的厚度为1nm以上4nm以下、或1nm以上3nm以下。金属氧化物层130的厚度相对氧化物半导体层140的厚度的比率为1/30以上4/30以下、或1/30以上1/10以下。详细情况在后叙述,通过将金属氧化物层130的厚度设为上述的范围,从而能够实现迁移率及可靠性高的半导体器件。

[0052] 换言之,关于上述构成,栅极绝缘层120设置在基板100与金属氧化物层130之间。进一步换言之,金属氧化物层130在栅极绝缘层120与氧化物半导体层140之间与栅极绝缘层120及氧化物半导体层140中的各自相接。详细情况在后叙述,栅极绝缘层120是包含氧的绝缘层。具体来说,栅极绝缘层120是具备通过600℃以下的热处理来放出氧的功能的绝缘层。利用通过热处理从栅极绝缘层120放出的氧来修复在氧化物半导体层140中形成的氧缺损。有时将栅极绝缘层120称为“第1绝缘层”。

[0053] 在本实施方式中,在金属氧化物层130与基板100之间未设有半导体层或氧化物半导体层。

[0054] 在本实施方式中,例示了金属氧化物层130与栅极绝缘层120相接、氧化物半导体层140与金属氧化物层130相接的构成,但不限于该构成。也可以在栅极绝缘层120与金属氧化物层130之间设置其他层。也可以在金属氧化物层130与氧化物半导体层140之间设置其他层。

[0055] 栅电极160与氧化物半导体层140对置。栅极绝缘层150设置在氧化物半导体层140与栅电极160之间。栅极绝缘层150与氧化物半导体层140相接。将氧化物半导体层140的主面中的、与栅极绝缘层150相接的面称为上表面141。将氧化物半导体层140的主面中的、与金属氧化物层130相接的面称为下表面142。将上表面141与下表面142之间的面称为侧面143。绝缘层170、180设置在栅极绝缘层150及栅电极160之上。在绝缘层170、180中设置到达氧化物半导体层140的开口171、173。源电极201设置在开口171的内部。源电极201在开口171的底部与氧化物半导体层140相接。漏电极203设置在开口173的内部。漏电极203在开口173的底部与氧化物半导体层140相接。

[0056] 栅电极105具备作为半导体器件10的底栅的功能及作为针对氧化物半导体层140的遮光膜的功能。栅极绝缘层110具备遮蔽从基板100朝向氧化物半导体层140扩散的杂质的作为阻隔膜的功能。栅极绝缘层110、120具备作为针对底栅的栅极绝缘层的功能。金属氧化物层130是包含以铝为主成分的金属氧化物的层,具备遮蔽氧及氢等气体的阻隔性。

[0057] 氧化物半导体层140被划分为源极区域S、漏极区域D及沟道区域CH。沟道区域CH是氧化物半导体层140中的栅电极160的铅垂下方的区域。源极区域S是氧化物半导体层140之中在俯视观察时与栅电极160不重叠的区域,且是与沟道区域CH相比接近源电极201一侧的区域。漏极区域D是氧化物半导体层140之中在俯视观察时与栅电极160不重叠的区域,且是与沟道区域CH相比接近漏电极203一侧的区域。沟道区域CH中的氧化物半导体层140具备作为半导体的物性。源极区域S及漏极区域D中的氧化物半导体层140具备作为导电体的物性。

[0058] 栅电极160具备作为针对半导体器件10的顶栅及氧化物半导体层140的遮光膜的

功能。栅极绝缘层150具备作为针对顶栅的栅极绝缘层的功能,并具备与栅极绝缘层120同样地通过制造工艺中的热处理放出氧的功能。绝缘层170、180具备使栅电极160与源·漏电极200绝缘,减小二者间的寄生电容的功能。半导体器件10的运转主要通过被供给至栅电极160的电压控制。栅电极105被供给辅助电压。需要说明的是,在栅电极105仅作为遮光膜使用的情况下,栅电极105未被供给特定的电压,栅电极105的电位也可以是浮动的。也就是说,栅电极105也可以简称为“遮光膜”。在该情况下,遮光膜也可以是绝缘体。

[0059] 在本实施方式中,作为半导体器件10,例示了使用栅电极设置于氧化物半导体层的上方及下方二者的双栅型晶体管的构成,但不限于该构成。例如,作为半导体器件10,也可以使用栅电极仅设置于氧化物半导体层下方的底栅型晶体管或栅电极仅设置于氧化物半导体层上方的顶栅型晶体管。上述构成只不过是一个实施方式,本发明不限于上述构成。

[0060] 参照图1及图2,氧化物半导体层140的下表面142由金属氧化物层130覆盖。特别是,在本实施方式中,氧化物半导体层140的整个下表面142由金属氧化物层130覆盖。在图2所示的D1方向上,栅电极105的宽度大于栅电极160的宽度。D1方向是将源电极201与漏电极203连结的方向,是表示半导体器件10的沟道长度L的方向。具体来说,氧化物半导体层140与栅电极160重叠的区域(沟道区域CH)的D1方向的长度是沟道长度L,该沟道区域CH的D2方向的宽度是沟道宽度W。

[0061] 在本实施方式中,例示了氧化物半导体层140的整个下表面142由金属氧化物层130覆盖的构成,但不限于该构成。例如,氧化物半导体层140的下表面142的一部分也可以与金属氧化物层130不相接。例如,也可以是沟道区域CH中的氧化物半导体层140的整个下表面142由金属氧化物层130覆盖,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或部分未由金属氧化物层130覆盖。也就是说,源极区域S及漏极区域D中的氧化物半导体层140的下表面142的全部或部分也可以与金属氧化物层130不相接。其中,在上述构成中,也可以是沟道区域CH中的氧化物半导体层140的下表面142的一部分未由金属氧化物层130覆盖,而该下表面142的其他部分与金属氧化物层130相接。

[0062] 在本实施方式中,例示了栅极绝缘层150形成在整个面上,在栅极绝缘层150中设有开口171、173的构成,但不限于该构成。栅极绝缘层150也可以图案化为与设有开口171、173的形状不同的形状。例如,也可以将栅极绝缘层150图案化为使源极区域S及漏极区域D的全部或一部分的氧化物半导体层140露出。也就是说,也可以是,源极区域S及漏极区域D的栅极绝缘层150被除去,氧化物半导体层140与绝缘层170在这些区域中相接。

[0063] 在图2中,例示了在俯视观察时源·漏电极200与栅电极105及栅电极160不重叠的构成,但不限于该构成。例如,在俯视观察时,源·漏电极200与栅电极105及栅电极160中的至少一者也可以重叠。上述构成只不过是一个实施方式,本发明不限于上述构成。

[0064] [1-2. 半导体器件10的各部件的材质]

[0065] 使用玻璃基板、石英基板及蓝宝石基板等具有透光性的刚性基板作为基板100。在基板100需要具备挠性的情况下,使用聚酰亚胺基板、丙烯酸基板、硅氧烷基板、氟树脂基板等包含树脂的基板作为基板100。在作为基板100使用包含树脂的基板的情况下,为了提高基板100的耐热性,也可以在上述树脂中导入杂质。特别是,在半导体器件10为顶部发射型显示器的情况下,由于不需要基板100透明,也可以使用使基板100的透明度变差的杂质。半

导体器件10被用于非显示装置的集成电路的情况下,使用硅基板、碳化硅基板、化合物半导体基板等半导体基板或不锈钢基板等导电性基板这种不具备透光性的基板作为基板100。

[0066] 作为栅电极105、栅电极160及源·漏电极200,使用通常的金属材料。例如,作为这些部件,使用铝(Al)、钛(Ti)、铬(Cr)、钴(Co)、镍(Ni)、钼(Mo)、钪(Hf)、钽(Ta)、钨(W)、铋(Bi)、银(Ag)、铜(Cu)及其合金或其化合物。作为栅电极105、栅电极160及源·漏电极200,上述材料可以单层使用,也可以层叠使用。

[0067] 作为栅极绝缘层110、120及绝缘层170、180,可使用通常的绝缘性材料。例如,作为这些绝缘层,可使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氮化硅(SiN_x)、氮氧化硅(SiN_xO_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。

[0068] 作为栅极绝缘层150,使用上述绝缘层中的包含氧的绝缘层。例如,作为栅极绝缘层150,使用氧化硅(SiO_x)、氧氮化硅(SiO_xN_y)、氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)等无机绝缘层。

[0069] 作为栅极绝缘层120,使用具备通过热处理放出氧的功能的绝缘层。例如,栅极绝缘层120放出氧的热处理的温度为 600°C 以下、 500°C 以下、 450°C 以下或 400°C 以下。也就是说,例如,在作为基板100使用玻璃基板的情况下,栅极绝缘层120以在半导体器件10的制造工序中进行的热处理温度放出氧。绝缘层170、180中的至少任一者与栅极绝缘层120同样地使用具备通过热处理放出氧的功能的绝缘层。

[0070] 作为栅极绝缘层150,使用缺陷少的绝缘层。例如,在将栅极绝缘层150中的氧的组成比与组成与栅极绝缘层150相同的绝缘层(以下称为“其他绝缘层”)中的氧的组成比相比的情况下,栅极绝缘层150中的氧的组成比与该其他绝缘层中的氧的组成比相比,更接近相对于该绝缘层而言的化学计量比。具体来说,在栅极绝缘层150及绝缘层180中的各自使用氧化硅(SiO_x)的情况下,作为栅极绝缘层150使用的氧化硅中的氧的组成比与作为绝缘层180使用的氧化硅中的氧的组成比相比,更接近氧化硅的化学计量比。例如,作为栅极绝缘层150,也可以使用在以电子自旋共振法(ESR)进行评价时未观测到缺陷的层。

[0071] 上述 SiO_xN_y 及 AlO_xN_y 是含有比率比氧(O)少($x>y$)的氮(N)的硅化合物及铝化合物。 SiN_xO_y 及 AlN_xO_y 是含有比率比氮少($x>y$)的氧的硅化合物及铝化合物。

[0072] 作为金属氧化物层130,使用以铝为主成分的氧化金属。例如,作为金属氧化物层130,使用氧化铝(AlO_x)、氧氮化铝(AlO_xN_y)、氮氧化铝(AlN_xO_y)、氮化铝(AlN_x)等无机绝缘层。“以铝为主成分的金属氧化物层”表示金属氧化物层130中包含的铝的比率为金属氧化物层130整体的1%以上。金属氧化物层130中包含的铝的比率也可以是金属氧化物层130整体的5%以上70%以下、10%以上60%以下或30%以上50%以下。上述比率可以是质量比,也可以是重量比。

[0073] 作为氧化物半导体层140,也可以使用具有半导体特性的氧化金属。例如,作为氧化物半导体层140也可以使用包含铟(In)、镓(Ga)、锌(Zn)及氧(O)的氧化物半导体。例如,作为氧化物半导体层140,也可以使用具有In:Ga:Zn:O=1:1:1:4的组成比的氧化物半导体。需要说明的是,本实施方式中使用的包含In、Ga、Zn及O的氧化物半导体不限于上述组成。作为该氧化物半导体,也可以使用与上述不同的组成的氧化物半导体。例如,为了提高迁移率,也可以使用In的比率比上述大的氧化物半导体层。另一方面,为了增大带隙、减小光照射带来的影响,也可以使用Ga的比率比上述大的氧化物半导体层。

[0074] 例如,作为In的比率比上述大的氧化物半导体层140,也可以使用包含铟(In)的两种以上的金属的氧化物半导体。在该情况下,铟相对于整个氧化物半导体层140而言的比率也可以是50%以上。作为氧化物半导体层140,除了铟以外,还可以使用镓(Ga)、锌(Zn)、铝(Al)、铪(Hf)、钇(Y)、锆(Zr)、镧系元素。作为氧化物半导体层140,也可以使用上述以外的元素。

[0075] 作为氧化物半导体层140,可以在包含In、Ga、Zn及O的氧化物半导体中添加其他元素,还可以添加例如Al、Sn等金属元素。除了上述氧化物半导体以外,也可以将包含In、Ga的氧化物半导体(IGO)、包含In、Zn的氧化物半导体(IZO)、包含In、Sn、Zn的氧化物半导体(ITZO)、包含及In、W的氧化物半导体等作为氧化物半导体层140使用。

[0076] 氧化物半导体层140可以是无定形的,也可以是结晶性。氧化物半导体层140也可以是无定形与结晶的混相。例如,如上所述,在铟的比率为50%以上的氧化物半导体层140中,容易形成氧缺损。另一方面,与无定形的氧化物半导体相比,结晶性的氧化物半导体难以形成氧缺损。因此,在铟的比率为50%以上的氧化物半导体层140的情况下,优选氧化物半导体层140为结晶性。

[0077] 在氧化物半导体层140中,若氧化物半导体层140中包含的氧被还原,则在氧化物半导体层140中形成氧缺损。在半导体器件10中,在制造工艺的热处理工序中,通过与氧化物半导体层140相比设置在基板100侧的层(例如栅极绝缘层110、120)放出氢,且该氢到达氧化物半导体层140,从而氧化物半导体层140中发生氧缺损。氧化物半导体层140的图案尺寸越大,该氧缺损的发生越显著。为了抑制这样的氧缺损发生,需要抑制氢到达氧化物半导体层140的下表面142。

[0078] 另一方面,氧化物半导体层140的上表面141受到形成氧化物半导体层140后的工序(例如图案化工序或蚀刻工序)的影响。与此相对,氧化物半导体层140的下表面142(氧化物半导体层140的基板100侧的面)不受上述影响。

[0079] 因此,在氧化物半导体层140的上表面141附近形成的氧缺损比在氧化物半导体层140的下表面142附近形成的氧缺损多。也就是说,氧化物半导体层140中的氧缺损并非在氧化物半导体层140的厚度方向上均匀存在,而是在氧化物半导体层140的厚度方向上以不均匀的分布存在。具体来说,就氧化物半导体层140中的氧缺损而言,越靠近氧化物半导体层140的下表面142侧越少,越靠近氧化物半导体层140的上表面141侧越多。

[0080] 在向具有上述氧缺损分布的氧化物半导体层140均匀地进行氧供给处理的情况下,若供给用于对在氧化物半导体层140的上表面141侧形成的氧缺损进行修复所需的量的氧,则氧被过量地供给至氧化物半导体层140的下表面142侧。其结果,在下表面142侧,由于过量氧而形成与氧缺损不同的缺陷能级。其结果,发生可靠性试验中的特性变化或电场效应迁移率降低等现象。因此,为了抑制这种现象,需要抑制向氧化物半导体层140的下表面142侧的氧供给,并向氧化物半导体层140的上表面141侧供给氧。

[0081] 上述课题是在得到本发明的过程中新认识的课题,并非以往认识的课题。在现有的构成及制造方法中,即使通过向氧化物半导体层的氧供给处理来改善半导体器件的初始特性,也会发生由可靠性试验带来的特性变化,即,在初始特性与可靠性试验之间存在折衷关系。但是,根据本实施方式涉及的构成,能够解决上述课题,并得到半导体器件10的良好初始特性及可靠性试验结果。

[0082] 为了解决上述课题,在栅极绝缘层120与氧化物半导体层140之间设有金属氧化物层130。此外,通过使得金属氧化物层130的厚度为1nm以上4nm以下、或1nm以上3nm以下,从而能够实现迁移率及可靠性高的半导体器件。

[0083] [1-3. 半导体器件10的制造方法]

[0084] 使用图3~图10说明本发明一个实施方式涉及的半导体器件的制造方法。图3是示出本发明一个实施方式涉及的半导体器件的制造方法的时序图。图4~图10是示出本发明一个实施方式涉及的半导体器件的制造方法的剖视图。在下述制造方法的说明中,说明作为金属氧化物层130使用氧化铝的半导体器件10的制造方法。

[0085] 如图3及图4所示,在基板100之上形成栅电极105作为底栅,在栅电极105之上形成栅极绝缘层110、120(图3的步骤S1001的“形成底部GI/GE(Bottom GI/GE)”)。例如,作为栅极绝缘层110形成氮化硅。例如,作为栅极绝缘层120形成氧化硅。栅极绝缘层110、120通过CVD(Chemical Vapor Deposition,化学气相沉积)法成膜。

[0086] 通过使用氮化硅作为栅极绝缘层110,从而栅极绝缘层110能够阻挡例如从基板100侧朝向氧化物半导体层140扩散的杂质。作为栅极绝缘层120使用的氧化硅是具备通过热处理放出氧的物性的氧化硅。

[0087] 如图3及图5所示,在栅极绝缘层120之上形成金属氧化物层130及氧化物半导体层140(图3的步骤S1002的“OS/AlO_x成膜”)。金属氧化物层130及氧化物半导体层140通过溅射法或原子层堆积法(ALD:Atomic Layer Deposition)成膜。

[0088] 金属氧化物层130的厚度例如为1nm以上4nm以下、或1nm以上3nm以下。金属氧化物层130的厚度非常小,因此需要将金属氧化物层130的成膜速度抑制得低。因此,优选将成膜电力设定得尽可能低,将成膜时的工艺气体中的氧分压设定得高。例如,在溅射成膜的情况下,金属氧化物层130的成膜速度为0.04nm/sec~0.3nm/sec。同样地,在ALD的情况下,金属氧化物层130的成膜速度为0.005nm/sec~0.01nm/sec。在本实施方式中,作为金属氧化物层130使用氧化铝。氧化铝具备针对气体高的阻隔性。在本实施方式中,作为金属氧化物层130使用的氧化铝阻挡从栅极绝缘层120放出的氢及氧的一部分,调节所放出的氢及氧到达氧化物半导体层140的量。

[0089] 氧化物半导体层140的厚度例如为10nm以上100nm以下、15nm以上70nm以下、或20nm以上40nm以下。在本实施方式中,氧化物半导体层140的厚度为30nm。后述热处理(OS退火)前的氧化物半导体层140是无定形的。

[0090] 在通过后述的OS退火使氧化物半导体层140结晶化的情况下,优选成膜后且OS退火前的氧化物半导体层140是无定形状态(氧化物半导体的结晶成分少的状态)。也就是说,优选氧化物半导体层140的成膜条件为刚刚成膜后的氧化物半导体层140尽可能未结晶化的条件。例如,在通过溅射法成膜氧化物半导体层140的情况下,在被成膜对象物(基板100及在其之上形成的构造物)的温度被控制的状态下成膜氧化物半导体层140。

[0091] 若通过溅射法针对被成膜对象物进行成膜,则由于在等离子体中产生的离子及溅射靶材而反弹的原子与被成膜对象物碰撞。因此,伴随着成膜处理而被成膜对象物的温度上升。在形成结晶性氧化物半导体膜的工序中,若成膜处理中的被成膜对象物的温度上升,则在刚刚成膜后的状态下,氧化物半导体层140中包含微结晶。由其后的OS退火引起的结晶化有时被该微结晶阻碍。为了如上所述控制被成膜对象物的温度,例如,也可以一边对被成

膜对象物进行冷却一边进行成膜。例如,也可以从该被成膜面的相反侧的面对被成膜对象物进行冷却,使得被成膜对象物的被成膜面的温度(以下称为“成膜温度”)为100℃以下、70℃以下、50℃以下或30℃以下。如上所述,通过一边对被成膜对象物进行冷却一边进行氧化物半导体层140的成膜,从而能够在刚刚成膜后的状态下将结晶成分少的氧化物半导体层140成膜。需要说明的是,在将无定形氧化物半导体膜作为薄膜晶体管的活性层使用的情况下,不特别需要上述的成膜温度管理。

[0092] 如图3及图6所示,形成氧化物半导体层140的图案(图3的步骤S1003的“形成OS图案”)。虽未图示,但在氧化物半导体层140之上形成抗蚀剂掩模,使用该抗蚀剂掩模对氧化物半导体层140进行蚀刻。作为氧化物半导体层140的蚀刻,可以使用湿式蚀刻,也可以使用干式蚀刻。作为湿式蚀刻,也可以使用酸性的蚀刻剂进行蚀刻。例如,作为蚀刻剂,也可以使用草酸或氢氟酸。

[0093] 在形成氧化物半导体层140的图案后对氧化物半导体层140进行热处理(OS退火)(图3的步骤S1004的“OS退火”)。在本实施方式中,通过该OS退火,从而氧化物半导体层140结晶化。需要说明的是,氧化物半导体层140也可以不必通过OS退火而结晶化。

[0094] 在本实施方式中,例示了仅氧化物半导体层140被图案化的制造方法,但不限定于该制造方法。例如,金属氧化物层130的图案也可以与氧化物半导体层140的图案大致相同。在氧化物半导体层140通过OS退火而结晶化的情况下,也可以通过以氧化物半导体层140为掩模对金属氧化物层130进行蚀刻而使金属氧化物层130图案化。另一方面,在氧化物半导体层140在OS退火后也为无定形的情况下,也可以通过以氧化物半导体层140的图案化中使用的抗蚀剂为掩模对金属氧化物层130进行蚀刻,从而使金属氧化物层130图案化。

[0095] 如图3及图7所示,将栅极绝缘层150成膜(图3的步骤S1005的“形成GI”)。例如,作为栅极绝缘层150形成氧化硅。栅极绝缘层150通过CVD法形成。例如,为了如上所述形成缺陷少的绝缘层作为栅极绝缘层150,也可以于350℃以上的成膜温度将栅极绝缘层150成膜。栅极绝缘层150的厚度例如为50nm以上300nm以下、60nm以上200nm以下、或70nm以上150nm以下。也可以在将栅极绝缘层150成膜后,进行向栅极绝缘层150的上部注入氧的处理。

[0096] 在氧化物半导体层140之上使栅极绝缘层150成膜的状态下,进行向氧化物半导体层140供给氧的热处理(氧化退火)(图3的步骤S1006的“氧化退火”)。在从使氧化物半导体层140成膜到氧化物半导体层140之上使栅极绝缘层150成膜的期间的工序中,在氧化物半导体层140的上表面141及侧面143产生大量氧缺损。通过上述氧化退火,从栅极绝缘层120、150放出的氧被供给至氧化物半导体层140,修复氧缺损。在不进行向栅极绝缘层150注入氧的处理的情况下,在栅极绝缘层150之上形成通过热处理放出氧的绝缘层的状态下进行氧化退火。

[0097] 通过氧化退火从栅极绝缘层120放出的氧的一部分被金属氧化物层130阻挡,因此难以向氧化物半导体层140的下表面142供给氧。另一方面,从栅极绝缘层150放出的氧被供给至氧化物半导体层140的上表面141及侧面143。虽然存在由于上述氧化退火而从栅极绝缘层110、120放出氢的情况,但该氢被金属氧化物层130阻挡。

[0098] 如上所述,能够通过氧化退火的工序抑制向氧缺损的量少的氧化物半导体层140的下表面142供给氧,并向氧缺损量多的氧化物半导体层140的上表面141及侧面143进行氧供给。

[0099] 为了增加来自栅极绝缘层150的氧供给量,也可以追加通过溅射法在栅极绝缘层150之上形成与金属氧化物层130相同的金属氧化物层,从而将氧注入栅极绝缘层150中的工序。此外,也可以在栅极绝缘层150之上形成有该金属氧化物层的状态下进行上述氧化退火。作为该金属氧化物层,通过使用对气体的阻隔性高的氧化铝,从而能够抑制注入栅极绝缘层150中的氧在氧化退火时向外侧扩散。

[0100] 如图3及图8所示,将栅电极160成膜(图3的步骤S1007的“形成GE”)。栅电极160通过溅射法或原子层堆积法来成膜,经过光刻工序而被图案化。

[0101] 在栅电极160被图案化的状态下,进行氧化物半导体层140的源极区域S及漏极区域D的低电阻化(图3的步骤S1008的“SD低电阻化”)。具体来说,通过离子注入从栅电极160侧经由栅极绝缘层150向氧化物半导体层140注入杂质。例如,通过离子注入,从而氩(Ar)、磷(P)、硼(B)被注入氧化物半导体层140。通过离子注入而在氧化物半导体层140中形成氧缺损,由此氧化物半导体层140低电阻化。在作为半导体器件10的沟道区域CH发挥功能的氧化物半导体层140的上方设有栅电极160,因此沟道区域CH的氧化物半导体层140中未被注入杂质。

[0102] 如图3及图9所示,在栅极绝缘层150及栅电极160之上成膜绝缘层170、180作为层间膜(图3的步骤S1009的“层间膜成膜”)。绝缘层170、180通过CVD法成膜。例如,作为绝缘层170形成氮化硅,作为绝缘层180形成氧化硅。作为绝缘层170、180使用的材料不限于上述。绝缘层170的厚度为50nm以上500nm以下。绝缘层180的厚度为50nm以上500nm以下。

[0103] 如图3及图10所示,在栅极绝缘层150及绝缘层170、180中形成开口171、173(图3的步骤S1010的“接触开孔”)。通过开口171而使源极区域S的氧化物半导体层140露出。通过开口173而使漏极区域D的氧化物半导体层140露出。在通过开口171、173而露出的氧化物半导体层140之上及绝缘层180之上形成源·漏电极200(图3的步骤S1011的“形成SD”),由此完成图1所示的半导体器件10。

[0104] 就以上述制造方法制备的半导体器件10而言,在沟道区域CH的沟道长度L为 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、且沟道区域CH的沟道宽度为 $2\mu\text{m}$ 以上 $25\mu\text{m}$ 以下的范围内,能够获得迁移率为 $30[\text{cm}^2/\text{Vs}]$ 以上、 $35[\text{cm}^2/\text{Vs}]$ 以上或 $40[\text{cm}^2/\text{Vs}]$ 以上的电气特性。本实施方式中的迁移率是半导体器件10的饱和区域中的电场效应迁移率。具体来说,该迁移率是指源电极与漏电极之间的电位差(Vd)大于从供给至栅电极的电压(Vg)减去半导体器件10的阈值电压(Vth)得到的值(Vg-Vth)的区域中的电场效应迁移率的最大值。

[0105] [1-4. 半导体器件10的电气特性]

[0106] 使用图11~图14说明本实施方式涉及的半导体器件10的电气特性及可靠性试验结果。

[0107] 图11是示出本发明一个实施方式涉及的半导体器件的电气特性的图。图11所示的电气特性的测定条件如下。

[0108] • 沟道区域CH的尺寸:W/L= $4.5\mu\text{m}/3.0\mu\text{m}$

[0109] • 源极/漏极间电压:0.1V(虚线)、10V(实线)

[0110] • 栅极电压:-15V~+15V

[0111] • 测定环境:室温、暗室

[0112] 在图11中示出半导体器件10的电气特性(Id-Vg特性)及迁移率。如图11的曲线图

中箭头所示,关于漏极电流(I_d)的纵轴在曲线图的左侧示出,关于根据该漏极电流计算的迁移率的纵轴在曲线图的右侧示出。

[0113] 如图11所示,本实施方式涉及的半导体器件10的电气特性表述漏极电流 I_d 在栅极电压 V_g 高于0V的电压开始流通的、所谓的常闭的特性。根据该电气特性计算的迁移率约为 $40[\text{cm}^2/\text{Vs}]$ 。

[0114] 图12是示出本发明一个实施方式涉及的半导体器件的本征迁移率的膜厚依存性的图。在图12中,示出金属氧化物层130的厚度为0nm~15nm的情况下的半导体器件10的本征迁移率。

[0115] 本征迁移率表示关于晶体管的有效沟道长度的迁移率。本征迁移率根据从图11所示的电气特性得到的表示迁移率的沟道长度 L 依存性的数据计算。具体来说,通过针对在以沟道长度 L 为横轴、以迁移率为纵轴的曲线图中绘制的数据(L 长依存性)进行TLM解析,从而能够计算本征迁移率。

[0116] 如图12所示,通过成膜1nm的金属氧化物层130,从而与未设有金属氧化物层130的情况(0nm的条件)相比,本征迁移率提高。此外,通过将金属氧化物层130成膜为2nm以上,从而本征迁移率进一步提高。在金属氧化物层130的厚度为2nm~4nm的情况下,伴随金属氧化物层130的厚度的增加而本征迁移率增加。根据该结果,若金属氧化物层130形成为1nm以上,则能够获得本征迁移率提高的效果。另一方面,在金属氧化物层130的厚度为5nm以上的情况下,与该厚度为4nm的情况相比,存在本征迁移率低的倾向。在金属氧化物层130的厚度为5nm以上的情况下,阻挡从栅极绝缘层110、120扩散的氢的功能变强,另一方面,金属氧化物层130与氧化物半导体层140的界面上的缺陷能级增加。其结果,认为本征迁移率降低。需要说明的是,即使在金属氧化物层130的厚度为15nm的情况下,与没有金属氧化物层130的情况相比,本征迁移率高。

[0117] 图13是示出本发明一个实施方式涉及的半导体器件的电气特性及可靠性试验结果的膜厚依存性的图。在图13中,示出金属氧化物层130的厚度为0nm~15nm的情况下的半导体器件10的电气特性及可靠性试验结果。图13所示的电气特性是初始特性中的阈值电压(V_{th_ini})。图13所示的可靠性试验结果是基于正偏压温度应力(Positive Bias Temperature Stress, PBTS)的阈值电压的变化量(ΔV_{th})。 V_{th_ini} 以“◇”表示。 ΔV_{th} 以“柱状图”表示。

[0118] PBTS可靠性试验的条件如下。

[0119] • 沟道区域CH的尺寸: $W/L=2.5\mu\text{m}/2.5\mu\text{m}$

[0120] • 光照射条件:无照射(暗室)

[0121] • 栅极电压:+30V

[0122] • 源极及漏极电压:0V

[0123] • 应力施加时的工作台温度:85℃

[0124] • 应力时间:1000sec

[0125] 如图13所示, V_{th_ini} 在金属氧化物层130的厚度为3nm、4nm的情况下稍微为负的值,在其他情况下为正的。也就是说,在大部分的情况下获得常闭(normally off)的电气特性。金属氧化物层130的厚度为1~4nm的情况下的 ΔV_{th} 表示为2V以下的良好值。特别是,金属氧化物层130的厚度为1~3nm的情况下的 ΔV_{th} 比未设有金属氧化物层130的情况下的

V_{th}小。

[0126] 图14是按膜厚绘制本发明一个实施方式涉及的半导体器件的电气特性及可靠性试验结果的相关关系的图。在图14中,横轴为V_{th__ini},纵轴为 ΔV_{th} 。如图14所示,示出与金属氧化物层130的厚度增加相伴而言沿着箭头A的举动,以金属氧化物层130的厚度为4nm的情况为界,示出沿着箭头B的变化。也就是说,在金属氧化物层130的厚度为5nm以上的情况下,确认到基于PBTS可靠性试验的 ΔV_{th} 变大的倾向。根据上述结果,优选金属氧化物层130的厚度为4nm以下。

[0127] 如上所述,与金属氧化物层130的厚度增加相伴而 ΔV_{th} 增加,被认为是由在金属氧化物层130的膜中存在的缺陷能级引起。

[0128] 根据上述结果,优选金属氧化物层130的厚度为1nm以上4nm以下、或1nm以上3nm以下。

[0129] 如以上所示,根据本实施方式涉及的半导体器件10,通过将金属氧化物层130的厚度设为上述范围,从而能够实现迁移率高且可靠性试验结果良好的半导体器件10。

[0130] [2. 第2实施方式]

[0131] 使用图15~图19说明本发明一个实施方式涉及的半导体器件的显示装置。在以下所示的实施方式中,说明在上述第1实施方式中说明的半导体器件10应用于液晶显示装置的电路的构成。

[0132] [2-1. 显示装置20的概要]

[0133] 图15是示出本发明一个实施方式涉及的显示装置的概要的俯视图。如图15所示,显示装置20具有阵列基板300、密封部310、对置基板320、柔性印刷电路板330(FPC330)及IC芯片340。阵列基板300与对置基板320通过密封部310贴合。在由密封部310包围的液晶区域22中以矩阵状配置有多个像素电路301。液晶区域22是俯视观察时与后述的液晶元件311重叠的区域。

[0134] 设有密封部310的密封区域24是液晶区域22周围的区域。FPC330设置于端子区域26。端子区域26是阵列基板300从对置基板320露出的区域,设置在密封区域24的外侧。密封区域24的外侧表示设有密封部310的区域及由密封部310包围的区域的外侧。IC芯片340设置在FPC330上。IC芯片340供给用于驱动各像素电路301的信号。

[0135] [2-2. 显示装置20的电路构成]

[0136] 图16是示出本发明一个实施方式涉及的显示装置的电路构成的框图。如图16所示,在D1方向(列方向)上与配置有像素电路301的液晶区域22邻接的位置设有源极驱动电路302,在D2方向(行方向)上与液晶区域22邻接的位置设有栅极驱动电路303。源极驱动电路302及栅极驱动电路303设置于上述密封区域24。其中,设有源极驱动电路302及栅极驱动电路303的区域不限于密封区域24,若为设有像素电路301的区域的外侧,则可以是任意区域。

[0137] 源极布线304从源极驱动电路302起在D1方向上延伸,与在D1方向上排列的多个像素电路301连接。栅极布线305从栅极驱动电路303起在D2方向上延伸,与在D2方向上排列的多个像素电路301连接。

[0138] 在端子区域26中设有端子部306。端子部306与源极驱动电路302通过连接布线307连接。同样地,端子部306与栅极驱动电路303通过连接布线307连接。通过使FPC330与端子

部306连接,从而与FPC330连接的外部设备与显示装置20连接,通过来自外部设备的信号来驱动设置于显示装置20的各像素电路301。

[0139] 第1实施方式所示的半导体器件10被用作像素电路301、源极驱动电路302及栅极驱动电路303中包含的晶体管。

[0140] [2-3. 显示装置20的像素电路301]

[0141] 图17是示出本发明一个实施方式涉及的显示装置的像素电路的电路图。如图17所示,像素电路301包含半导体器件10、保持电容350及液晶元件311等元件。半导体器件10具有栅电极160、源电极201及漏电极203。栅电极160与栅极布线305连接。源电极201与源极布线304连接。漏电极203与保持电容350及液晶元件311连接。在本实施方式中,为了便于说明,将由附图标记“201”表示的电极称为源电极,将由附图标记“203”表示的电极称为漏电极,但也可以是,由附图标记“201”表示的电极作为漏电极发挥功能,由附图标记“203”表示的电极作为源电极发挥功能。

[0142] [2-4. 显示装置20的剖面构造]

[0143] 图18是本发明一个实施方式涉及的显示装置的剖视图。如图18所示,显示装置20是使用了半导体器件10的显示装置。在本实施方式中,例示像素电路301中使用半导体器件10的构成,但半导体器件10也可以用于包含源极驱动电路302及栅极驱动电路303的周边电路。在以下的说明中,半导体器件10的构成与图1所示的半导体器件10相同,因此省略说明。

[0144] 在源电极201及漏电极203之上设有绝缘层360。在绝缘层360之上设有针对多个像素公共设置的公共电极370。在公共电极370之上设有绝缘层380。在绝缘层360、380中设有开口381。在绝缘层380之上及开口381的内部设有像素电极390。像素电极390与漏电极203连接。

[0145] 图19是本发明一个实施方式涉及的显示装置的像素电极及公共电极的俯视图。如图19所示,公共电极370具有在俯视观察时与像素电极390重叠的重叠区域、和与像素电极390不重叠的非重叠区域。若向像素电极390与公共电极370之间供给电压,则从重叠区域的像素电极390朝向非重叠区域的公共电极370形成横向电场。液晶元件311中包含的液晶分子通过该横向电场而运转,由此确定像素的灰度。

[0146] [3. 第3实施方式]

[0147] 使用图20及图21说明本发明一个实施方式涉及的半导体器件的显示装置。在本实施方式中,说明在上述第1实施方式中说明的半导体器件10应用于有机EL显示装置的电路的构成。显示装置20的概要及电路构成与图15及图16所示的构成相同,因此省略说明。

[0148] [3-1. 显示装置20的像素电路301]

[0149] 图20是示出本发明一个实施方式涉及的显示装置的像素电路的电路图。如图20所示,像素电路301包含驱动晶体管11、选择晶体管12、保持电容210及发光元件D0等元件。驱动晶体管11及选择晶体管12具备与半导体器件10相同的构成。选择晶体管12的源电极与信号线211连接,选择晶体管12的栅电极与栅极线212连接。驱动晶体管11的源电极与阳极电源线213连接,驱动晶体管11的漏电极与发光元件D0的一端连接。驱动晶体管11的栅电极与选择晶体管12的漏电极连接。发光元件D0的另一端与阴极电源线214连接。保持电容210与驱动晶体管11的栅电极及漏电极连接。对信号线211供给确定发光元件D0的发光强度的灰度信号。对栅极线212供给选择写入上述灰度信号的像素行的信号。

[0150] [3-2.显示装置20的剖面构造]

[0151] 图21是本发明一个实施方式涉及的显示装置的剖视图。图21所示的显示装置20的构成与图18所示的显示装置20类似,而图21的显示装置20的比绝缘层360靠上方的构造与图18的显示装置20的比绝缘层360靠上方的构造不同。以下,对于图21的显示装置20的构成中的、与图18的显示装置20相同的构成省略说明,并说明二者的区别。

[0152] 如图21所示,显示装置20在绝缘层360的上方具有像素电极390、发光层392及公共电极394(发光元件D0)。像素电极390设置在绝缘层360之上及开口381的内部。在像素电极390之上设有绝缘层362。在绝缘层362中设有开口363。开口363与发光区域对应。也就是说,绝缘层362划分像素。在通过开口363而露出的像素电极390之上设有发光层392及公共电极394。像素电极390及发光层392针对各像素独立设置。另一方面,公共电极394针对多个像素公共设置。发光层392对应于像素的显示颜色使用不同的材料。

[0153] 在第2实施方式及第3实施方式中,例示了将在第1实施方式中说明的半导体器件应用于液晶显示装置及有机EL显示装置的构成,但也可以在这些显示装置以外的显示装置(例如,除了有机EL显示装置以外的自发光型显示装置或电子纸型显示装置)中应用该半导体器件。另外,从中小型显示装置到大型显示装置没有特别限定,均能够应用上述半导体器件。

[0154] 作为本发明的实施方式,只要相互不矛盾,上述各实施方式能够适当组合实施。另外,只要具备本发明的要旨,本领域技术人员基于各实施方式涉及的半导体器件及显示装置进行适当构成要素的追加、删除或设计变更得到的技术方案或进行工序的追加、省略或条件变更的技术方案,包含在本发明的范围内。

[0155] 即使是与上述各实施方式所带来的作用效果不同的其他作用效果,根据本说明书的记载明确或本领域技术人员中能够容易地预测的作用效果当然应视为本发明所带来的作用效果。

10

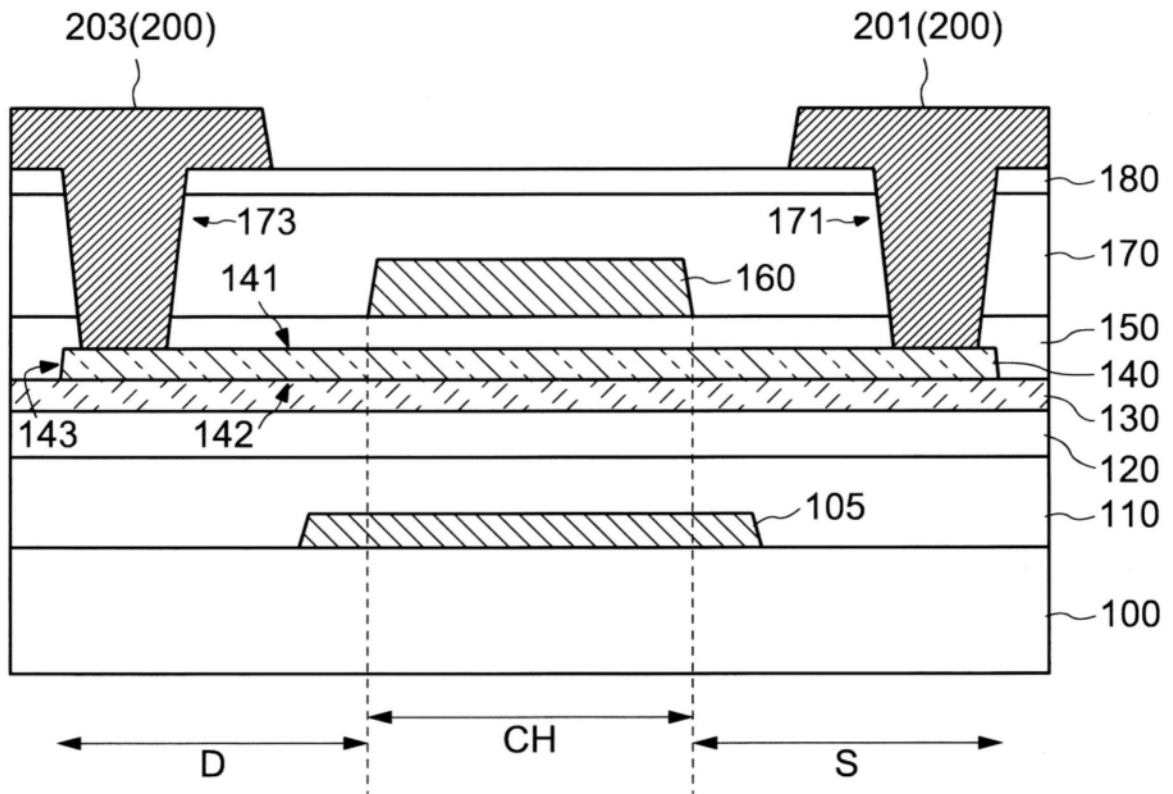


图1

10

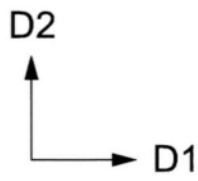
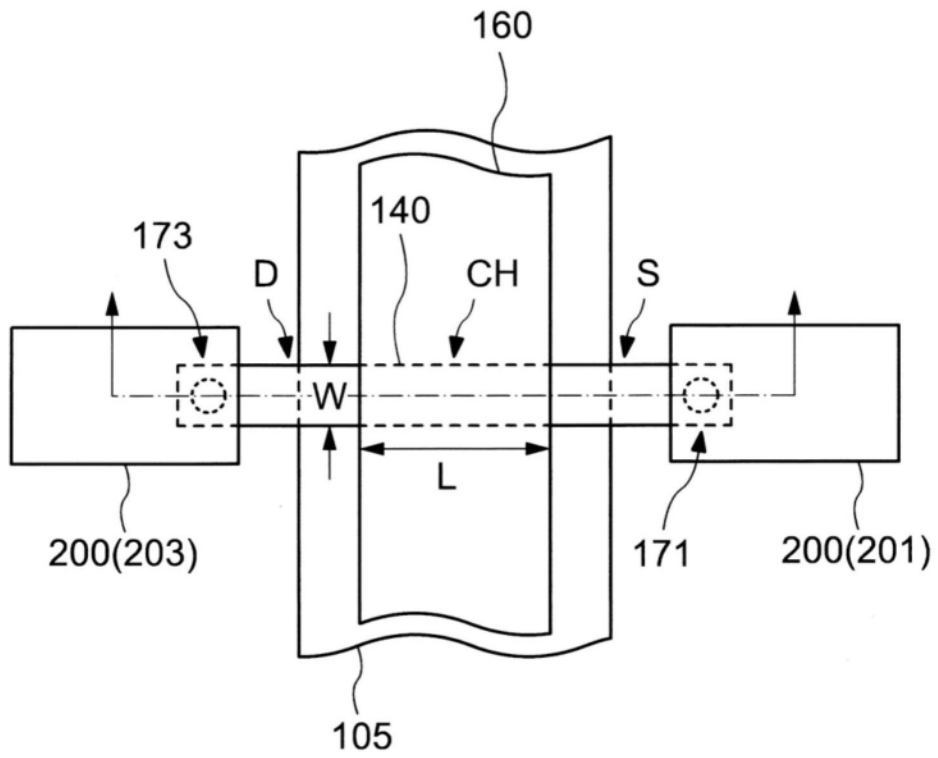


图2



图3

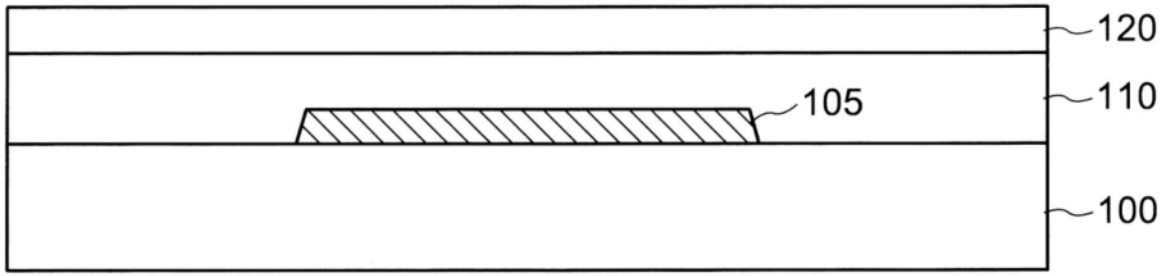


图4

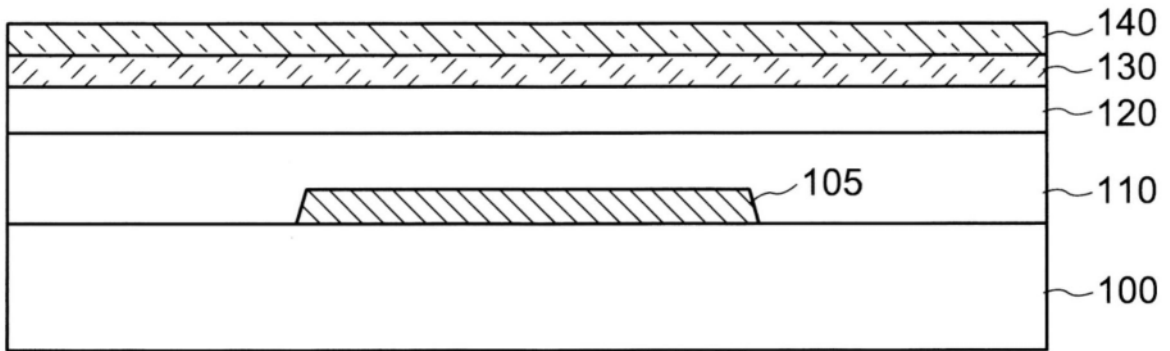


图5

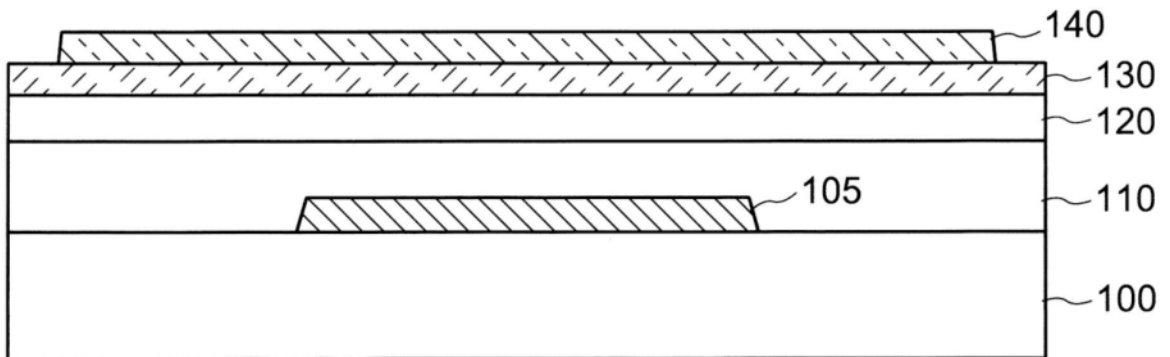


图6

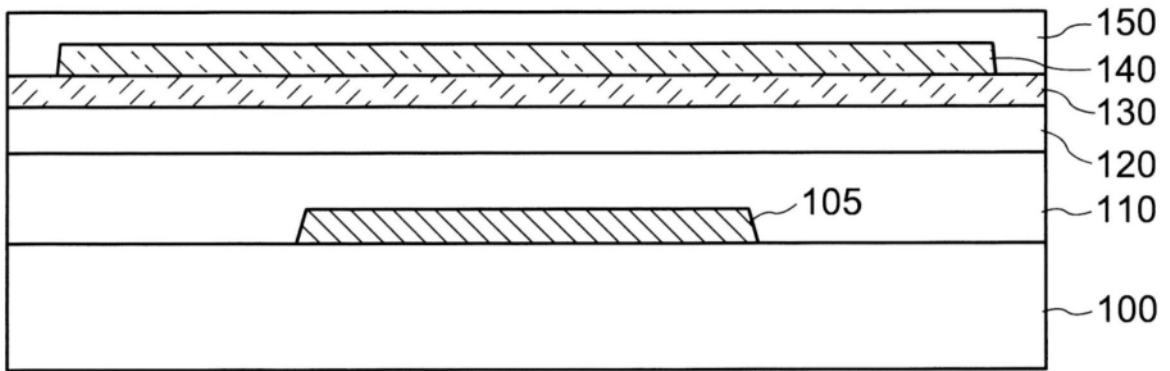


图7

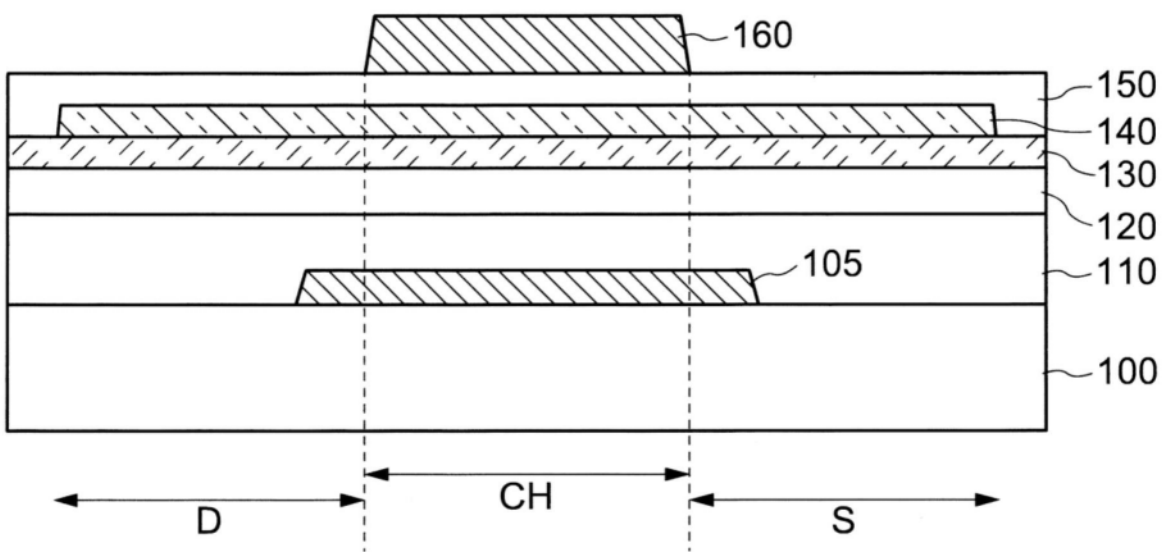


图8

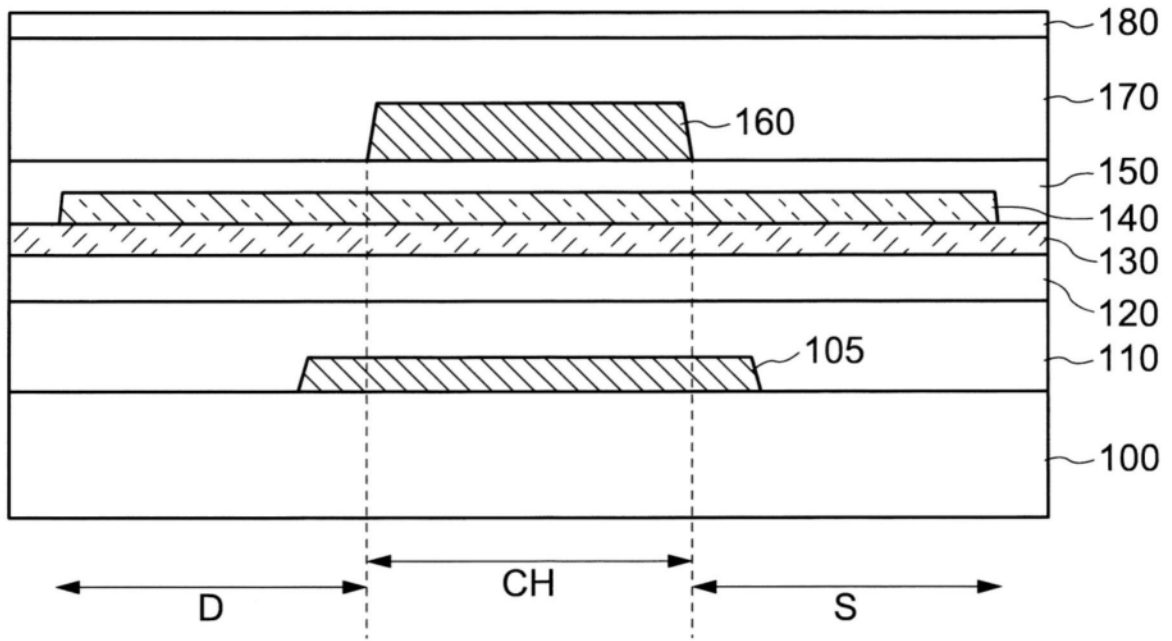


图9

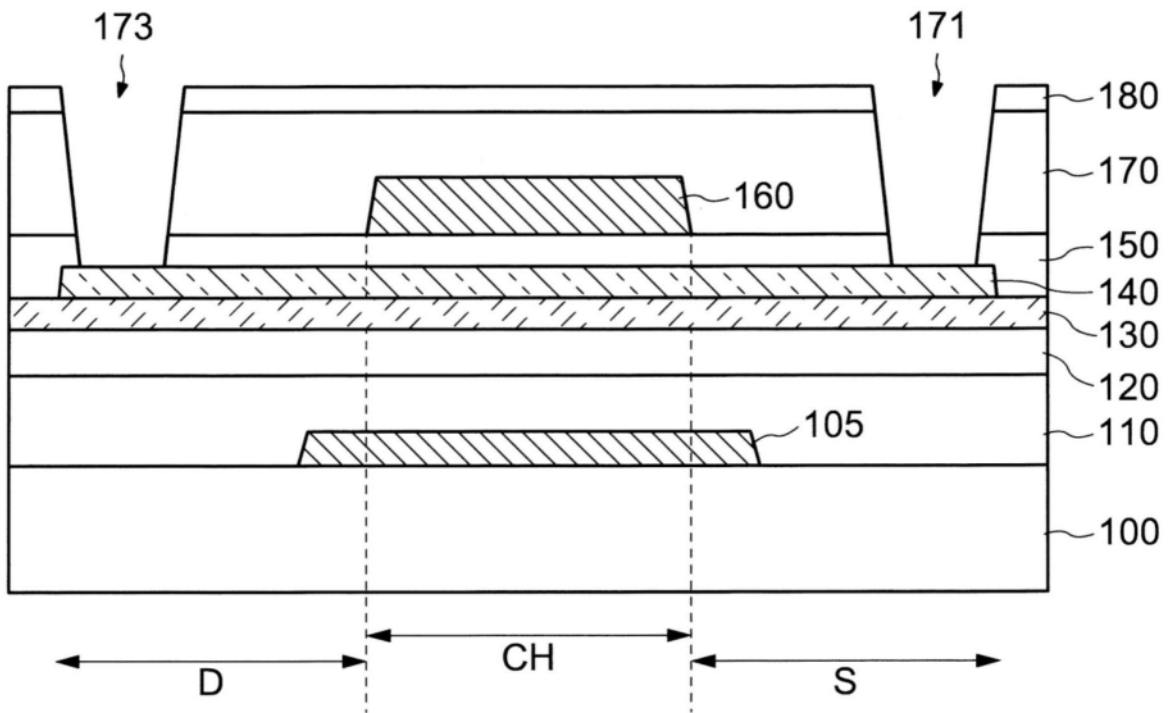


图10

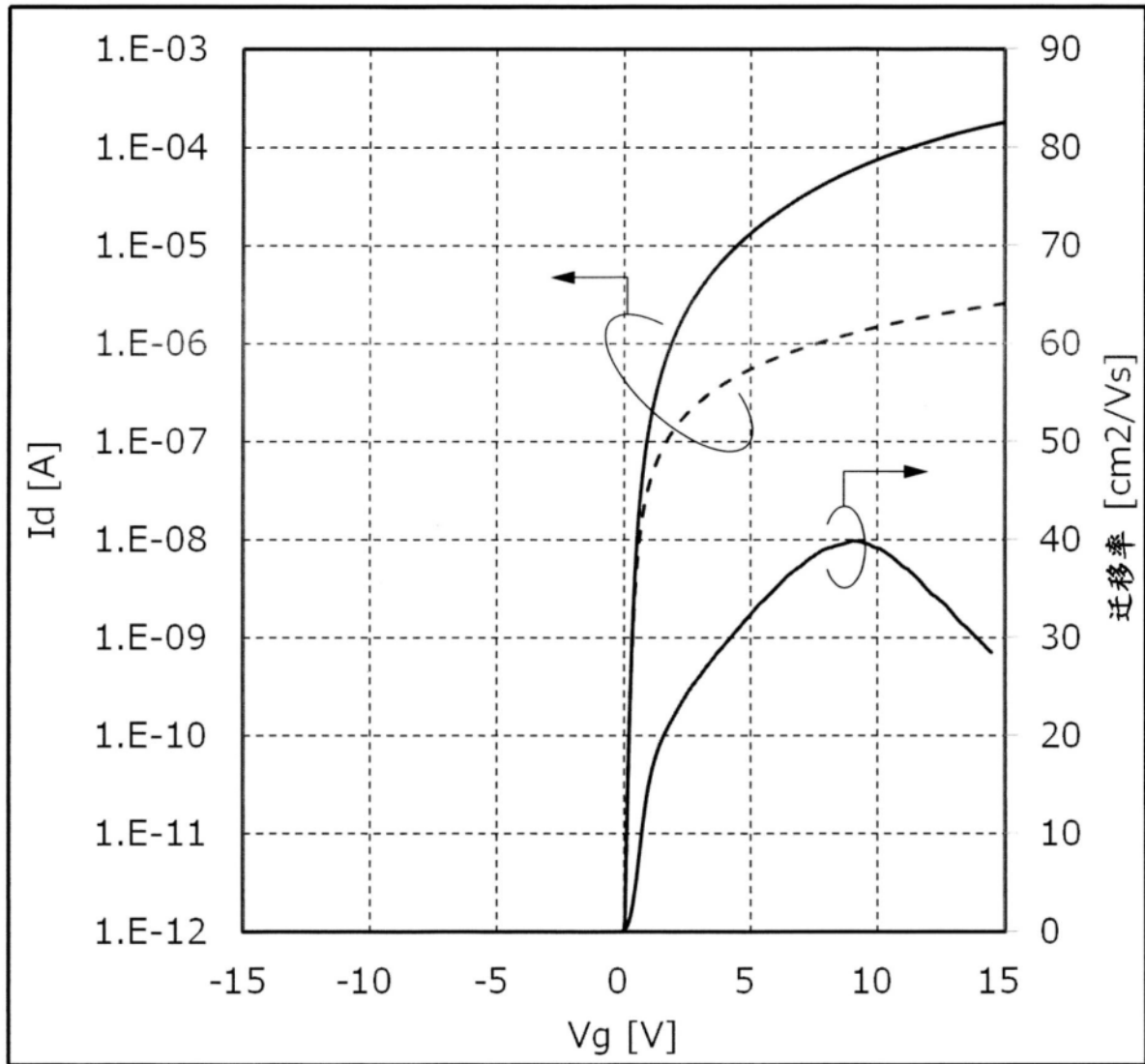


图11

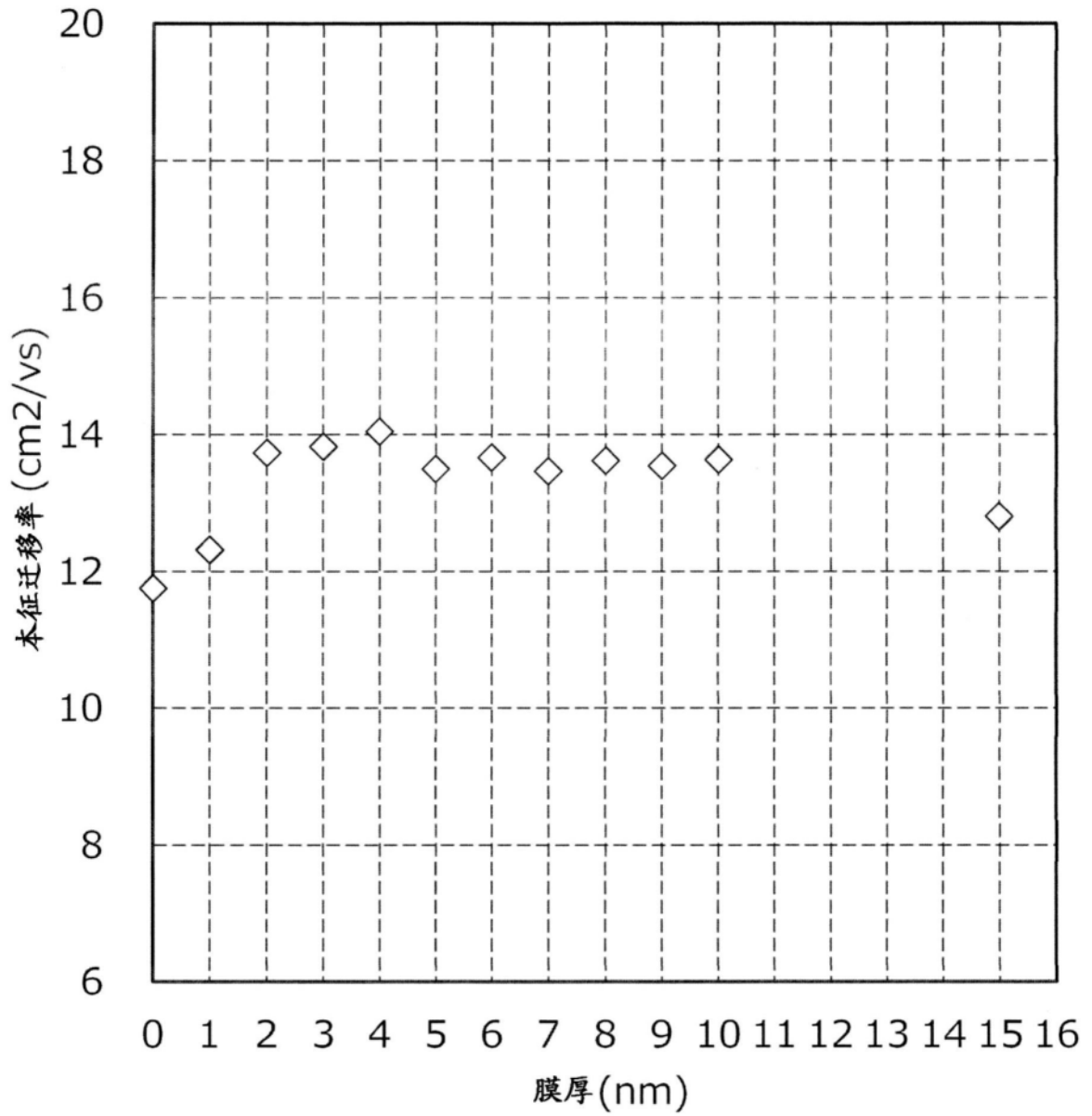


图12

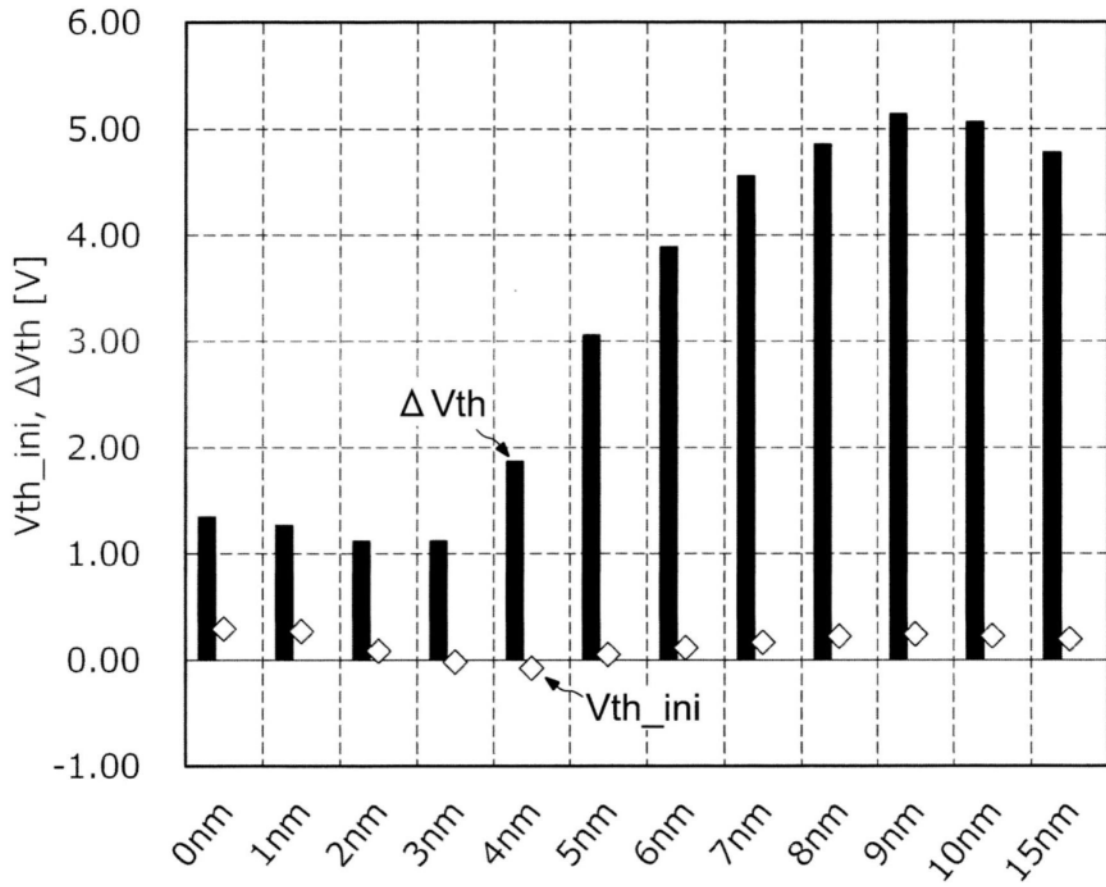


图13

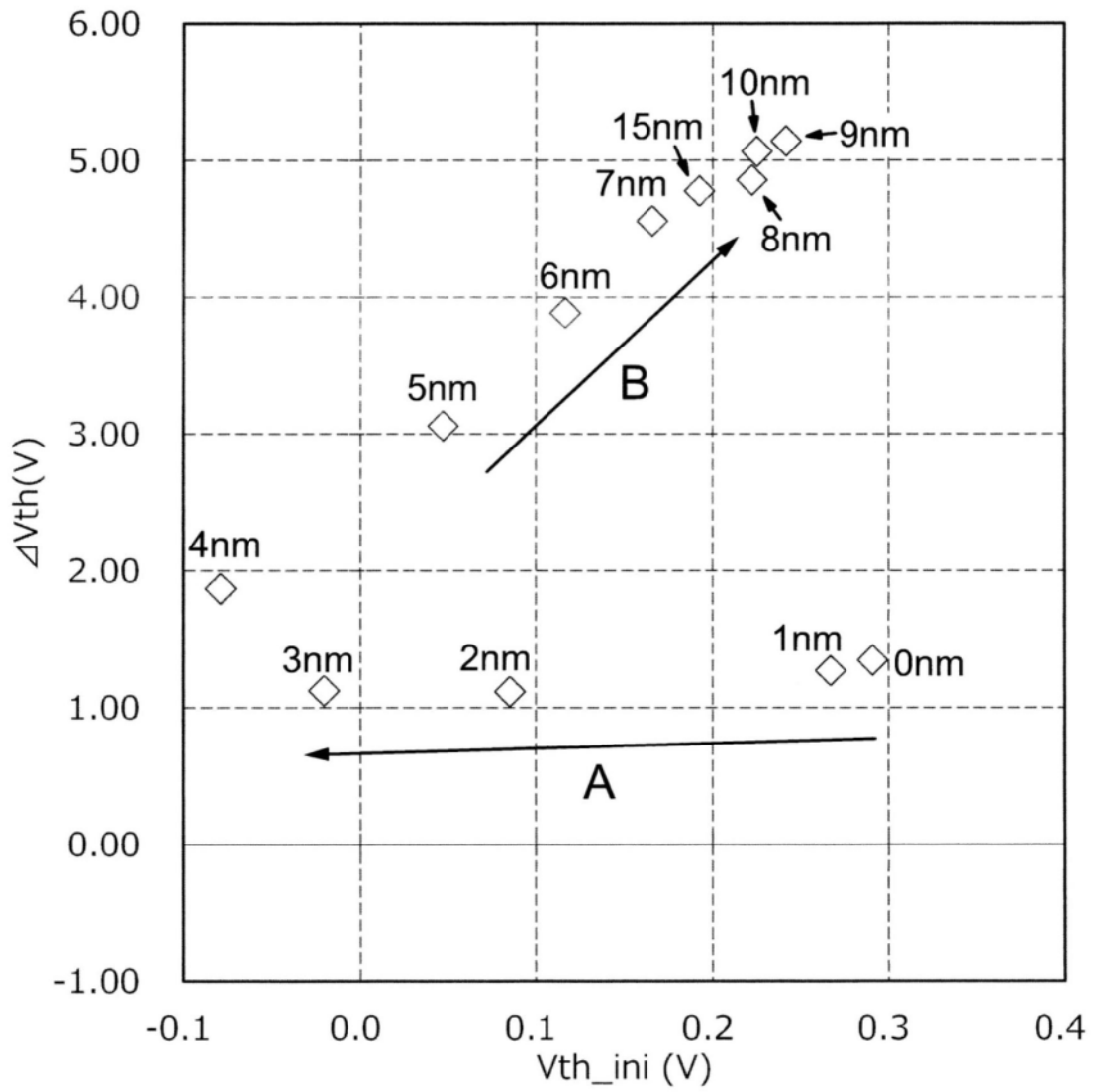


图14

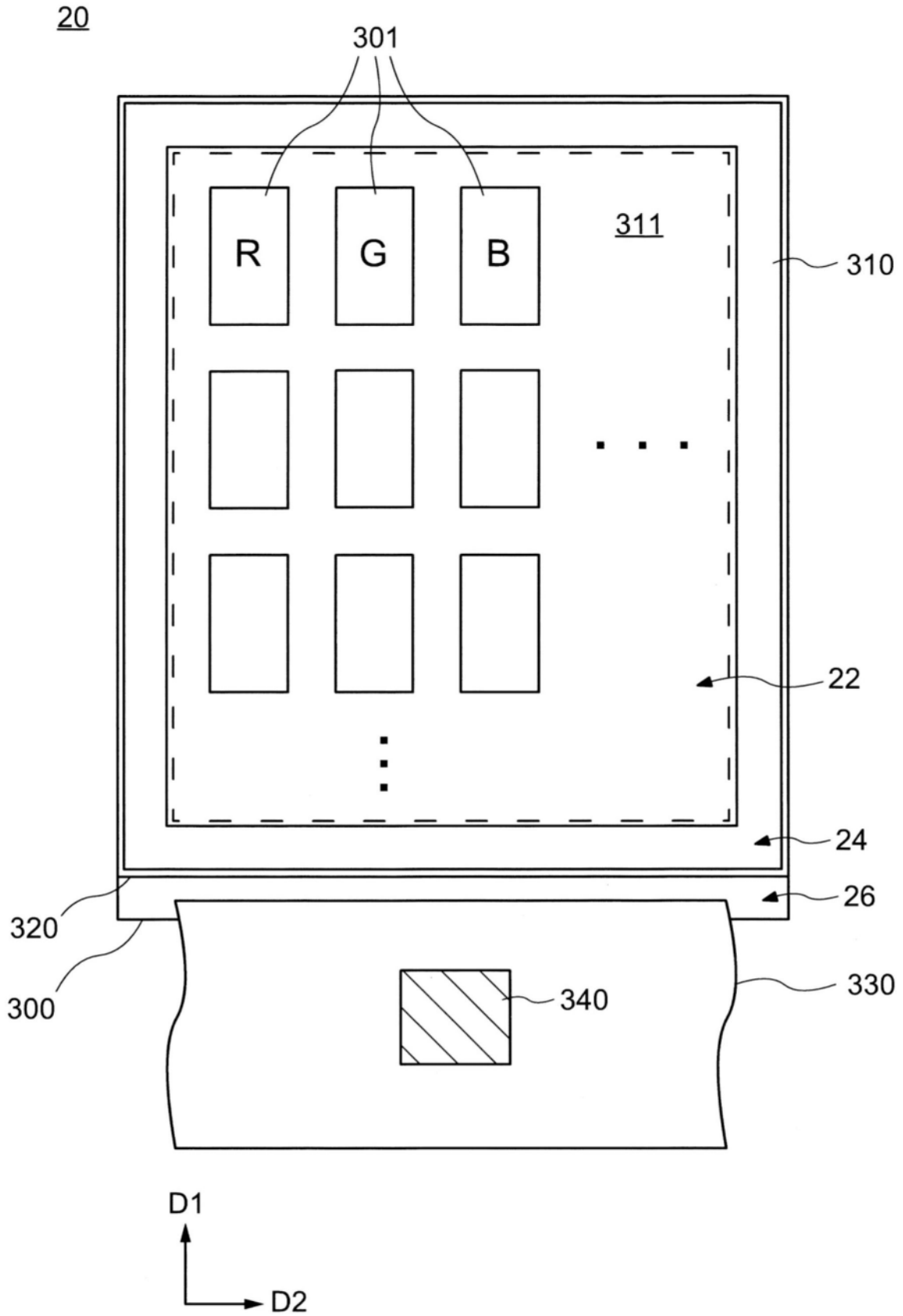


图15

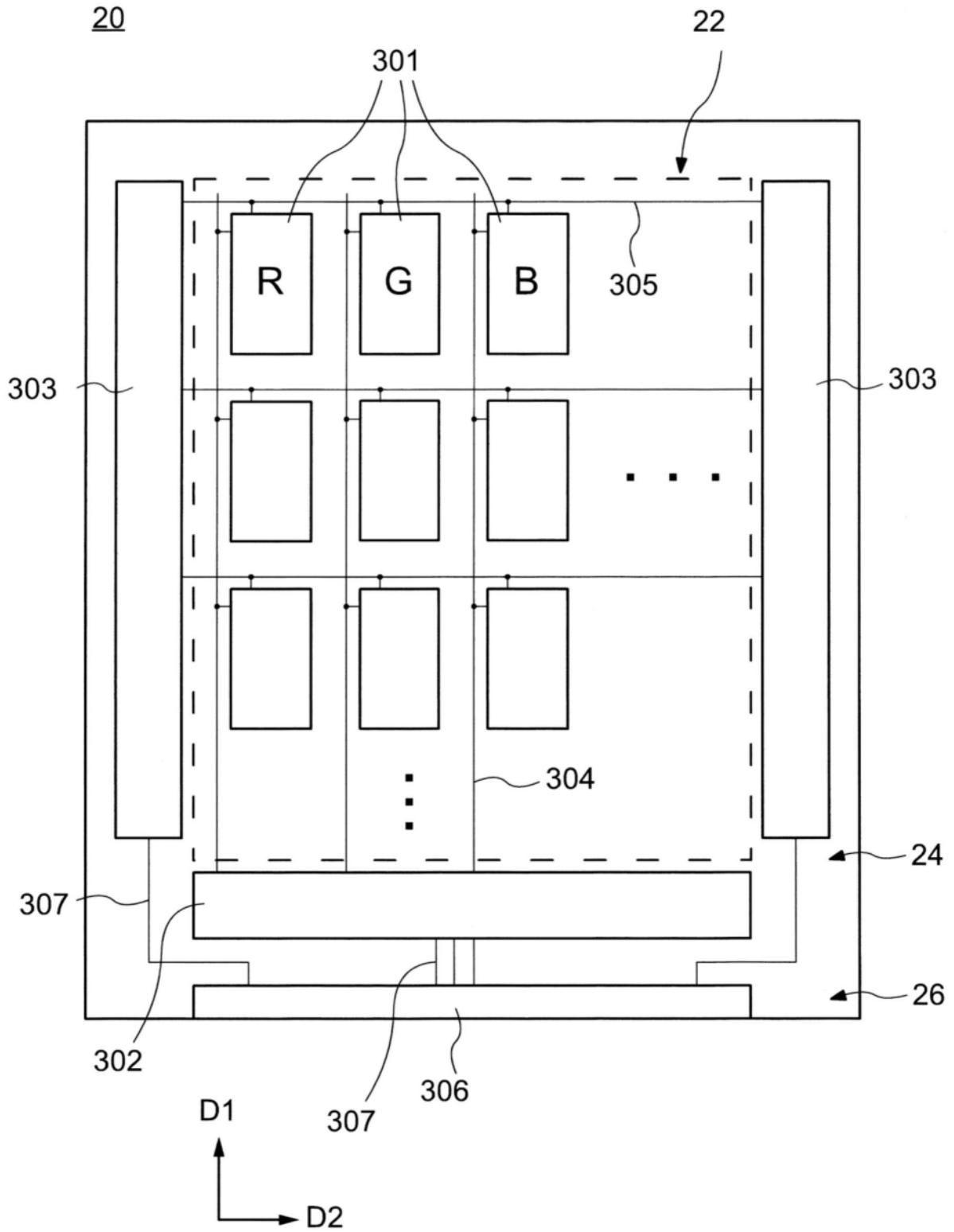


图16

301

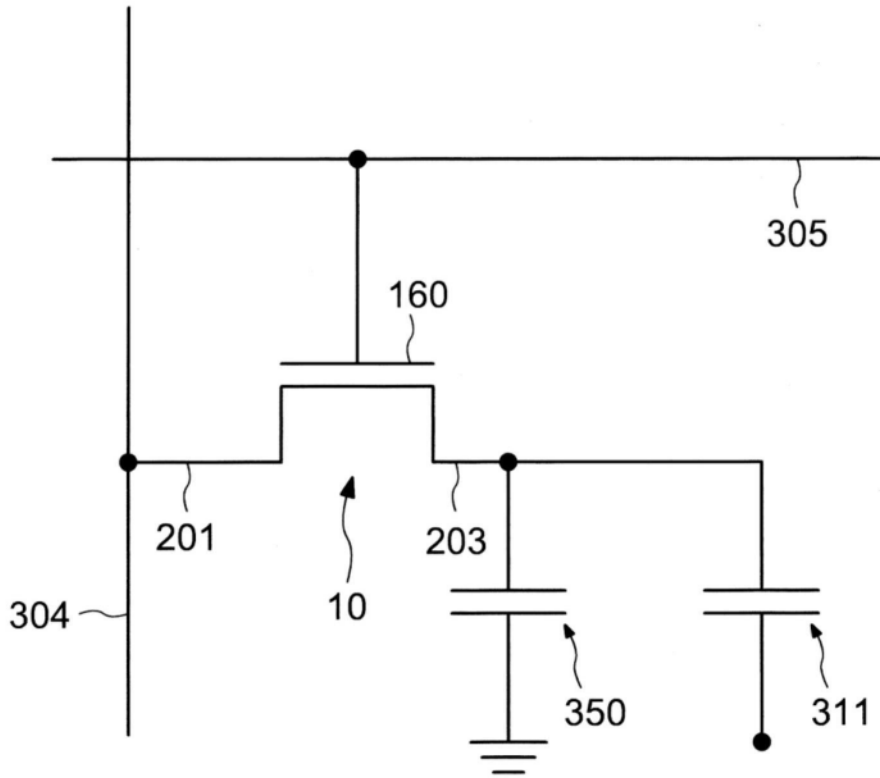


图17

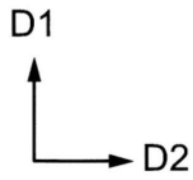
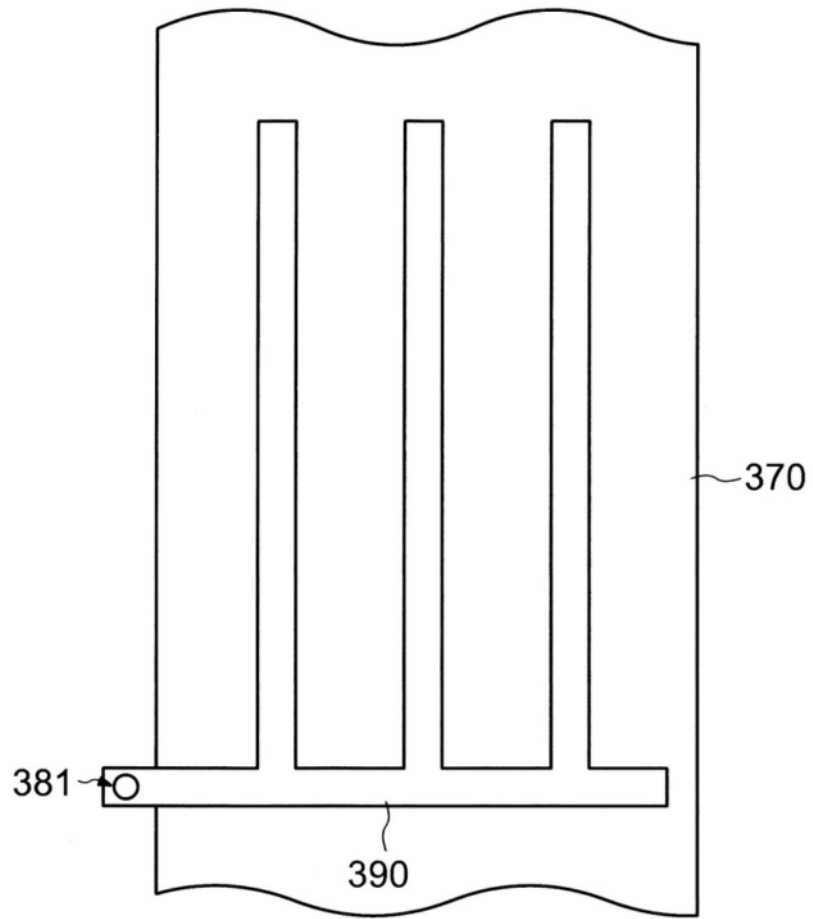


图19

301

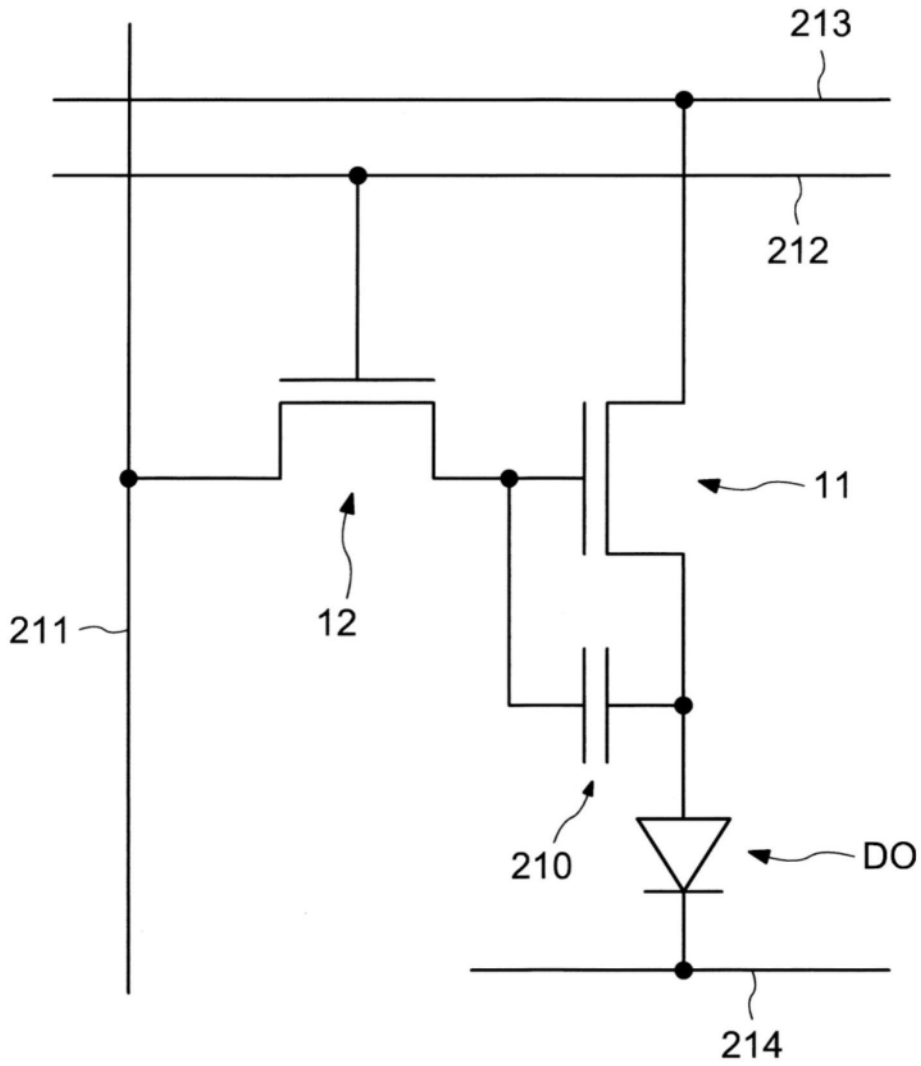


图20

